**实验一 2选1多路选择器**

实验报告

181860085 汤昊

2019.9.11

一．实验原理

F=Y1’Y0’X0+Y1’Y0X1+Y1Y0’X2+Y1Y0X3;

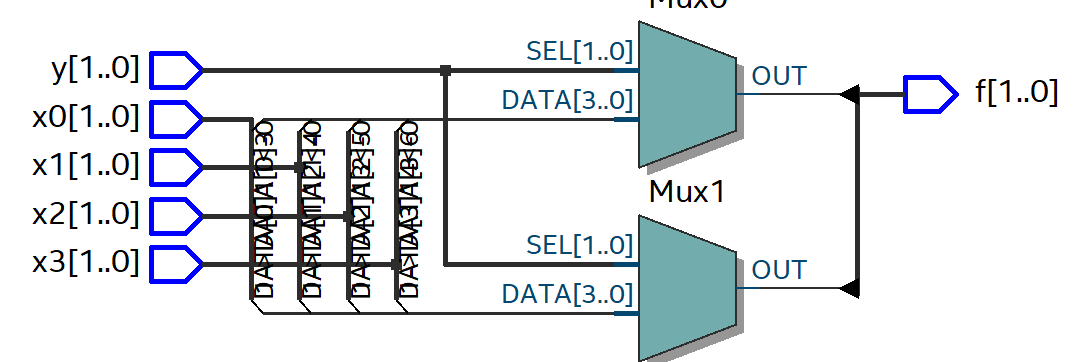
真值表如下

|  |  |  |
| --- | --- | --- |
| Y1 | Y0 | F |
| 0 | 0 | X0 |
| 0 | 1 | X1 |
| 1 | 0 | X2 |
| 1 | 1 | X3 |

卡诺图如下：

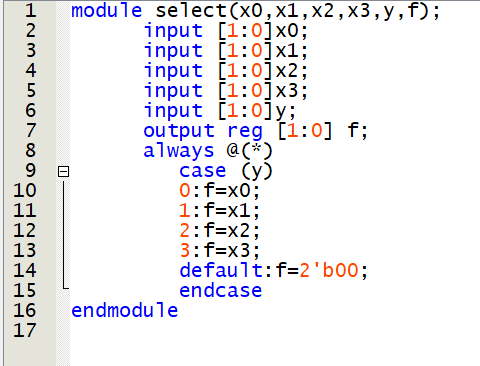
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Y1Y0 |  | X3 | X2 | X1 | X0 |
| 00 | |  |  |  | 1 |
| 01 | |  |  | 1 |  |
| 11 | | 1 |  |  |  |
| 10 | |  | 1 |  |  |

根据真值表，电路可以用四选一选择器实现，因为输入有两位，采用两个四选一选择器并联实现

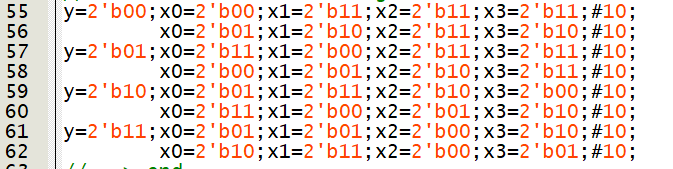


二．Verilog设计

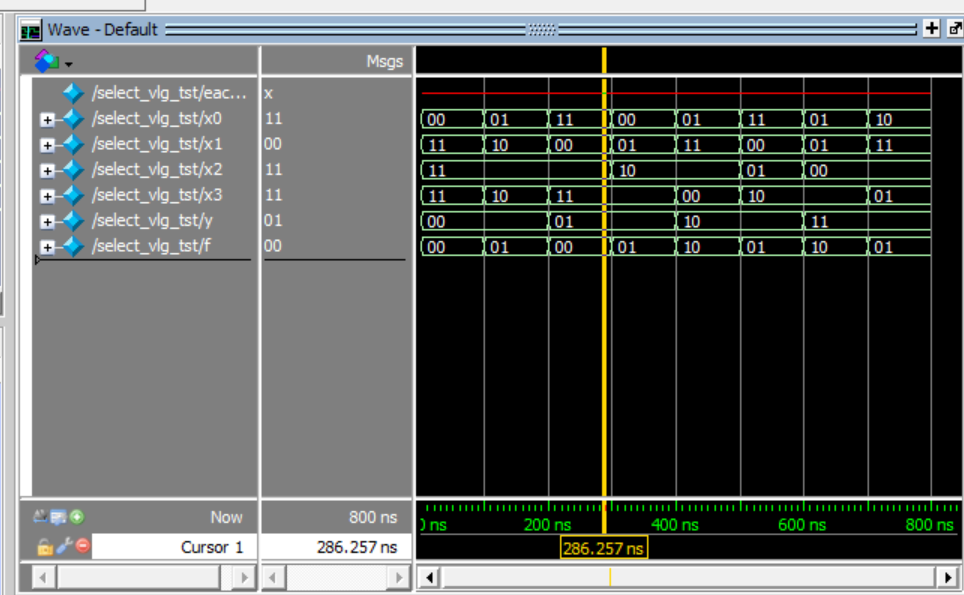
使用always和case 语句实现



测试代码如下



三．仿真结果



四．实验反思和收获

* 使用quartus建好项目后尝试使用system-builder分配引脚，选择不当，添加了许多无用的引脚

解决方案：使用system-builder建好项目再使用quartus编写项目

* 熟悉了quartus的相关操作和always,case 语句块