实验六 寄存器

实验报告

181860085 汤昊

数字电路与数字系统2班

邮箱：1174639585@qq.com

2019.10.4

一．实验目的

实现一个有8种功能的移位寄存器；利用移位寄存器实现一个8位的随机数序列发生器

二．实验原理

移位寄存器原理：将若干个触发器连接，左边触发器输出作为右边触发器输入，这样在每个时钟上升沿，下一个触发器就可以得到上一个触发器的值

随机数序列发生器原理：基于有限域理论，对于n为任意值，可以找到一种反馈方程，是的计数器的计数循环包含2n-1种非零状态。若要包括全0状态，对于一个n位计数器，只要外加一个异或门以及一个n-1输入的或非门，这个或非门的输入与除了x0以外的其他所有寄存器输出相连

三．实验环境与器材

开发软件：quartus prime 17.1

开发器材：DE-standard 开发板

四．算术移位和逻辑移位寄存器

（1）verilog设计

用三位的输入作为选择端，在每个时钟上升沿，用case语句完成相应功能

000：输出清零

001：输出置为输入的数字

010：向右移一位，最高位置0

011：向左移一位，最低位置0

100：向右移一位，最高位置为符号位

101：向右移一位，最高位置为输入

110：向右移一位，最高位置为刚刚移出的最低位

111：向右移一位，最低位置为刚刚移出的最高位

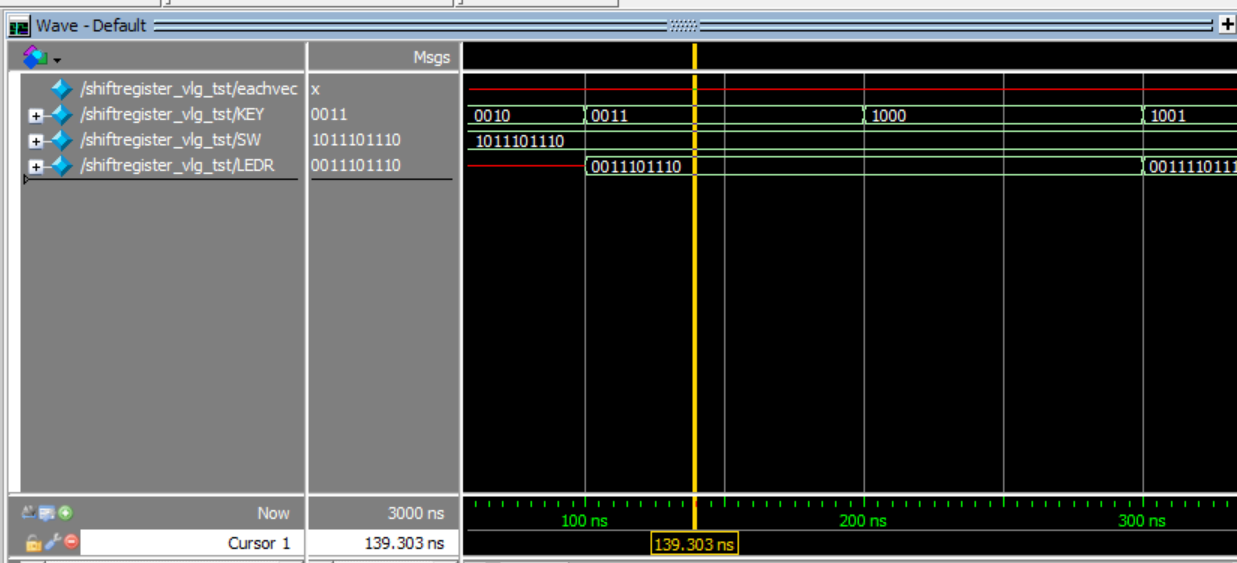
（2）电路设计

一个按钮作为时钟，剩下三个按钮作为控制端，8个开关作为置数的输入，串行并出时使用第一个开关，8个LEDR作为输出

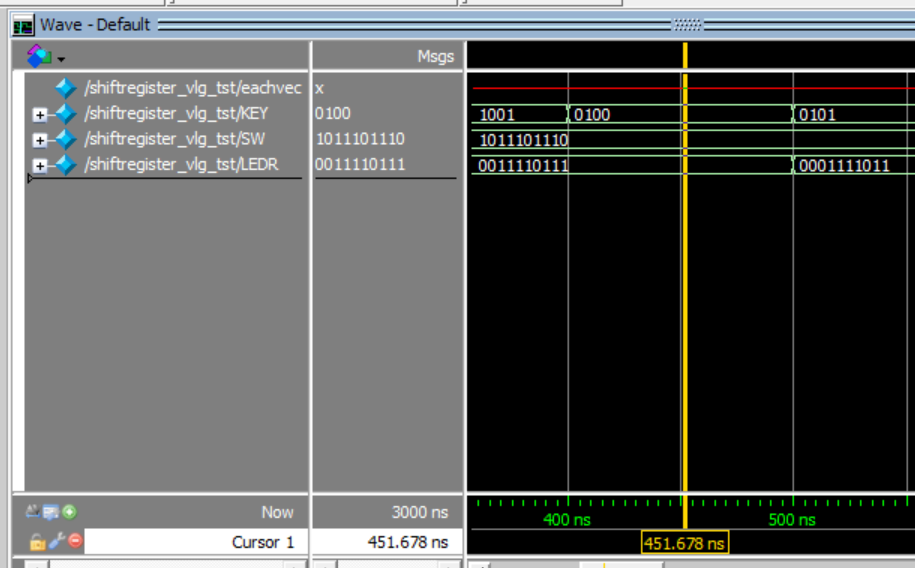
（3）仿真模拟

验证顺序：置数——算术右移——逻辑右移——逻辑左移——循环右移——循环左移

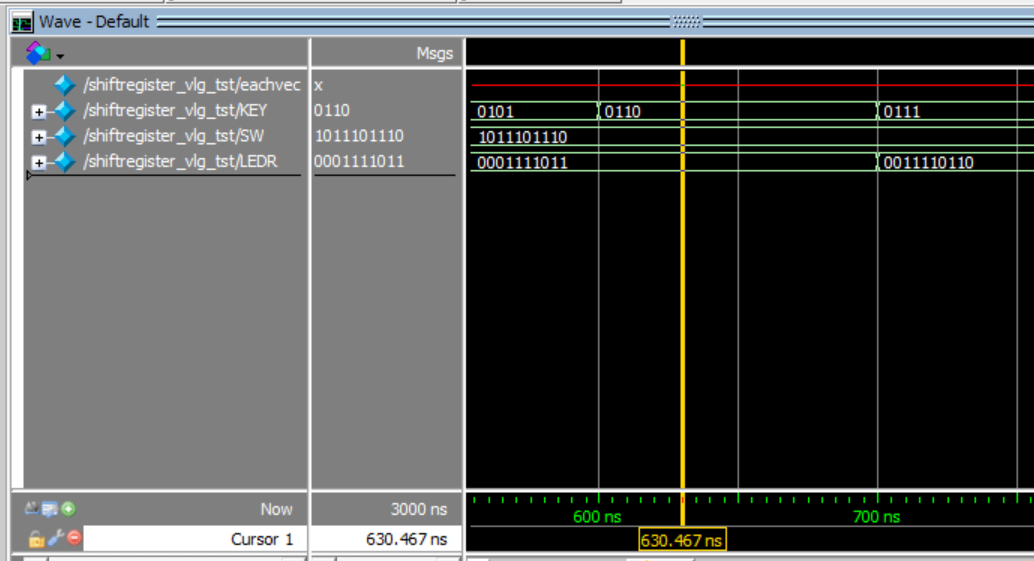
SW,LEDR都是10位，寄存器只用到后8位



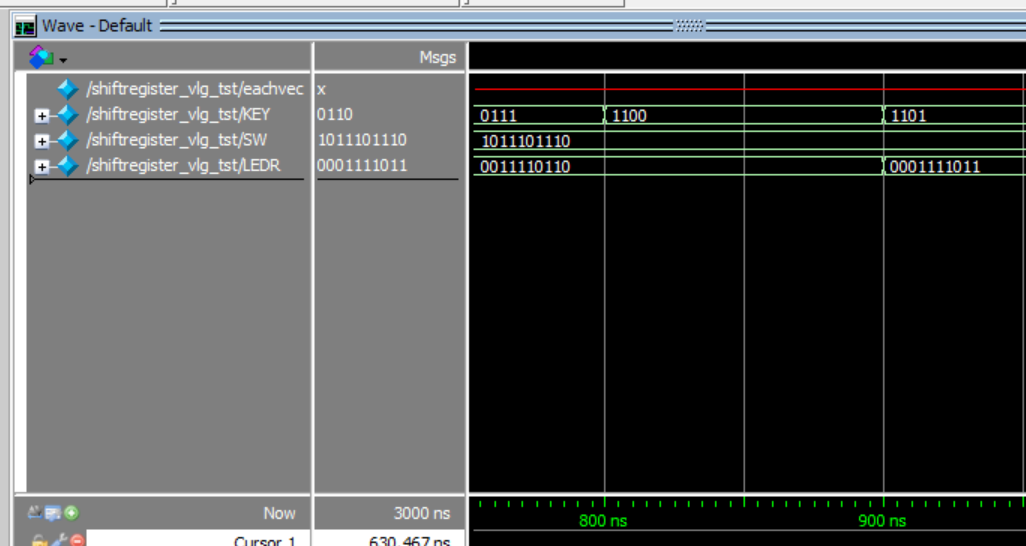
置数及算术右移：001置数有效，输出为1101110，接着100算术右移有效，输出为11110111



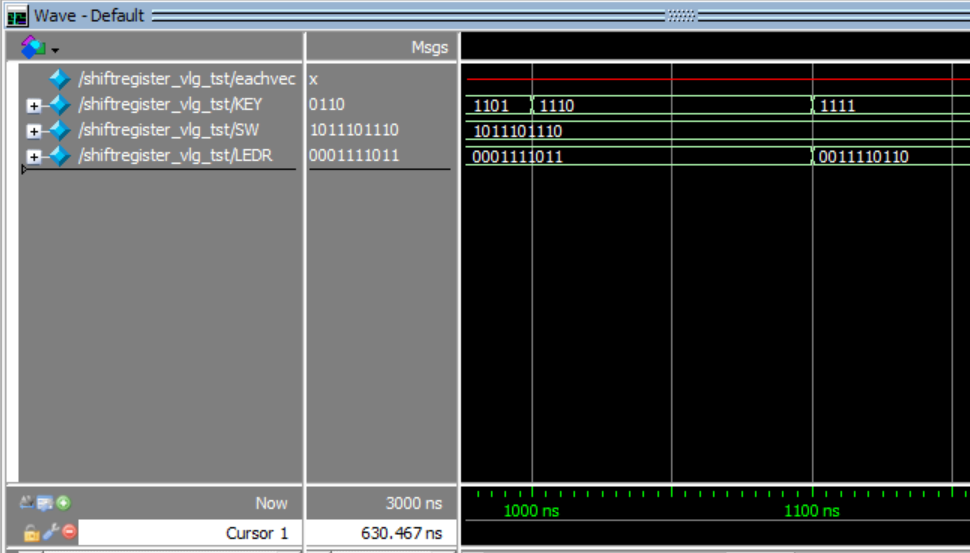
逻辑右移：11110111——01111011

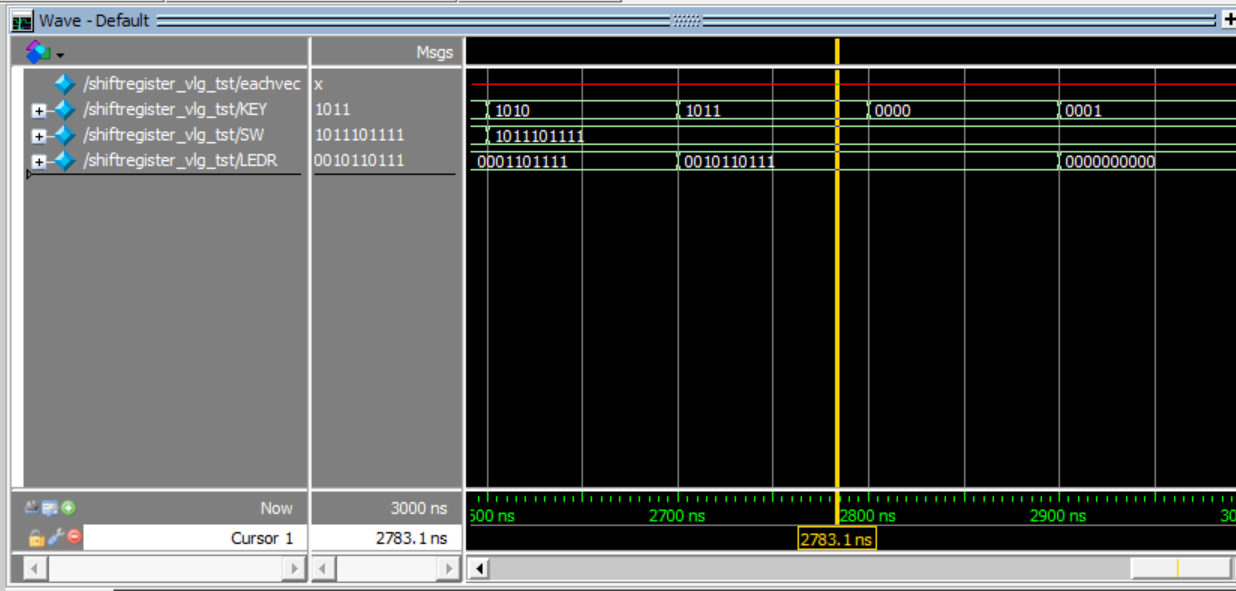


逻辑左移：11110111——11110110



循环右移：11110110——01111011

循环左移：0111011——11110110



8个时钟后输出：1110110——10110111，之后000清零端有效，输出全0

五．随机数发生器

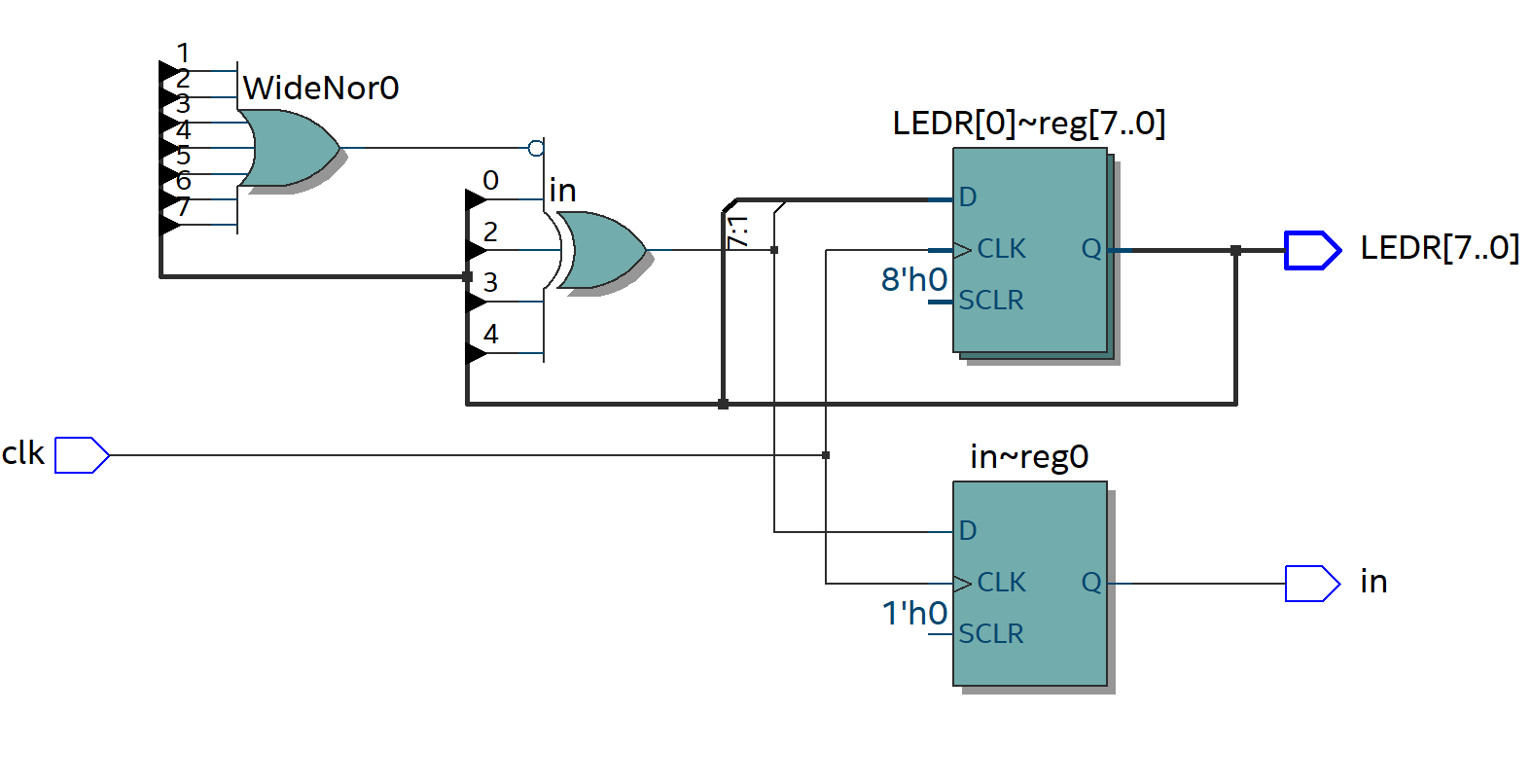
（1）生成8位的序列（不包括全0）

X8=X4⊕X3⊕X2⊕X0，每次将x8作为输入

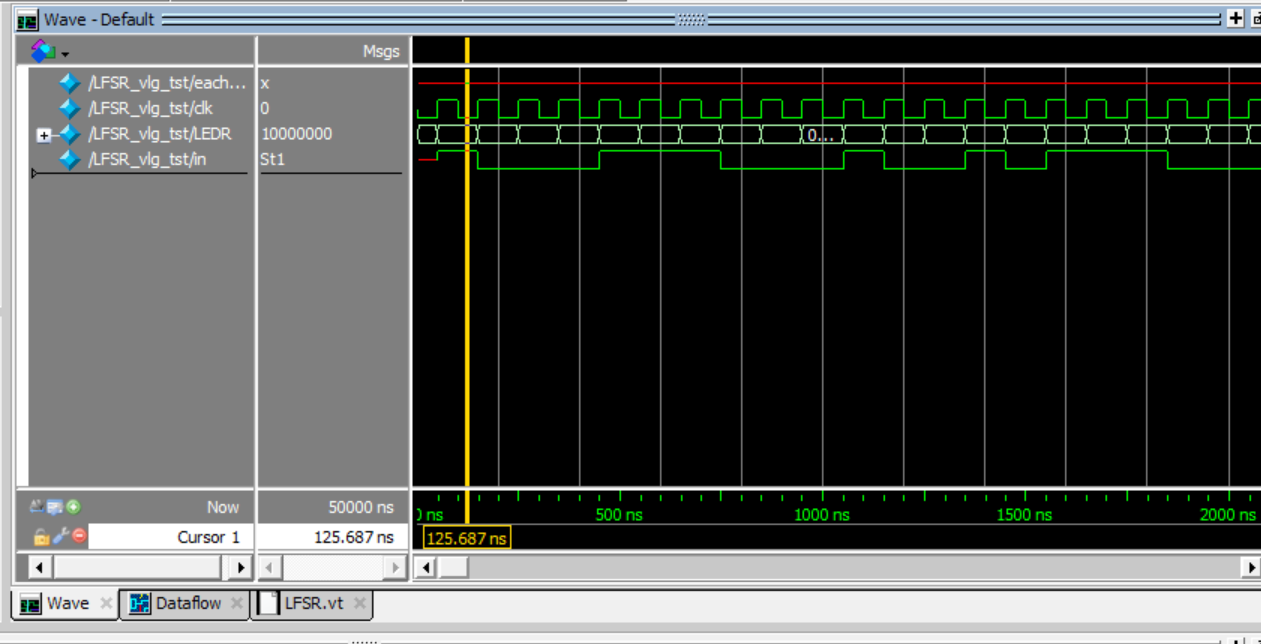
（2）自启动处理

将除X0以外的输出按位或再取反，与之前的反馈输入异或，这样在全0时就能输入1自启动

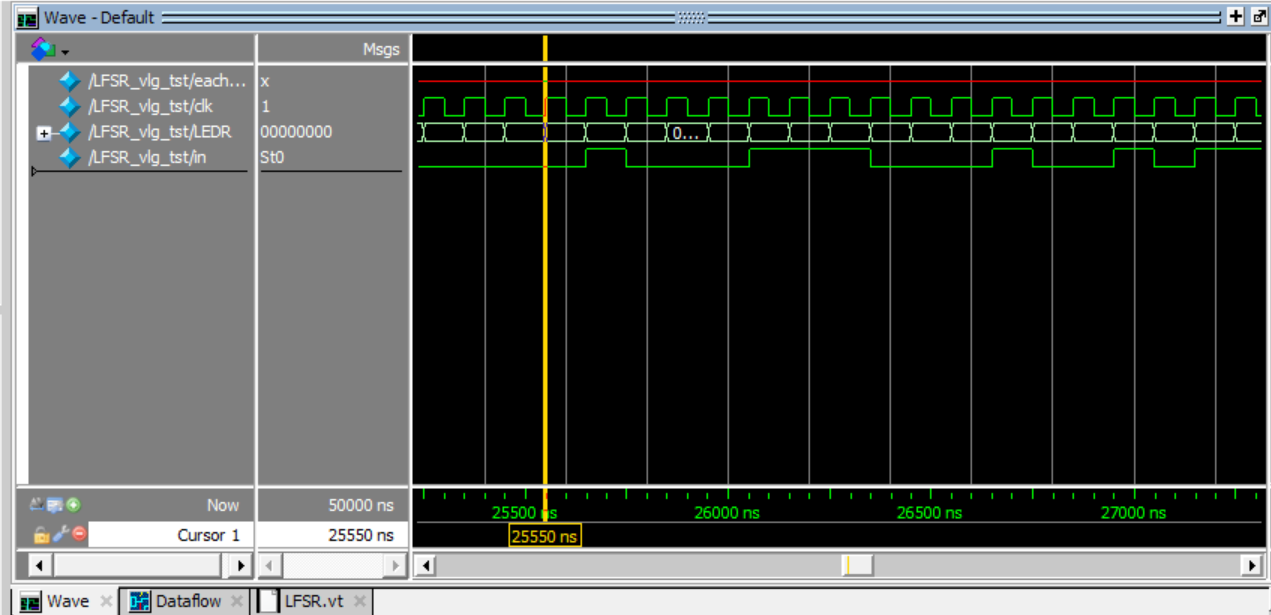
（3）netlistviewer



(4)仿真模拟



开始时自启动成功



周期为100ns，开始经过半个周期到第一个上升沿，图中经历255个周期回到全0的状态

六．思考题

使用线性同余法生成0-255以内的随机数，再将数字转化为二进制序列输出

公式：xn+1=(axn+c)modm，这里m取256，a是乘子，c是增量，取与m互质的一个数

初始值x0称为种子，每次设置不同的种子就可以产生不同的随机序列

七．实验反思与收获

* 复习了LFSR计数器实现2n种状态的方法
* 合理地选择功能验证顺序可以减少重复操作