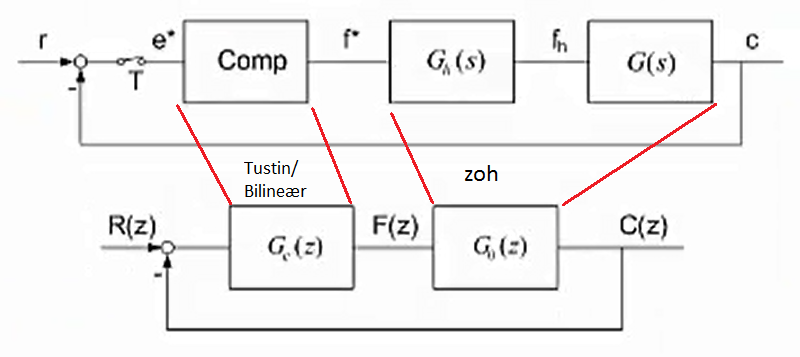
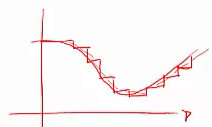
# Design process

Design forgår i S-domæne med bodeplots!

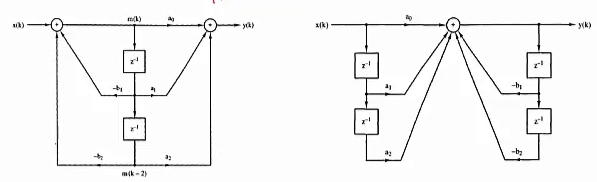
Controller dimensioneres i S-domæne, statiske og dynamiske krav ☺

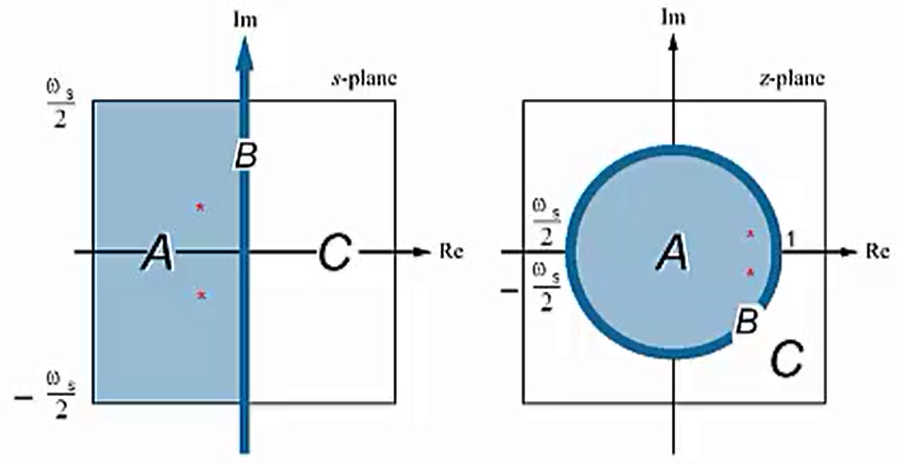
Z-transformation udføres => differensligning => implementering på uProcessor.

Td opstår pga. sampling,

Ved høj samplingsfrekvens kan udgøre en væsentlig andel,

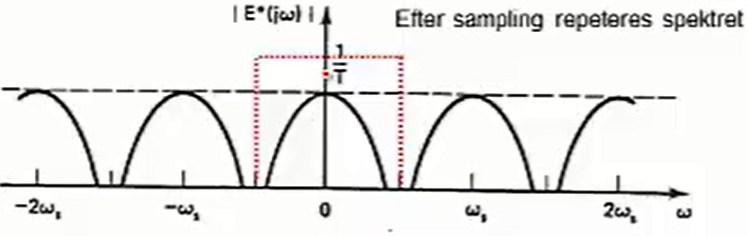
Fingerregel :

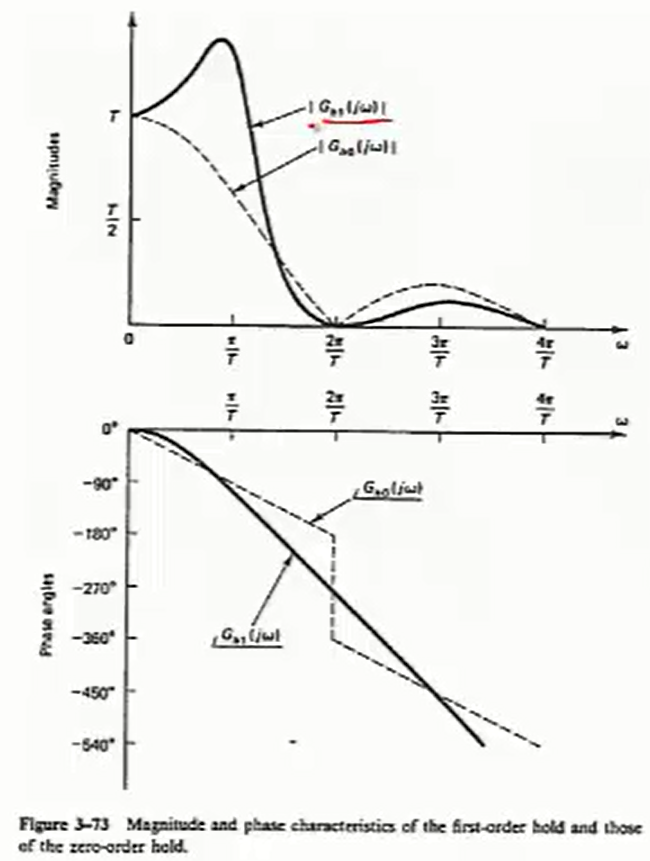




Ved høj fs går s mod , fare for afrunding



Spejling forekommer, derfor ønskes ideelt lavpas filter for at undgå forvrængning af A/D konvertering.

Ikke ideelt lavpas => sinc => spektral forvridning. ☹