

**Bài 1:** Một mạch tuần tự có 2 flip-flop là D-FF và JK-FF với raising-edge trigger (2 flip-flop có đầu ra lần lượt là  $Q_0$  và  $Q_1$ ). Mạch có hai đầu vào X, Y và một đầu ra Z. Các biểu thức logic cho mạch này là:

$$D_0 = X' \cdot Y + X \cdot Q_0$$

$$J_1 = X' \cdot Q_1 + X' \cdot Q_0$$

$$K_1 = Y \cdot Q_1$$

$$Z = X \cdot Q_1$$

- (a) Đây là máy Moore-type FSM hay Mealy-type FSM?
- (b) Vẽ mạch tuần tự trên
- (c) Lập bảng trạng thái (state table) và rút gọn
- (d) Vẽ sơ đồ trạng thái (state diagram) theo bảng trạng thái rút gọn

**Bài 2:** Cho bảng trạng thái / đầu ra được hiển thị bên dưới. Tối thiểu số lượng trạng thái và lập sơ đồ trạng thái

(a)

Present state	Next state /Output	
	X = 0	X = 1
$s_0$	$s_0/1$	$s_4/0$
$s_1$	$s_0/0$	$s_4/0$
$s_2$	$s_1/0$	$s_5/0$
$s_3$	$s_1/0$	$s_5/0$
$s_4$	$s_2/0$	$s_6/0$
$s_5$	$s_2/0$	$s_6/0$
$s_6$	$s_3/0$	$s_7/1$

(b)

Present state	Next state /Output	
	X = 0	X = 1
$s_0$	$s_0/0$	$s_6/1$
$s_1$	$s_3/0$	$s_4/1$
$s_2$	$s_7/0$	$s_6/1$
$s_3$	$s_7/0$	$s_5/1$
$s_4$	$s_2/0$	$s_1/0$
$s_5$	$s_4/0$	$s_3/0$
$s_6$	$s_1/0$	$s_5/1$

$s_7$	$s_3/0$	$s_7/1$
-------	---------	---------

$s_7$	$s_2/0$	$s_6/1$
-------	---------	---------

**Bài 3:** Định nghĩa bài toán, xây dựng bảng trạng thái, rút gọn trạng thái và vẽ sơ đồ trạng thái cho bộ Moore phát hiện chuỗi với một đầu vào X và một đầu ra Z,  $Z = 1$  khi chuỗi đầu vào là 101.

*Chú ý: Bộ phát hiện chuỗi là một bộ với đầu vào là một chuỗi bits và đầu ra bằng 1 khi đầu vào đích được phát hiện, mạch phát hiện chuỗi cho phép overlapping*

**Đọc trước:**

1. Các bước còn lại để xây dựng một mạch tuần tự (từ slide 74)
2. Tự đọc thêm phần Design of asynchronous sequential circuits