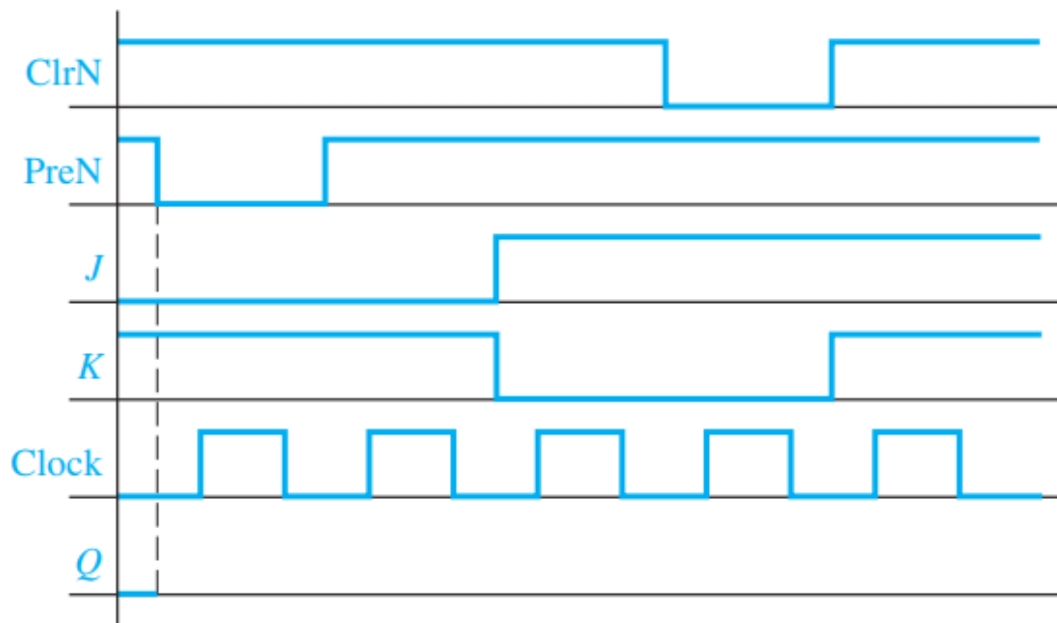
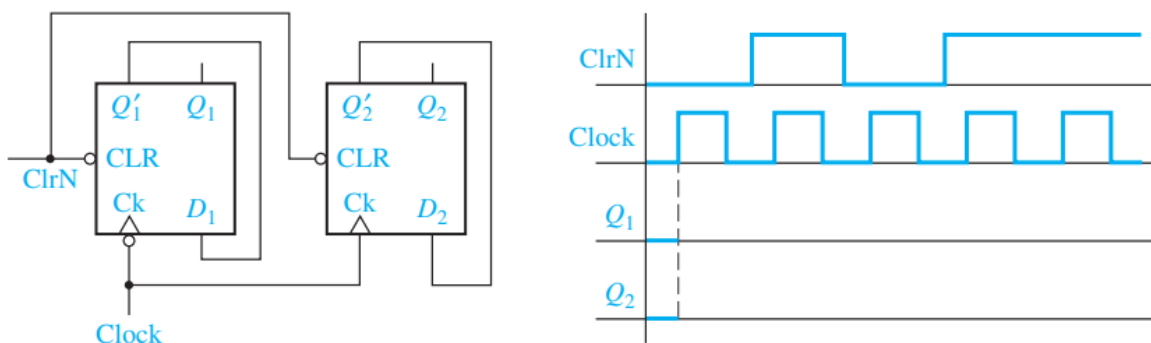


Ex 1:

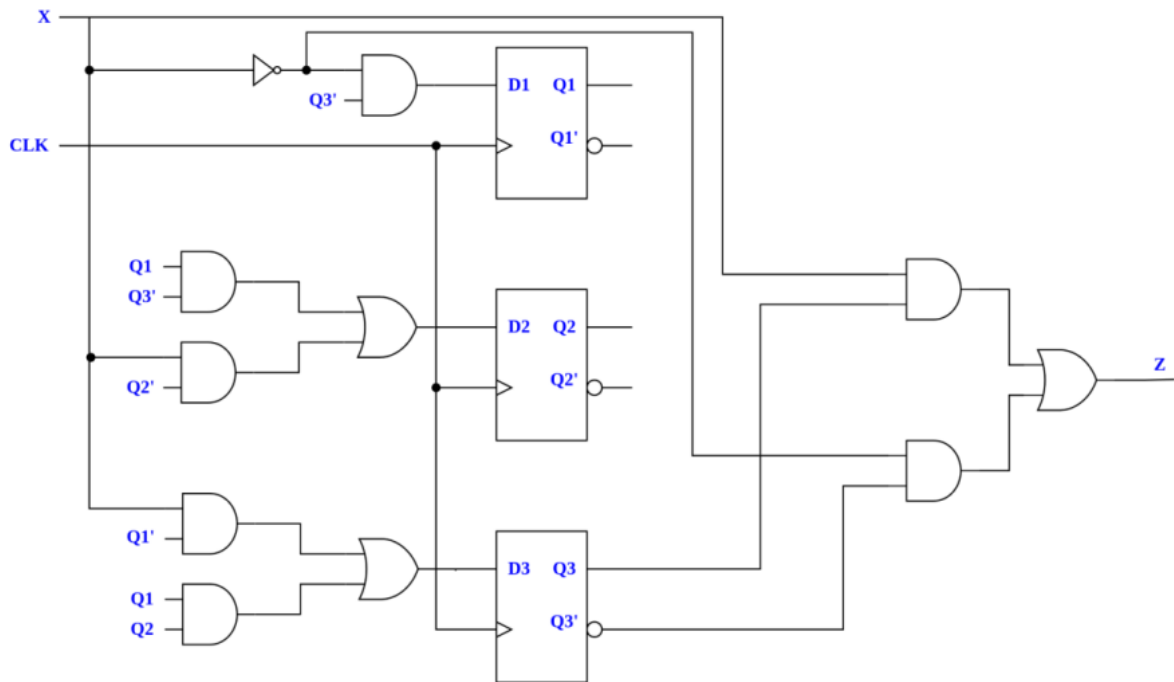
- a) Hoàn thành biểu đồ thời gian sau cho một J-K flip-flop với falling-edge trigger và các đầu vào: ClrN và PreN không đồng bộ (ClrN = 0 thì Q = 0, PreN = 0 thì Q = 1, ClrN và PreN không được đồng thời bằng 0)



- b) Hoàn thành biểu đồ thời gian của mạch sau, lưu ý đầu vào Clock của 2 Flip-Flops là khác nhau, ClrN không đồng bộ.

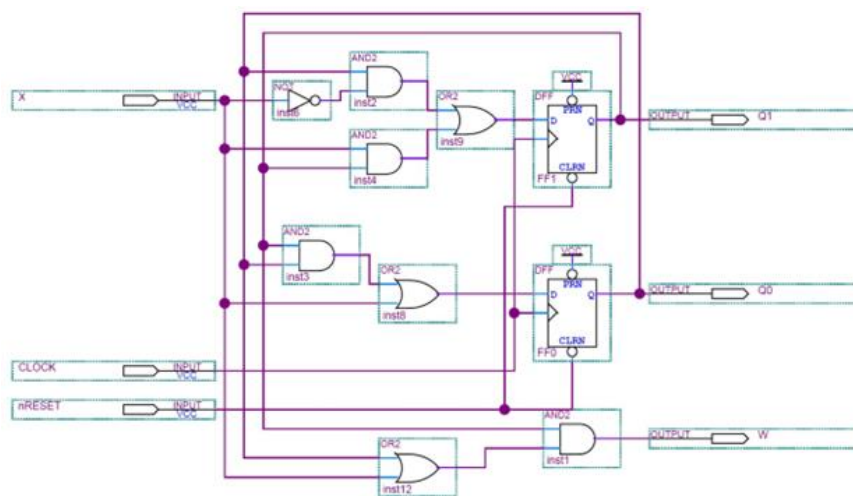


Ex 2: Cho mạch tuần tự như hình, trả lời các câu hỏi:



- Mạch trên là Moore hay Mealy?
- Xác định hàm của D1, D2, D3
- Xây dựng bảng trạng thái và biểu đồ trạng thái của mạch trên

Ex 3: Simulate the following sequential circuit using Quartus (or another tool), the simulator output should include timing diagram, you can create your own input pulses. Assuming that the inputs are properly synchronized with the clock, the nRESET is an asynchronous input.



Đọc trước:

- Từ slide 74, part 3: 6 bước để thiết kế một mạch tuần tự