
ET3230 Điện tử tương tự I

Bài giảng: Các vấn đề trong mạch khuếch đại tín hiệu nhỏ

Nội dung

- 7.2 Ghép giữa các tầng khuếch đại
- 7.3 Các cấu hình kết hợp
 - Cấu hình nối tiếp
 - Cấu hình cascode
 - Cấu hình Darlington
 - Cấu hình hồi tiếp
 - Mạch nguồn dòng
 - Mạch dòng gương
 - Khuếch đại vi sai

7.2 Ghép giữa các tầng khuếch đại

- Ghép nối nhiều tầng KĐ đơn mắc nối tiếp nhau để thu được hệ số KĐ cần thiết
- Việc ghép nhiều tầng KĐ cần chú ý
 - Đảm bảo hệ số KĐ
 - Dễ phối hợp trở kháng
 - Méo phi tuyến nhỏ
 - Đảm bảo dải tần làm việc
- Thường dùng
 - Ghép trực tiếp
 - Ghép dùng tụ điện
 - Ghép biến áp

7.2 Ghép giữa các tầng khuếch đại

- Ghép trực tiếp

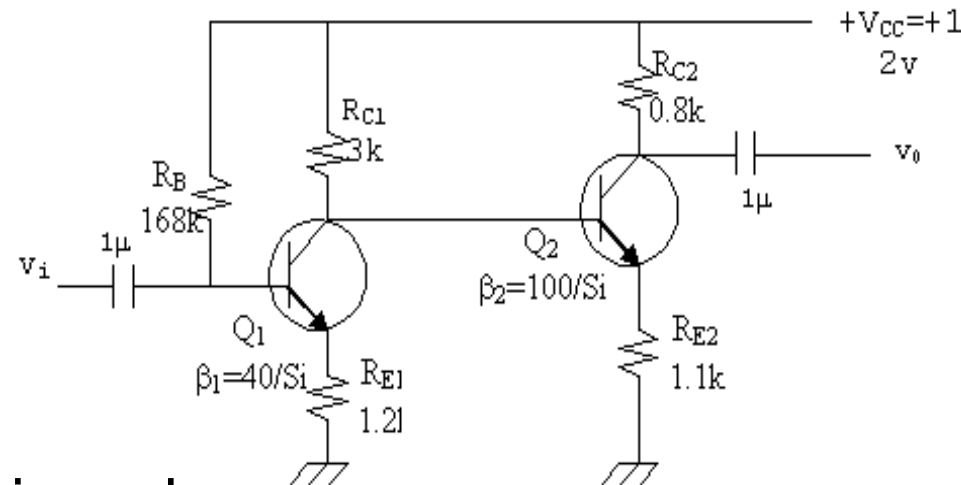
- Ghép trực tiếp giữa đầu ra tầng trước và đầu vào tầng sau

- Ưu điểm

- Đơn giản
 - Ít méo phi tuyến
 - Băng thông rộng
 - Dễ chế tạo dưới dạng vi mạch

- Nhược điểm

- Cần chú ý ảnh hưởng DC giữa các tầng
 - Mạch không phối hợp trở kháng



7.2 Ghép giữa các tầng khuếch đại

- Ghép dùng tụ

- Dùng tụ ghép đầu ra tầng trước và đầu vào tầng sau

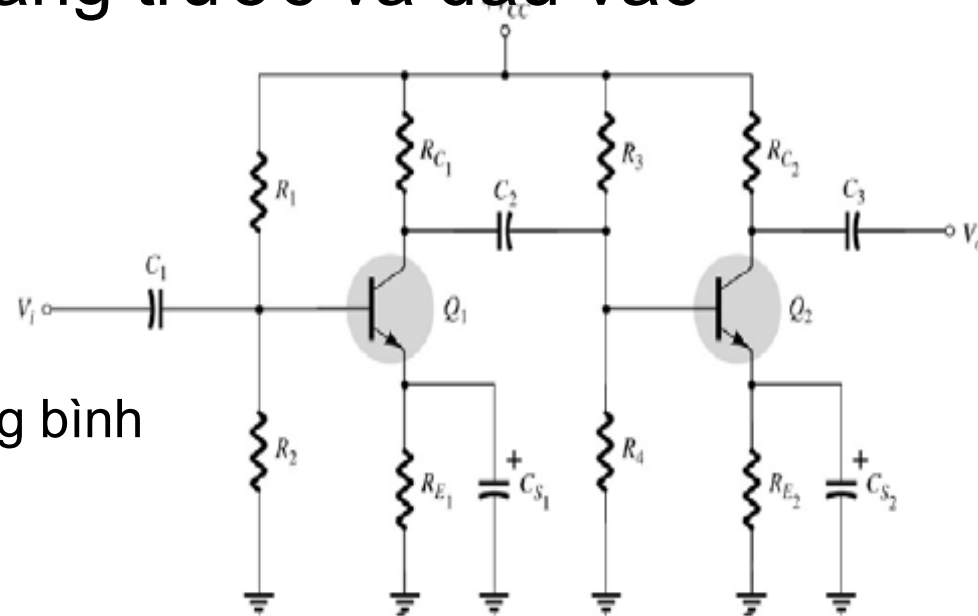
- Ưu điểm

- Cách ly DC các tầng
 - Đặc tuyến tần số bằng phẳng trong dải tần số trung bình
 - Dùng tụ lớn => tránh méo

- Nhược điểm

- Công kênh
 - Hạn chế tần số thấp

- Hay được sử dụng trong thực tế, đặc biệt là ở các tầng khuếch đại điện áp



7.2 Ghép giữa các tầng khuếch đại

- Ghép biến áp
 - Thường được dùng nhiều trước kia, hiện nay ít dùng
 - Ưu điểm
 - Cách ly vào ra
 - Dễ phối hợp trở kháng
 - Nhược điểm
 - Dải tần làm việc hẹp
 - Không tích hợp được
 - Công kênh, đắt tiền

7.2 Ghép giữa các tầng khuếch đại

- Ghép dùng điện trở
 - Thường dùng cùng tụ
 - Tăng trở kháng vào
 - Giảm tín hiệu vào
 - Tạo mức dịch điện áp
 - Phụ thuộc tần số (khi dùng cùng C)
- Ghép điện quang
 - Dùng cho nguồn điện áp cao

7.3 Các cấu hình kết hợp

- 7.3.1 Cấu hình nối tiếp
- 7.3.2 Cấu hình cascode
- 7.3.3 Cấu hình Darlington
- 7.3.4 Cấu hình hồi tiếp
- 7.3.5 Mạch nguồn dòng
- 7.3.6 Mạch dòng gương
- 7.3.7 Khuếch đại vi sai

7.3.1 Cấu hình nối tiếp

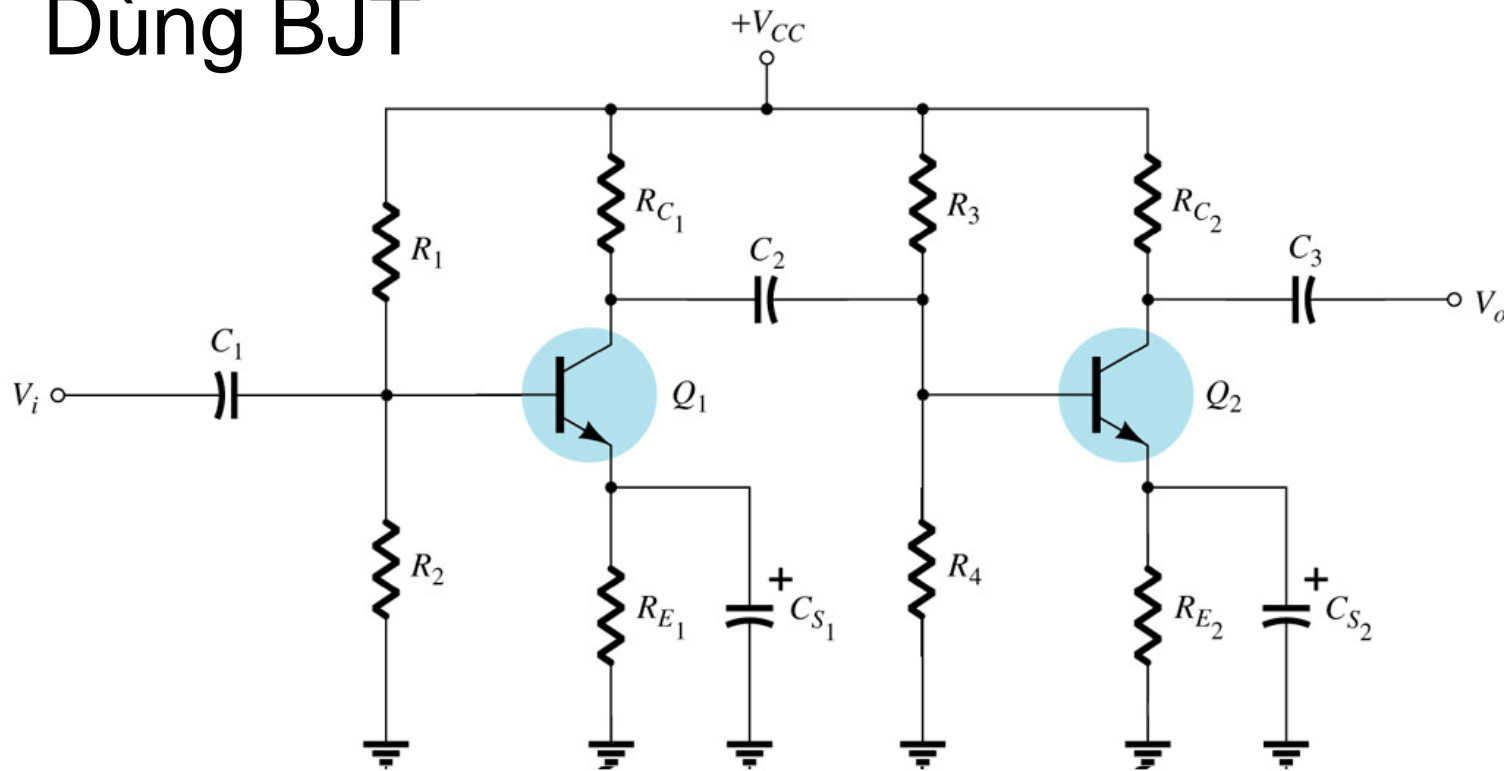
- Đầu ra của tầng KĐ trước là đầu vào của tầng KĐ tiếp theo
- Thu được hệ số KĐ lớn

$$A_v = A_{v_1} A_{v_2}$$

- Kết hợp các tầng KĐ dùng FET và BJT sẽ thu được
 - Trở kháng vào lớn
 - Hệ số KĐ điện áp lớn

7.3.1 Cấu hình nối tiếp

- Dùng BJT

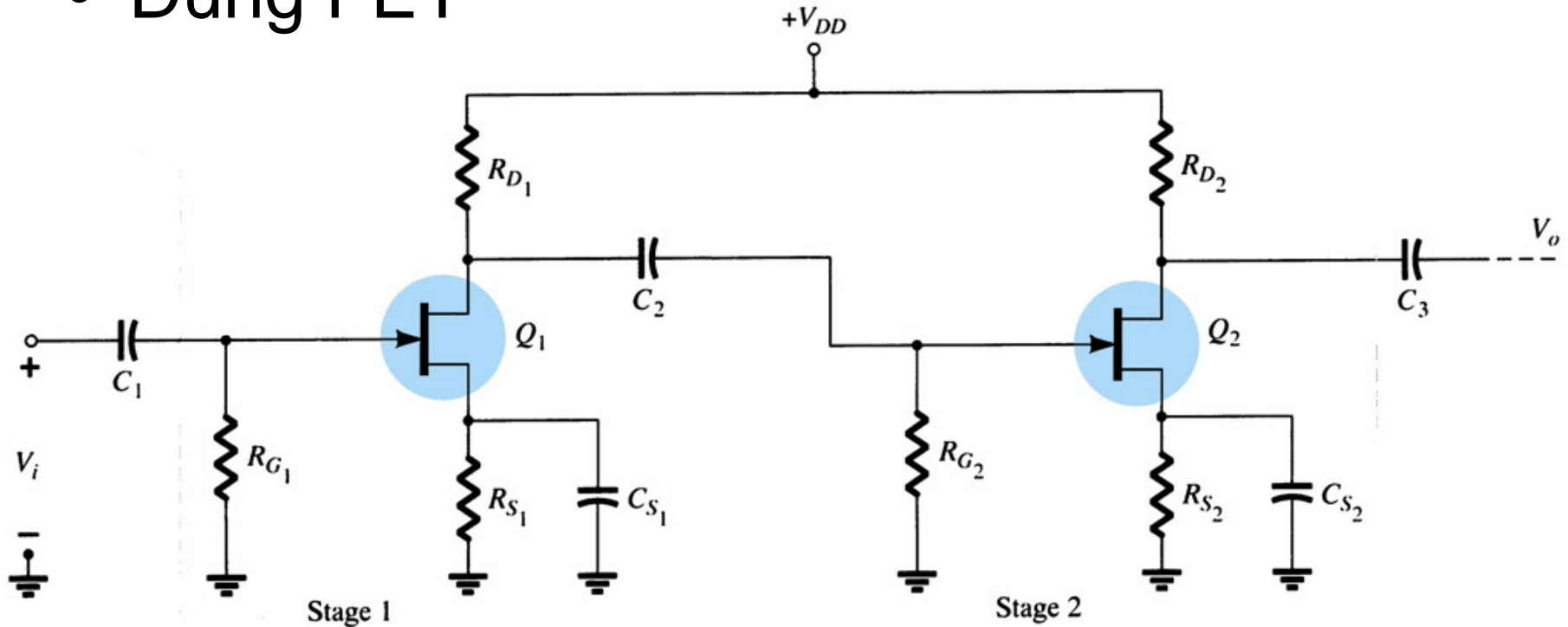


$$A_v = \frac{-R_C \parallel R_L}{r_e} \quad \text{Cho mỗi tầng}$$

$$Z_i = R_1 \parallel R_2 \parallel \beta r_e \quad Z_o = R_C \parallel r_o$$

7.3.1 Cấu hình nối tiếp

- Dùng FET



$$A_v = A_{v_1} A_{v_2} = \left(-g_{m_1} R_{D_1} \right) \left(-g_{m_2} R_{D_2} \right)$$

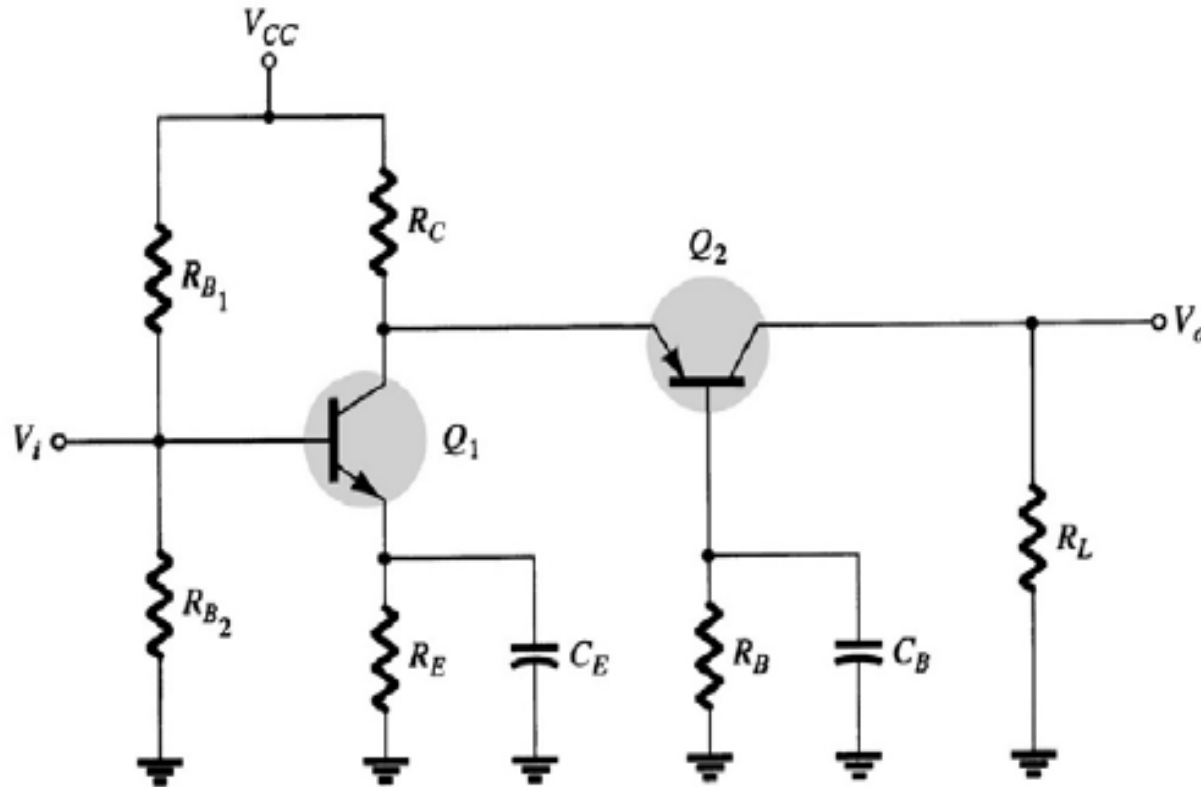
$$Z_i = R_{G_1}$$

$$Z_o = R_{D_2}$$

7.3.2 Cấu hình cascode

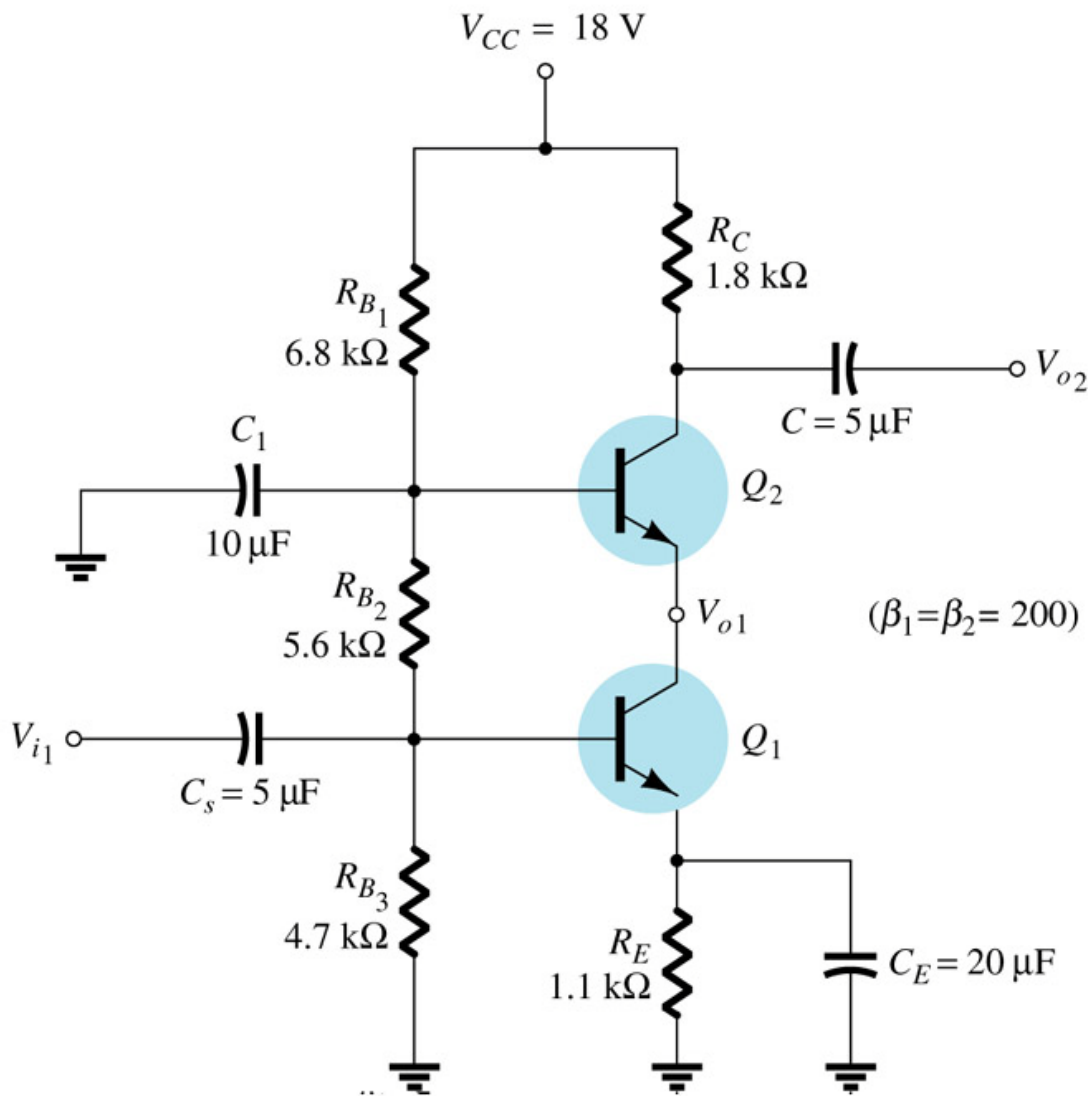
- Một transistor được mắc nối tiếp phía trên 1 transistor khác
 - Ví dụ: 2 transistor mắc CE và CB được nối trực tiếp
- Được sử dụng nhiều trong các ứng dụng ở tần số cao như
 - Mạch khuếch đại dải rộng
 - Mạch khuếch đại chọn lọc tần số

7.3.2 Cấu hình cascode – Ví dụ



- Tầng EC với hệ số KĐ nhỏ, trở kháng vào lớn để điện dung Miller đầu vào nhỏ

7.3.2 Cấu hình cascode – Thực tế



- CE: $A_{v_1} = 1$

=> Điện dung Miller khá nhỏ, trở kháng vào cao

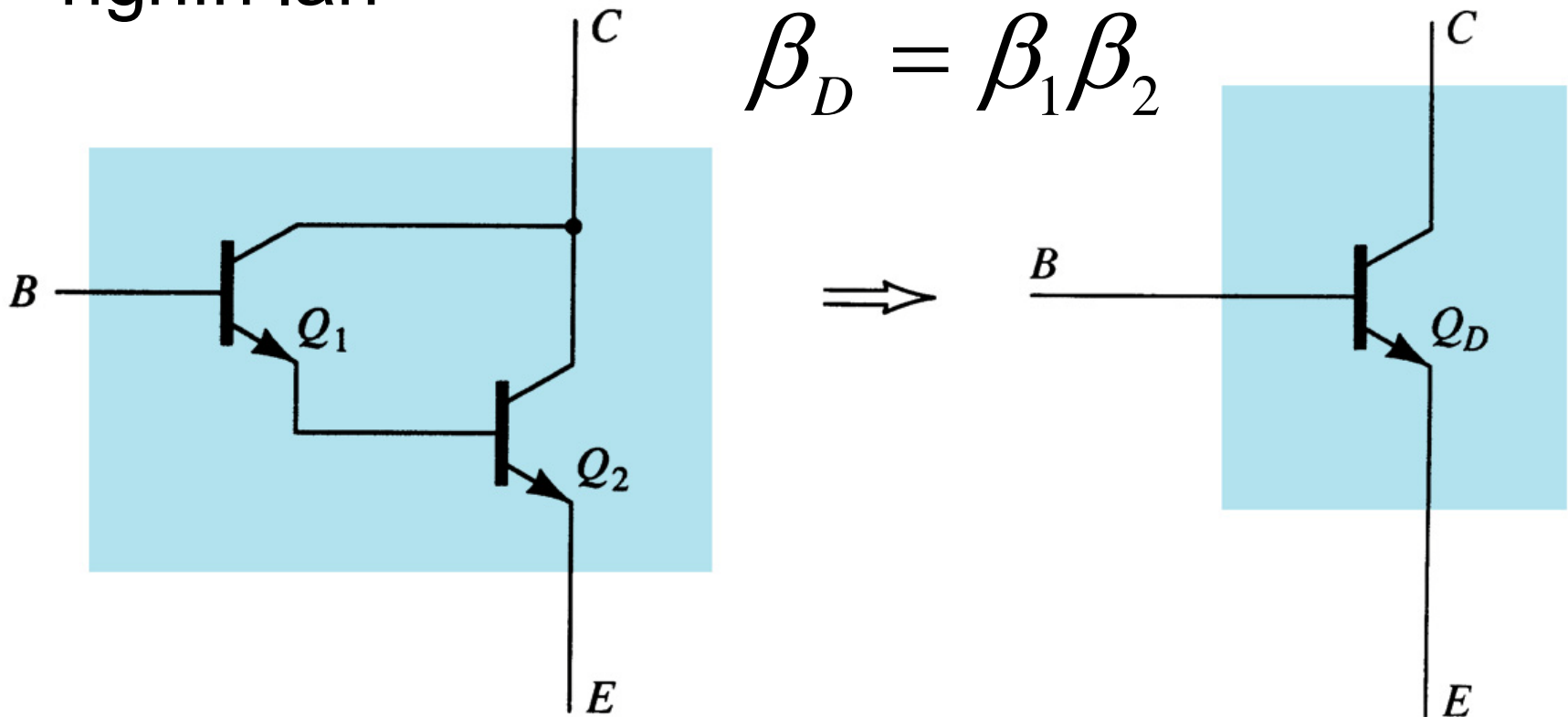
- CB $A_{v_2} = \frac{R_C}{r_e}$

lớn => Hệ số KĐ tổng lớn

$$A_v = A_{v_1} A_{v_2} = -\frac{R_C}{r_e}$$

7.3.3 Cấu hình Darlington

- Hai transistor cùng loại mắc theo cấu hình Darlington hoạt động giống như 1 transistor có hệ số **KĐ dòng điện** rất lớn, thường là vài nghìn lần



7.3.3 Cấu hình Darlington

- Do tính thông dụng của nó, người ta chế tạo dưới dạng 1 package

Type 2N999

N-P-N Darlington-Connected
Silicon Transistor Package

Parameter	Test Conditions	Min.	Max.
V_{BE}	$I_C = 100 \text{ mA}$		1.8 V
$h_{FE} (\beta_D)$	$I_C = 10 \text{ mA}$	4000	
	$I_C = 100 \text{ mA}$	7000	70,000

7.3.3 Cấu hình Darlington

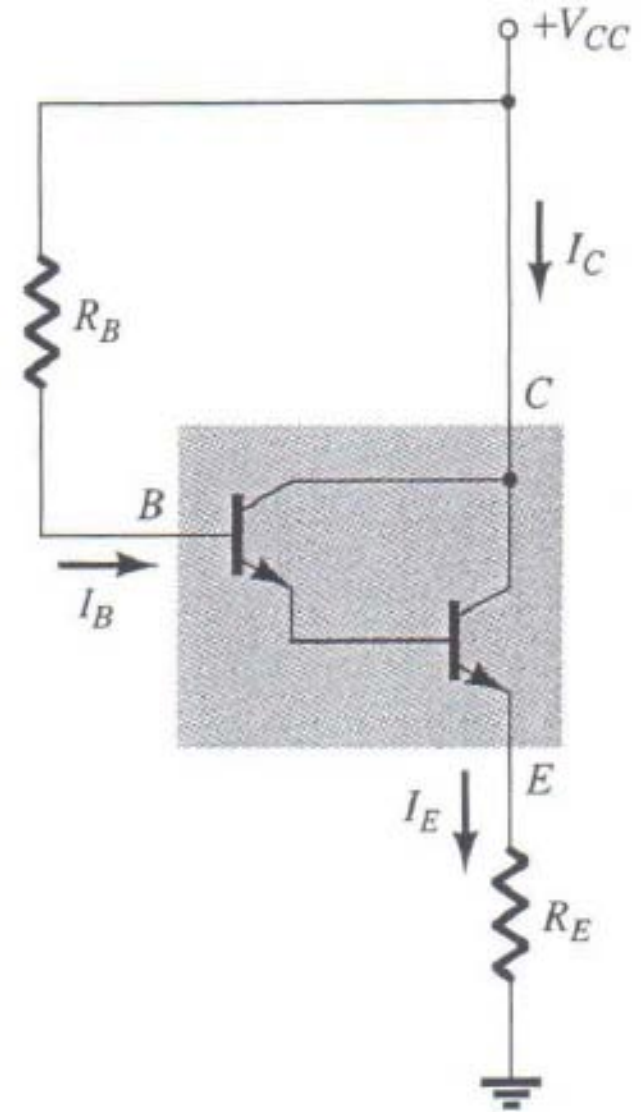
- Phân cực 1 chiều

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta_D R_E}$$

$$I_E = (\beta_D + 1) I_B \approx \beta_D I_B$$

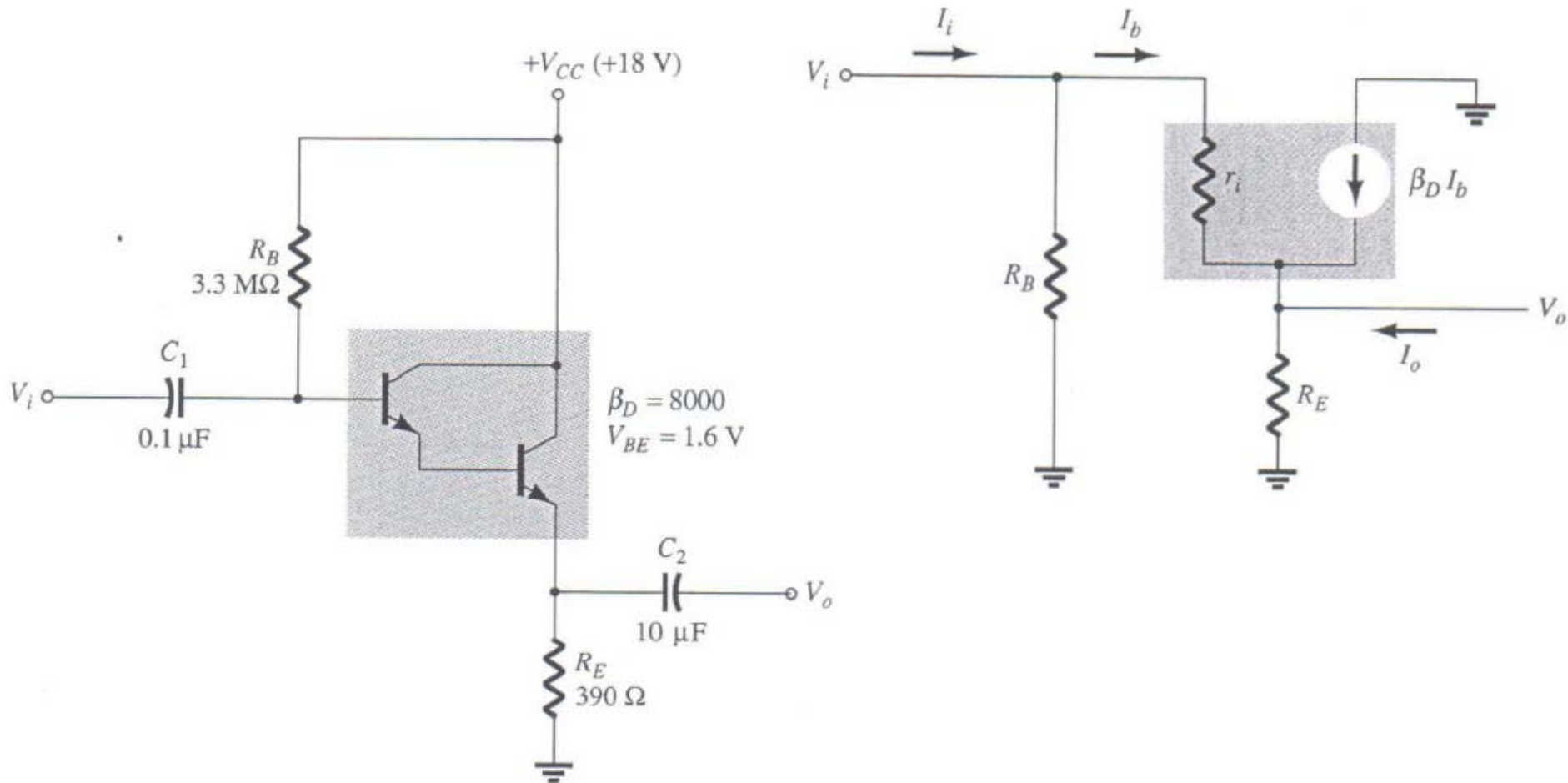
$$V_E = I_E R_E$$

$$V_B = V_E + V_{BE}$$



7.3.3 Cấu hình Darlington

- Mạch tương đương AC



7.3.3 Cấu hình Darlington

- AC

$$Z_i = R_B \parallel (r_i + \beta_D R_E)$$

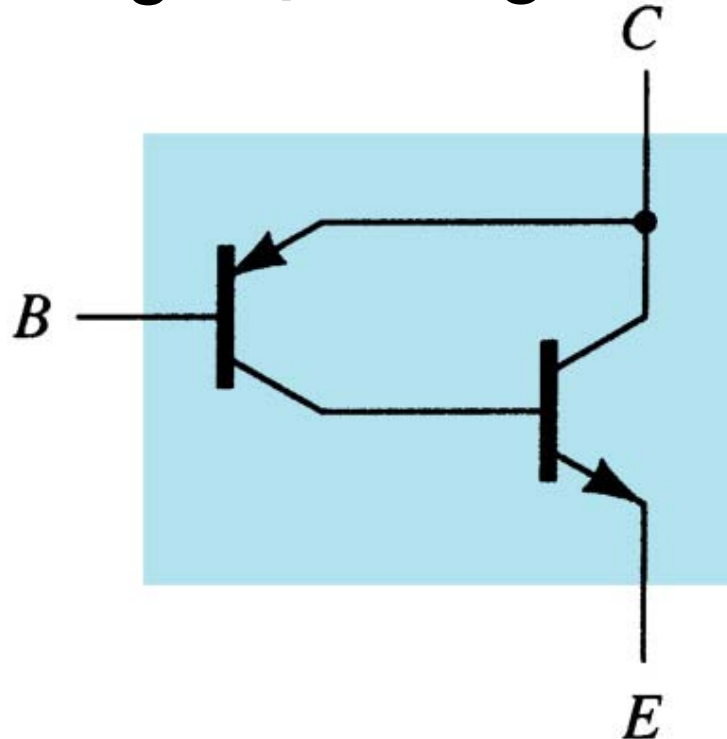
$$Z_o = \frac{V_o}{I_o} = R_E \parallel r_i \parallel \frac{r_i}{\beta_D} \approx \frac{r_i}{\beta_D}$$

$$A_i = \beta_D \frac{R_B}{R_B + \beta_D R_E}$$

$$A_v = \frac{V_o}{V_i} = \frac{R_E + \beta_D R_E}{r_i + (R_E + \beta_D R_E)} \approx 1$$

7.3.4 Cấu hình cặp transistor hồi tiếp

- Tương tự cấu hình Darlington
- Hai transistor **khác loại**, hoạt động giống như **1 BJT loại npn**
- Hệ số KĐ dòng điện tổng rất lớn



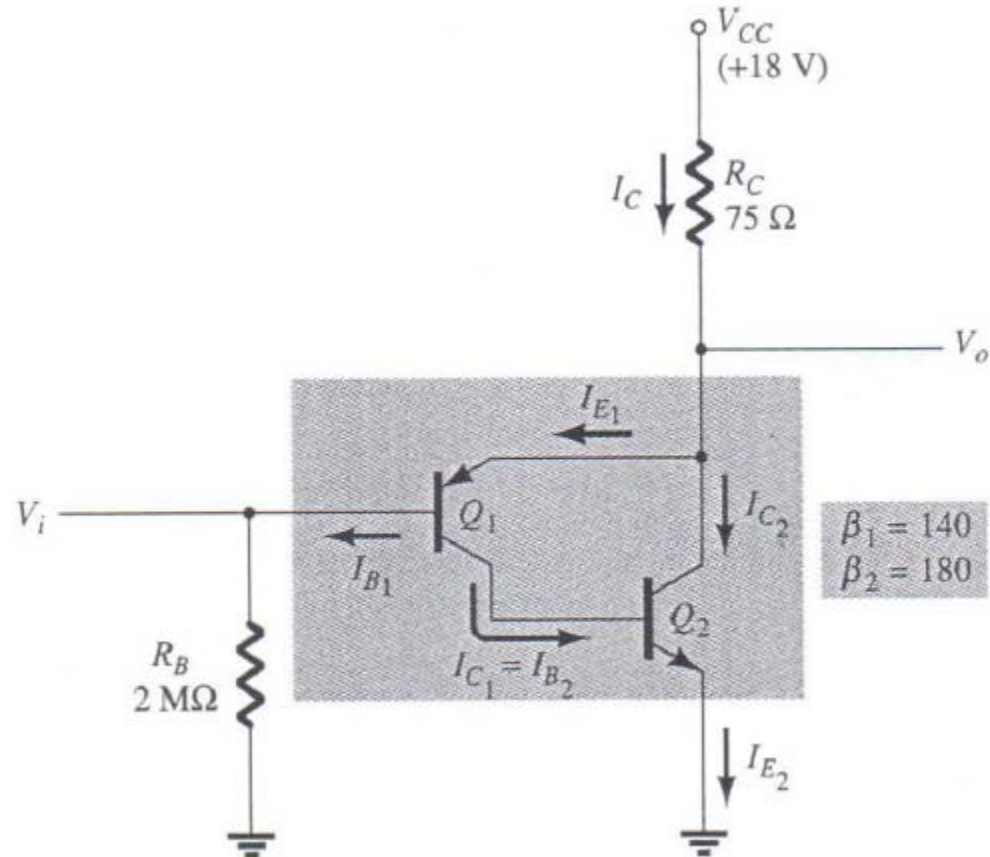
7.3.4 Cấu hình cặp transistor hồi tiếp

- DC

$$I_{B_1} = \frac{V_{CC} - V_{EB_1}}{R_B + \beta_1 \beta_2 R_C}$$

$$I_{C_1} = \beta_1 I_{B_1} = I_{B_2}$$

$$I_{C_2} = \beta_2 I_{B_2} \approx I_{E_2}$$



$$I_C = I_{E_1} + I_{C_2} \approx I_{C_1} + I_{C_2} \approx I_{C_2}$$

7.3.4 Cấu hình cặp transistor hồi tiếp

- AC

$$Z_i \approx R_B \parallel \left(r_{i_1} + \beta_1 \beta_2 R_C \right)$$

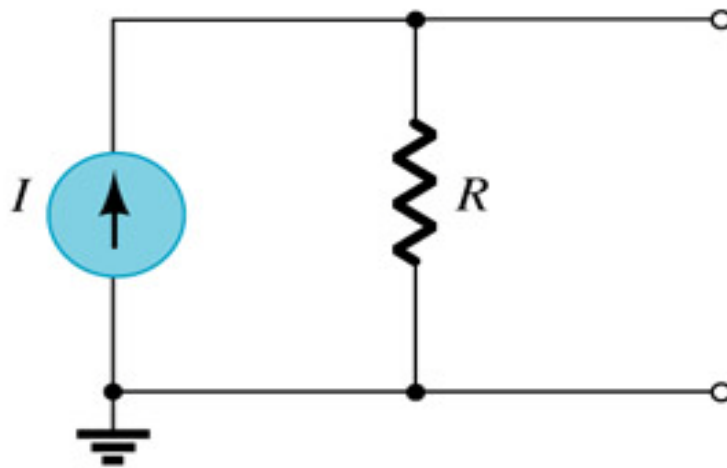
$$Z_o = \frac{V_o}{I_o} = R_C \parallel r_{i_1} \parallel \frac{r_{i_1}}{\beta_1} \parallel \frac{r_{i_1}}{\beta_1 \beta_2} \approx \frac{r_{i_1}}{\beta_1 \beta_2}$$

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_{b_1}} \frac{I_{b_1}}{I_i} \approx \beta_1 \beta_2 \frac{R_B}{R_B + Z_i}$$

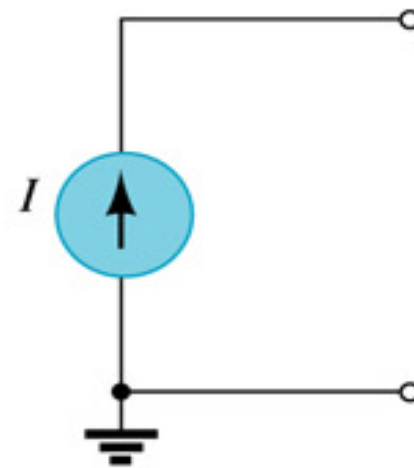
$$A_v = \frac{V_o}{V_i} = \frac{1}{1 + r_{i_1} / (\beta_1 \beta_2 R_C)} = \frac{\beta_1 \beta_2 R_C}{\beta_1 \beta_2 R_C + r_{i_1}}$$

7.3.5 Mạch nguồn dòng

- Nguồn dòng lý tưởng
 - cung cấp 1 dòng điện cố định,
 - Có nội trở trong $R = \infty$



Practical
current source

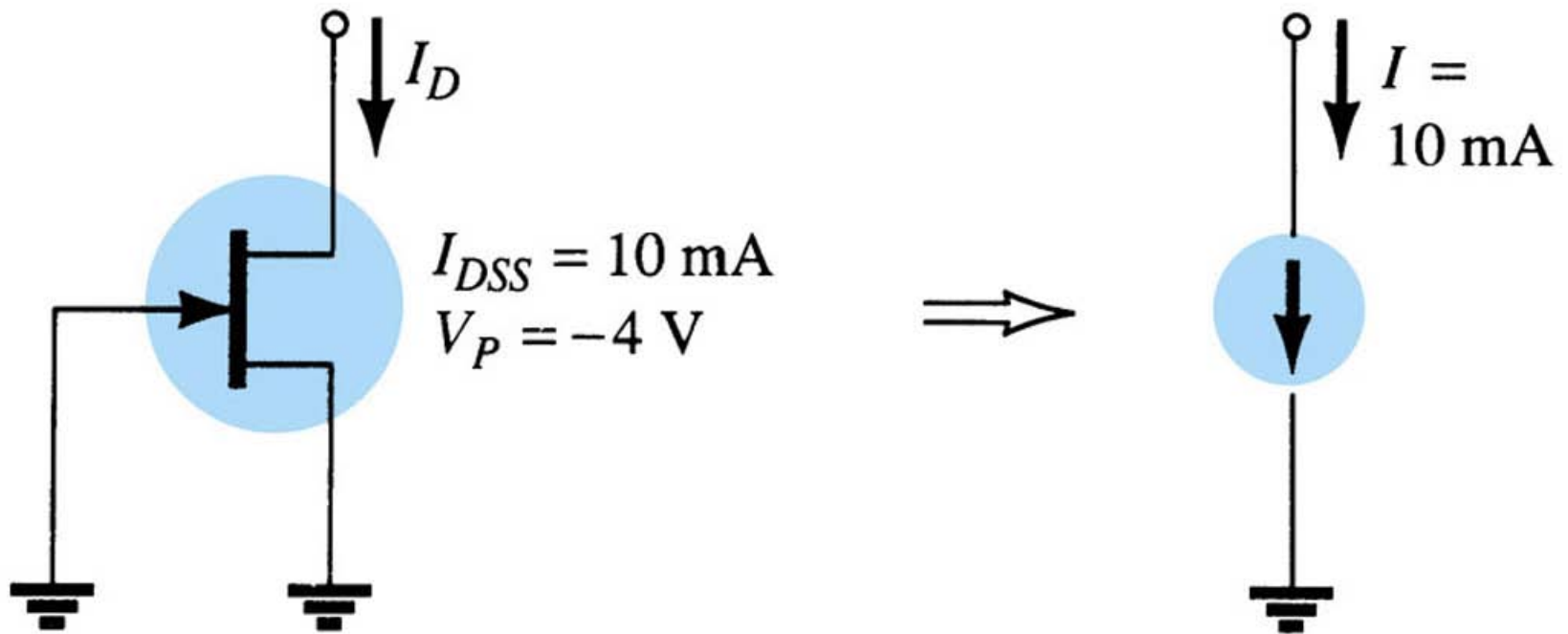


Ideal
current source

(b)

7.3.5 Mạch nguồn dòng

- Nguồn dòng dùng JFET



$$V_{GS} = 0$$

$$I_D = I_{DSS} = 10 \text{ mA}$$

7.3.5 Mạch nguồn dòng

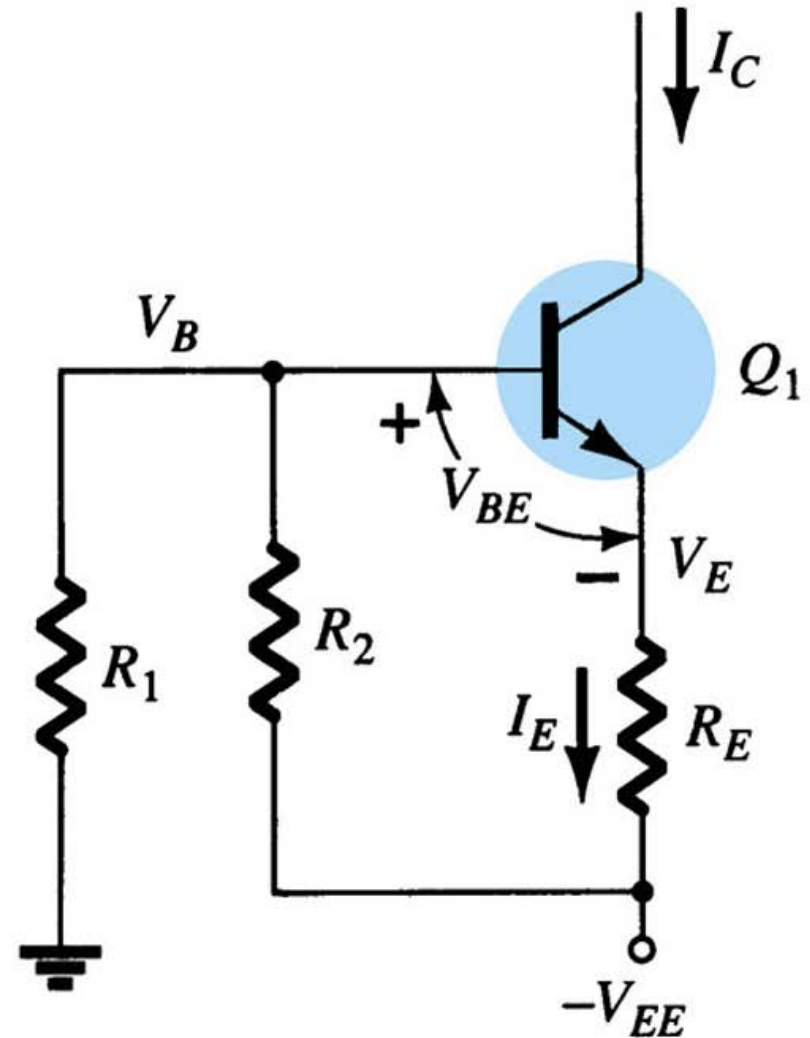
- Nguồn dòng dùng BJT

$$V_B = \frac{R_1}{R_1 + R_2} (-V_{EE})$$

$$V_E = V_B - 0.7V$$

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx I_C$$

$\Rightarrow I_C$ là dòng cố định

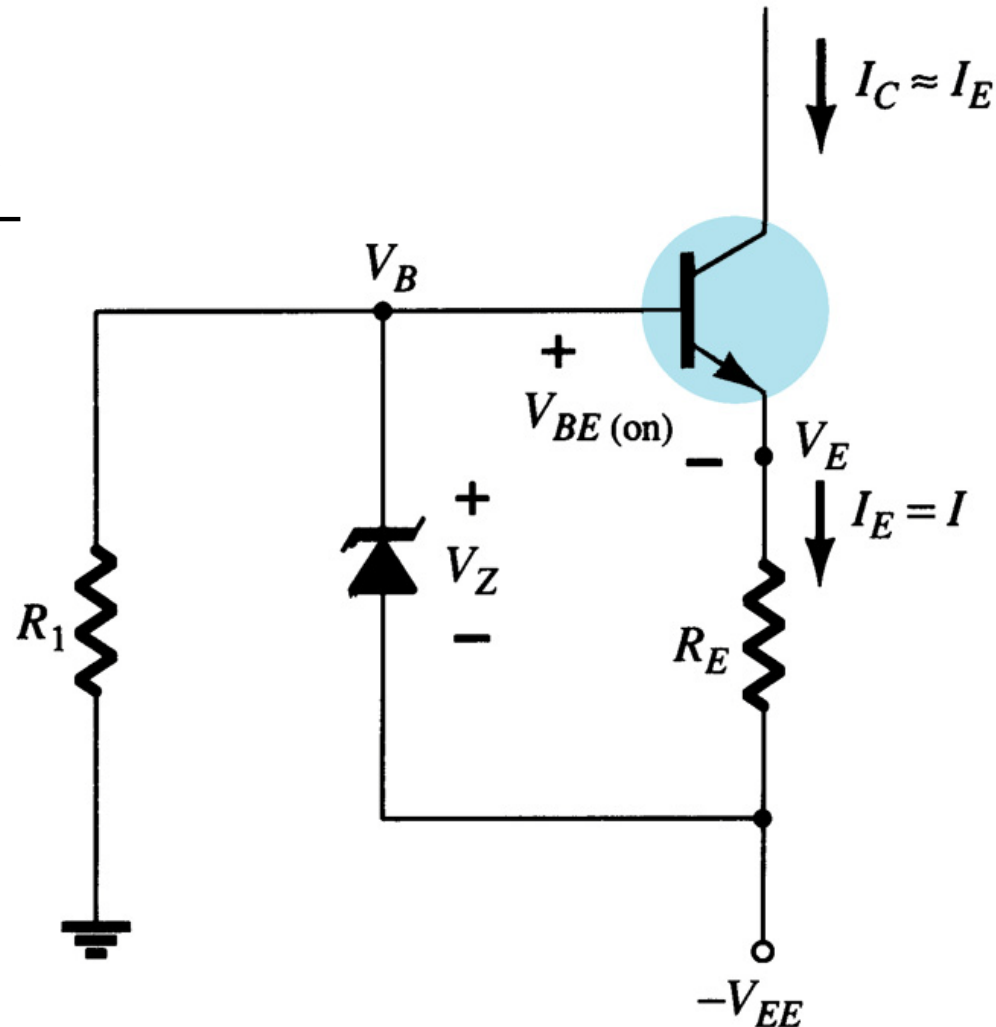


7.3.5 Mạch nguồn dòng

- Nguồn dòng dùng BJT/diode Zener

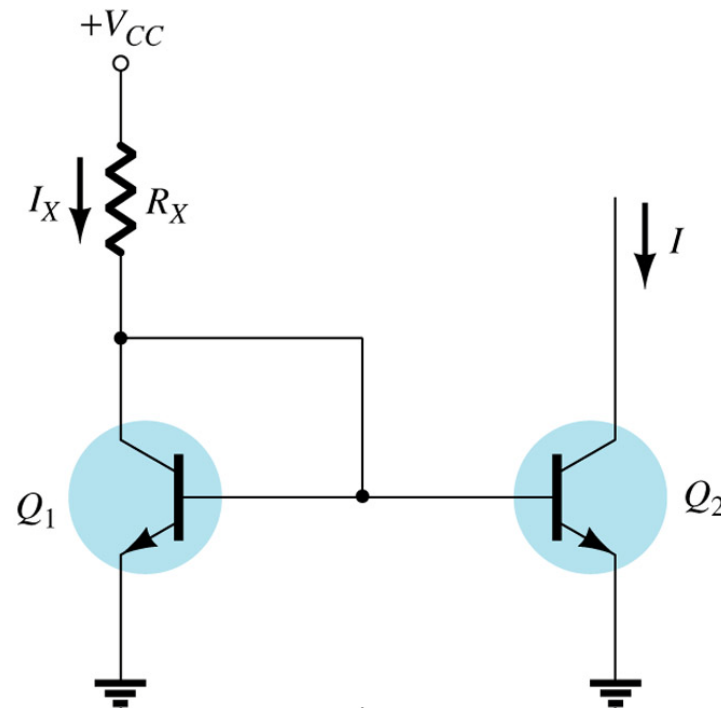
$$I \approx I_E = \frac{V_Z - V_{BE}}{R_E}$$

Dòng I chỉ phụ thuộc vào V_Z (khá ổn định) và R_E mà không phụ thuộc vào nguồn cung cấp V_{EE}



7.3.6 Mạch dòng gương

- Cung cấp 1 hoặc nhiều dòng bằng 1 dòng xác định khác
- Sử dụng chủ yếu trong IC vì mạch yêu cầu các transistor giống nhau (V_{BE} , β)
 - Chú ý không nhân ra quá nhiều dòng

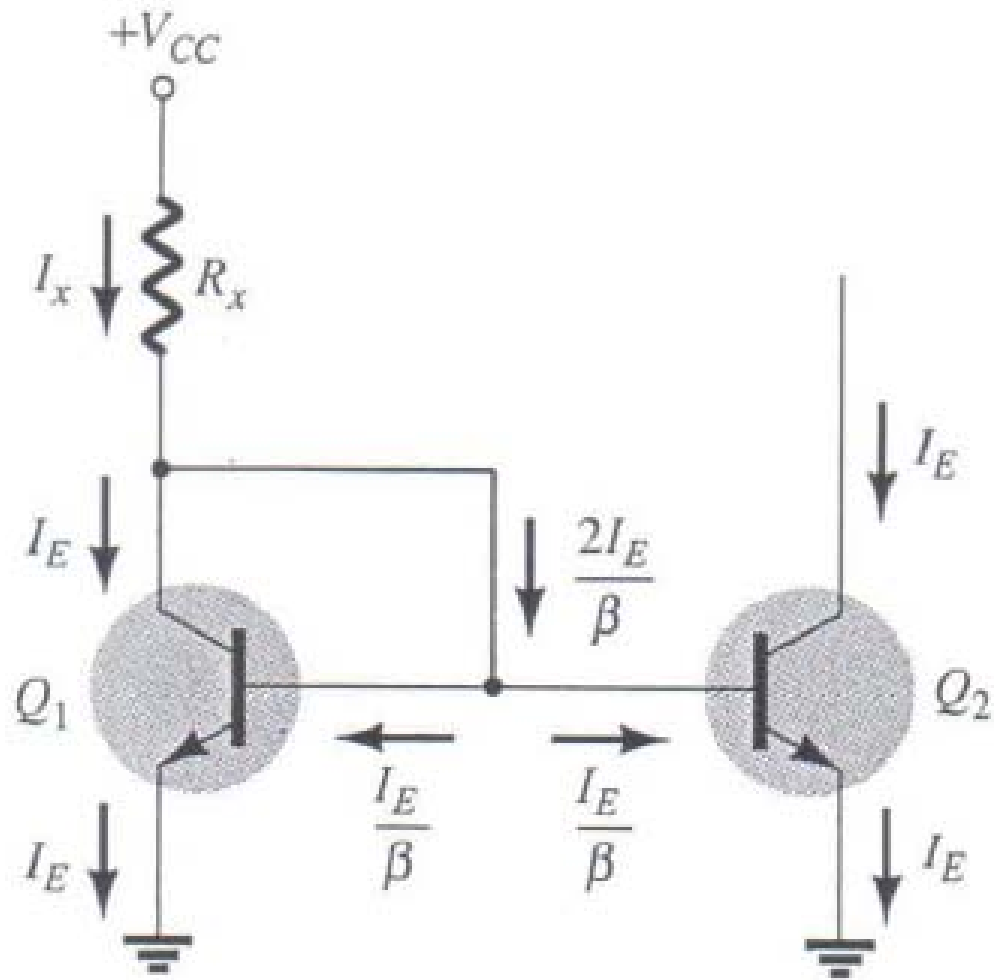


7.3.6 Mạch dòng gương

$$I_B = \frac{I_E}{\beta + 1} \approx \frac{I_E}{\beta}$$

$$I_x = I_E + \frac{2I_E}{\beta} \approx I_E$$

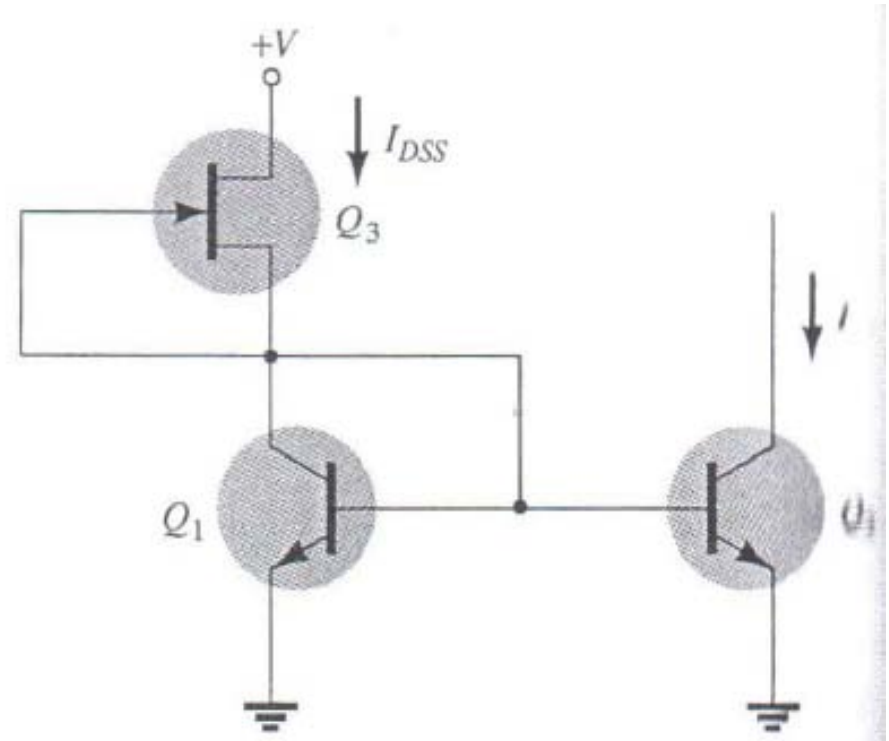
$$I_x = \frac{V_{CC} - V_{BE}}{R_x}$$



7.3.6 Mạch dòng gương

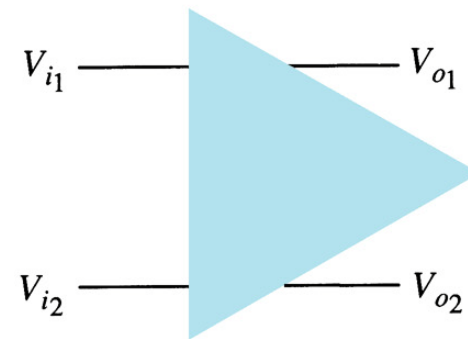
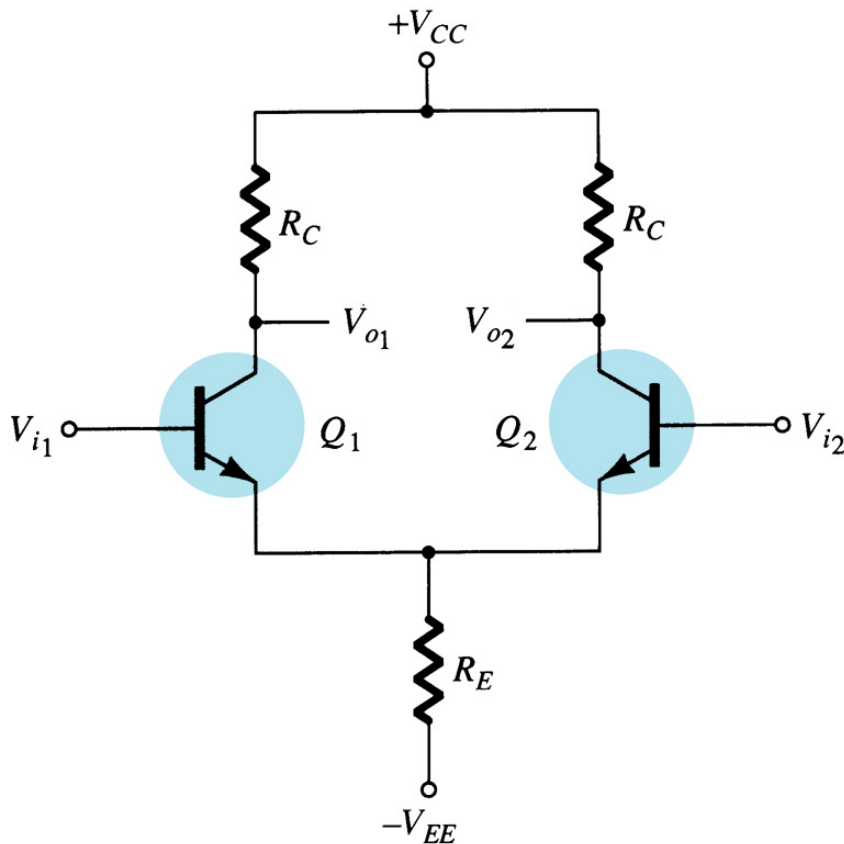
- JFET cung cấp 1 dòng cố định I_{DSS}

$$\Rightarrow I = I_{DSS}$$



7.3.7 Khuếch đại vi sai

- Rất thông dụng trong IC
- Mạch có: 2 đầu vào, 2 đầu ra, 2 cực emitter nối nhau
- 2 transistor có các thông số giống hệt nhau



7.3.7 Khuếch đại vi sai

- Điện áp vào: tùy theo cách đưa tín hiệu vào mà có các chế độ khác nhau
 - Đưa tín hiệu vào 1 đầu vào, đầu vào còn lại nối đất: chế độ đơn
 - Đưa 2 tín hiệu khác nhau vào 2 đầu vào: chế độ vi sai
 - Đưa cùng 1 tín hiệu vào 2 đầu vào: chế độ đồng pha
- Điện áp ra có thể lấy
 - Giữa hai cực collector (kiểu đối xứng)
 - Giữa 1 cực collector và đất (kiểu không đối xứng)

7.3.7 Khuếch đại vi sai

- Nhận xét
 - Tín hiệu vào ngược pha: khuếch đại lớn
 - Tín hiệu vào cùng pha: khuếch đại nhỏ
 - ⇒ khả năng chống nhiễu tốt
 - ⇒ Tỷ số nén đồng pha (CMRR-Common Mode Rejection Ratio)
$$\text{CMRR} = \text{Hệ số KĐ vi sai} / \text{Hệ số KĐ đồng pha}$$
 - ⇒ CMRR càng lớn chất lượng mạch càng tốt
 - Với KĐ ngõ ra không cân bằng, Q_1 , Q_2 vẫn có tác dụng trừ các tín hiệu nhiễu đồng pha hay ảnh hưởng của nhiệt độ tác dụng lên hai transistor
- Ứng dụng
 - Trong các bộ KĐ thuật toán
 - Sử dụng trong đo lường
 - Sử dụng trong KĐ tần số thấp

7.3.7 Khuếch đại vi sai

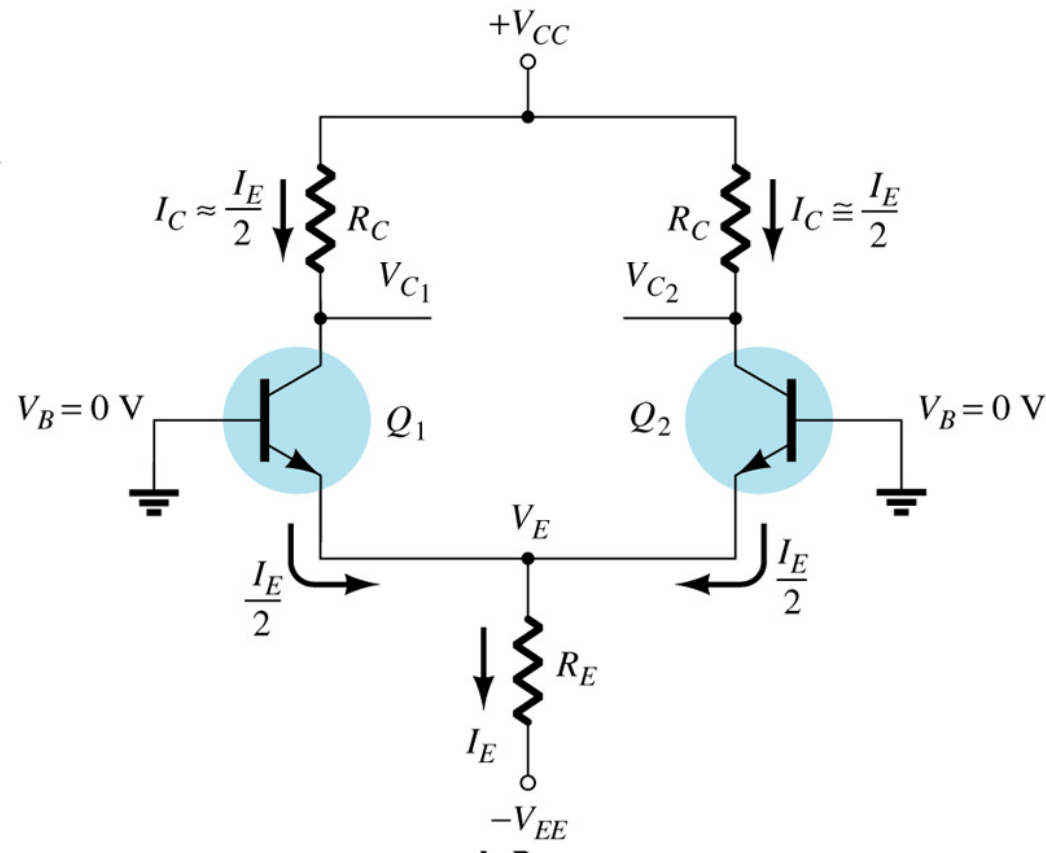
- DC

$$V_E = V_B - V_{BE} = -0,7\text{V}$$

$$I_E = \frac{V_E - (-V_{EE})}{R_E}$$

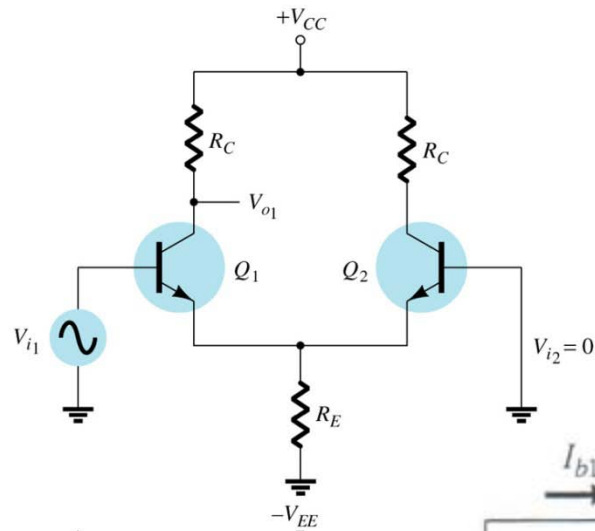
$$I_{C_1} = I_{C_2} = \frac{I_E}{2}$$

$$V_{C_1} = V_{C_2} = V_{CC} - I_C R_C = V_{CC} - \frac{I_E}{2} R_C$$

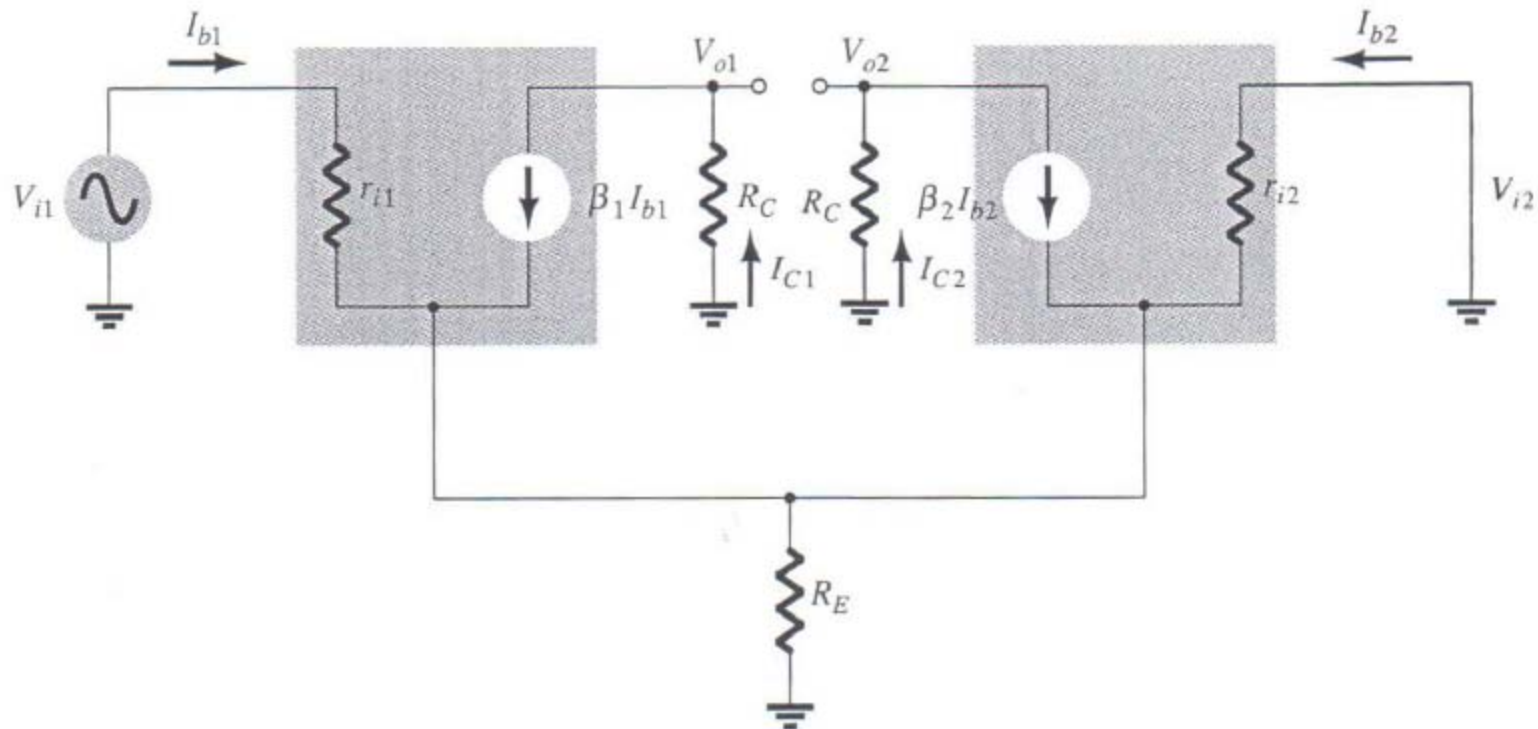


7.3.7 Khuếch đại vi sai

- Chế độ KĐ xoay chiều vào đơn

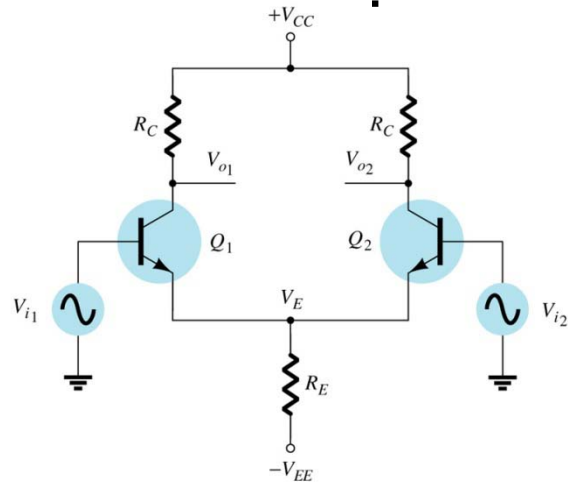


$$A_v = \frac{V_o}{V_i} = \frac{R_C}{2r_e}$$



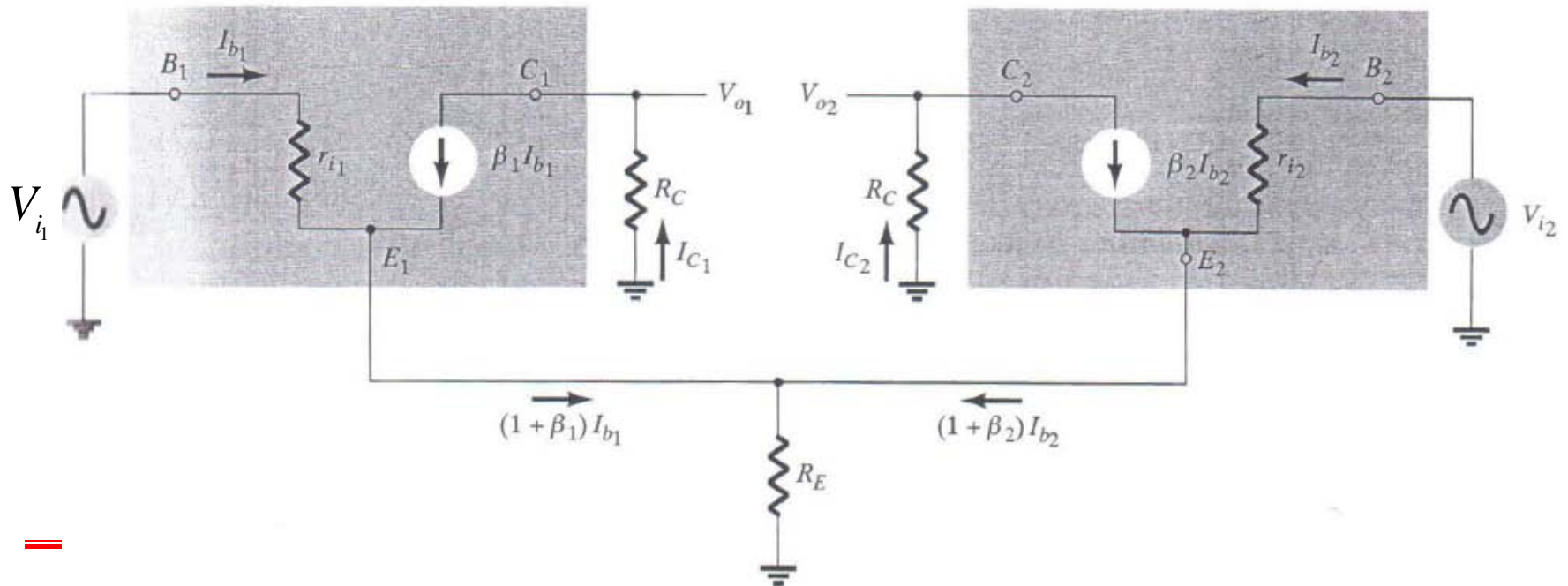
7.3.7 Khuếch đại vi sai

- Chế độ KĐ xoay chiều vào vi sai



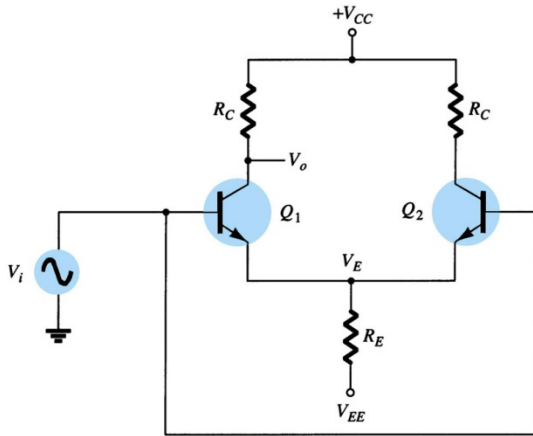
$$A_d = \frac{V_o}{V_d} = \frac{\beta R_C}{2r_i}$$

$$V_d = V_{i1} - V_{i2}$$

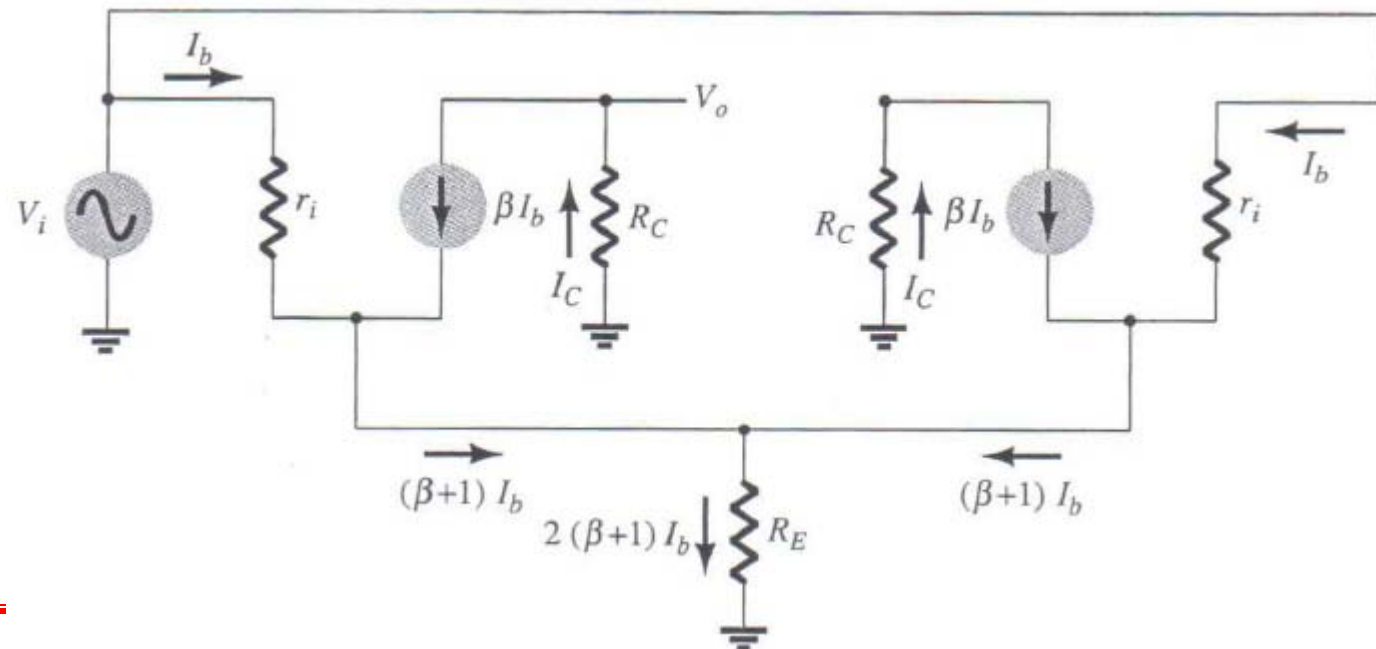


7.3.7 Khuếch đại vi sai

- Chế độ KĐ xoay chiều chiều ngỗ vào đồng pha

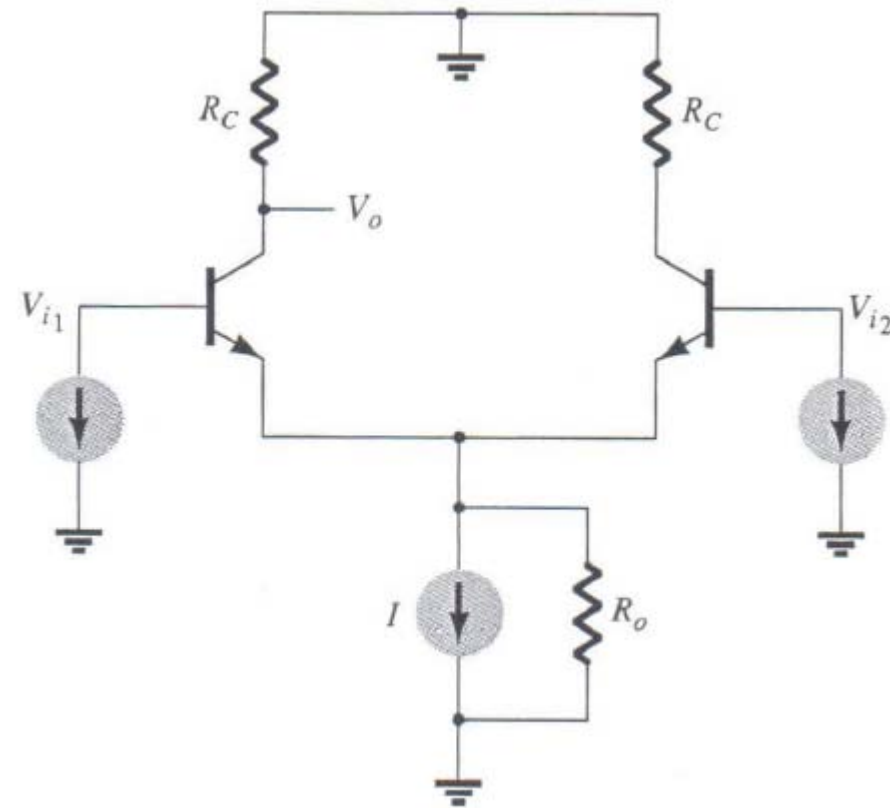
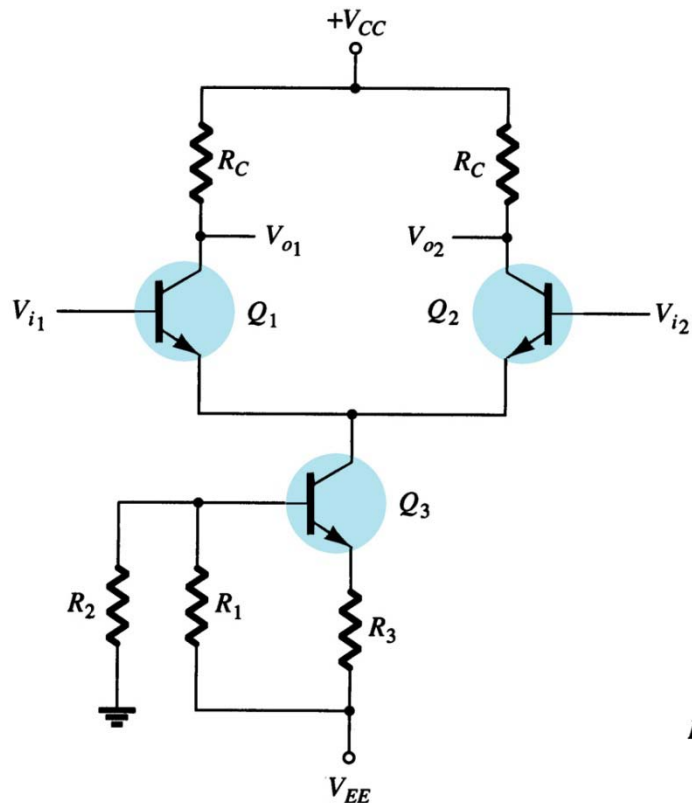


$$A_v = \frac{V_o}{V_i} = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E}$$



7.3.7 Khuếch đại vi sai

- Dùng nguồn dòng cố định
 - Hệ số KĐ đồng pha nhỏ, do tăng R_E



Tóm tắt

- Bài học tập trung vào
 - Ghép giữa các tầng khuếch đại
 - Các cấu hình kết hợp

Bài tập

- Đọc chương 11 (Đáp ứng tần số BJT và FET [1])
- Bài tập [1]:
 - Chương 12: 1, 6, 11, 12, 15, 19, 21, 24, 26, 30