

# CPU構造の理解に向けた研究

中間発表

久乗 建汰

## 研究背景

- CPUはコンピュータの中心的な演算装置
- 実際に回路を作ること、**コンピュータ内で何が起きているかを具体的に理解**
- 教科書「コンピュータシステムの実装と実践」を参考に学習中

## 研究目的

- Verilogを用いて **NANDゲートから簡単なCPUを作る体験**
- 設計の完成ではなく、**低レイヤーでの動作理解を深めることが目的**
- コンピュータシステムの動作原理を論理ゲートレベルで具象し、学習に活かす






## 使用教材・技術

- **書籍:** 「コンピュータシステムの実装と実践」
- **ゲーム:** Turing Complete (回路設計・CPU構造理解の参考)
- **言語:** Verilog
- **主な学習内容:**
  - 基本論理回路の設計
  - SRラッチ / Dラッチ / フリップフロップ
  - MUX、ALU、レジスタの構築
- **コード管理:** GitHubでVerilogコードを管理

## 現在の進捗（完了済みタスク）

ステップ	モジュール	内容	状態
1	基本ゲート	NAND, AND, OR, XOR, XNOR, NOT, AND3, OR3, const_high / const_low	✓ 完了
2	加算器	half_adder, full_adder, 8ビット加算器	✓ 完了
3	MUX	2:1, 4:1, NビットMUXをゲートのみで作成	✓ 完了

## 現在の進捗（未完タスク）

ステップ	モジュール	内容	状態
4	1ビットALU	alu1_nandをゲート + MUXで構築 (AND, OR, XOR, ADD)	 未完
5	NビットALU	alu8_nandなど1ビットALUをリップル接続	 未完
6	DFF / レジスタ	1ビットDFF、8ビットレジスタ、 レジスタファイル作成	 未完
7	制御回路	命令デコーダ・制御信号生成	 未完
8	CPUコア	ALU + レジスタ + 制御回路統合	 未完

## 現状の課題

- 現在は個別回路（ALUなど）まだ完成していない
  - まずは個別回路を作り、動作を確認することが優先

## 今後の計画

1. 冬休みまでに **DFF / レジスタ** の設計と動作確認
2. ALUなどの個別回路を完成させる
3. 制御回路の設計・理解
4. CPUコア統合と総合テスト
5. 簡単な命令セットをVerilogで実装し、CPU内部動作を理解
6. 最終的に簡易CPUの動作デモを作成



## まとめ

- 基本回路の設計・理解は順調
- 個別回路完成やクロック同期理解は今後の課題
- 着実にCPU構築を進めつつ、内部動作の理解を深める