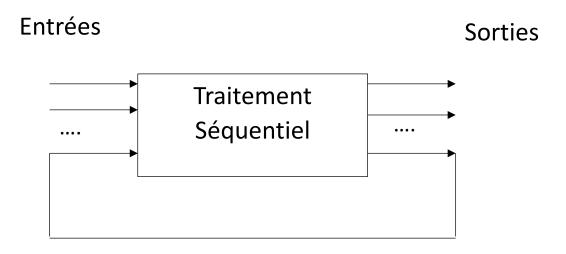
Les systèmes logiques séquentiels

Définitions

Bascules

• Un système est dit séquentiel lorsque la ou les sorties dépendent de la combinaison des variables d'entrée et de l'état précédent des sorties.



Définitions Remarques

- Une même cause (même combinaison des entrées) peut engendrer des sorties différentes;
- ➤ Le temps peut-être une cause déclenchante ;
- La sortie peut persister si la cause disparait.
- Nous avons :

$$Si = f(e1, ..., ej, ..., s1, ..., sl, ..., t)$$

Ime Tamen

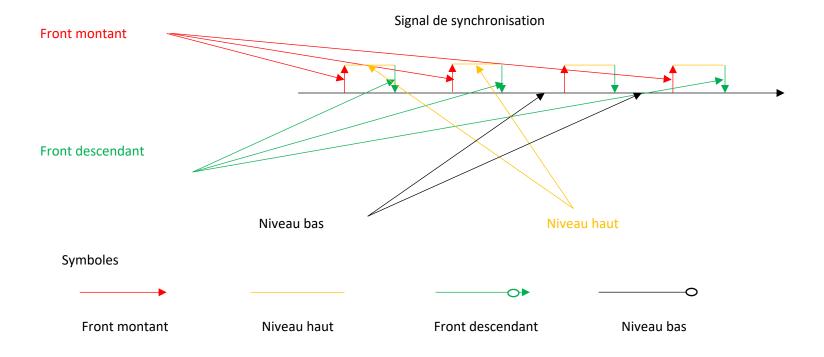
Chronogramme

✓ Un chronogramme est une représentation de l'évolution d'un signal ou du fonctionnement d'un système en fonction du temps.

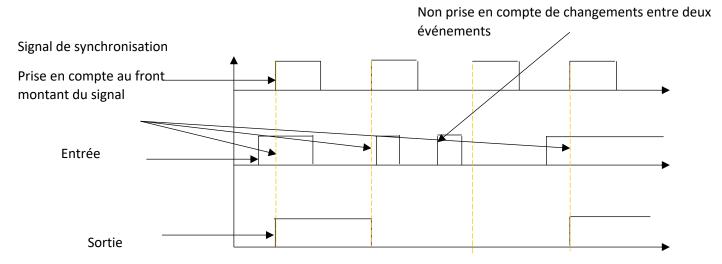
Fonctionnement synchrone ou asynchrone

- ✓ Un fonctionnement est dit synchrone à un événement extérieur lorsque la prise en compte de l'évolution des entrées ne s'effectue qu'à des instants précis de l'événement extérieur.
- ✓ Le fonctionnement est dit asynchrone si l'évolution des entrées est prise en compte dès son arrivée.
- ✓ Cette notion de synchronisation est surtout utilisée dans le fonctionnement des bascules et constituants mémoires pour synchroniser plusieurs composants entre eux.

• Évènements de synchronisation



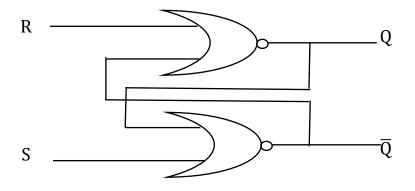
- Exemple : Notion de chronogramme
- Soit un circuit séquentiel avec une seule entrée et une seule sortie.
 On supposera que la sortie suit l'entrée au front montant de l'horloge.



Définitions

- ✓ On les appelle bascules bistables car ces bascules ont deux états stables ('0' et '1'). Ceci signifie que s'il n'y a pas intervention sur les bascules, celles-ci restent verrouillées sur leur dernier état.
- ✓ Une bascule a pour rôle de mémoriser une information élémentaire. C'est une mémoire à 1 bit. Elle possède deux sorties complémentaires Q et \overline{Q} .

• Bascule RS à l'aide des portes NOR



• Tables de vérité

• NOR

X	Y	$\overline{X+Y}$
0	0	1
0	1	0
1	0	0
1	1	0

Tables de vérité

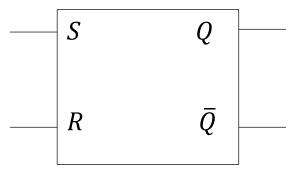
• RS

S	R	Q	$ar{Q}$	
0	0	Q	$ar{Q}$	Mémoire
0	1	0	1	RAZ = Remise à 0
1	0	1	0	Set= Mise à 1
1	1	X	X	Interdit

Remarques

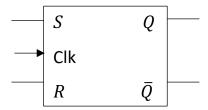
- ✓ Si on applique S=1 et R=0, on impose l'état des sorties Q et \overline{Q} à 1 et 0 respectivement. (S = Set = Mise à 1, R=RAZ = Remise à Zéro).
- ✓ Cet état se maintient lorsque les deux entrées reviennent à 0.
- ✓ La configuration S = 1 et R = 1 est à proscrire car ici, elle provoque la remise à zéro des deux sorties complémentaires Q et \overline{Q} ce qui est inconsistant avec l'algèbre de Boole.

• Symbole



Bascules RST, RS-CLOCK ou RSH

✓ La bascule RST est une bascule RS pour laquelle les entrées S et R ne sont prises en compte qu'en coïncidence avec un signal de commande fourni par une horloge. Nous avons alors une bascule synchrone.

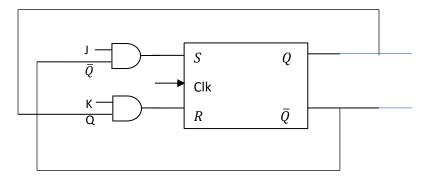


Bascule RS sensible au front montant

Bascule JK

✓ C'est une bascule RST sur laquelle on autorise la combinaison J=K=1. On la réalise en connectant la sortis \overline{Q} par l'intermédiaire d'une porte ET à l'entrée S et en connectant la sortie Q toujours par l'intermédiaire d'une porte ET à l'entrée R. (JK= valet/ roi, J=Jokey, K=King).

• Circuit à partir de la bascule RS:



• Table de vérité

$$\checkmark \begin{cases} S = J\overline{Q} \\ R = KQ \end{cases}$$

J _{n-1}	K _{n-1}	Q _{n-1}	$ar{Q}_{n-1}$	S	R	Q _n	$ar{Q}_{n}$
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	1	0	1	0	0	0	1
0	1	1	0	0	1	0	1
1	0	0	1	1	0	1	0
1	0	1	0	0	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	0	1	0	1

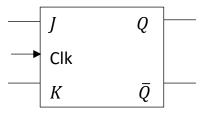
Remarque

✓ La combinaison S= R= 1 n'est jamais rencontrée.

• Table de vérité réduite

J	K	Q	$ar{Q}$	
0	0	Q	$ar{Q}$	Mémoire
0	1	0	0	RAZ = Remise à 0
1	0	1	1	Set= Mise à 1
1	1	$ar{Q}$	Q	Basculement

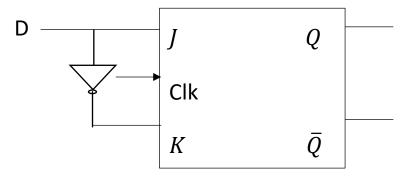
• Symbole



Bascule JK sensible au front montant

Bascule D

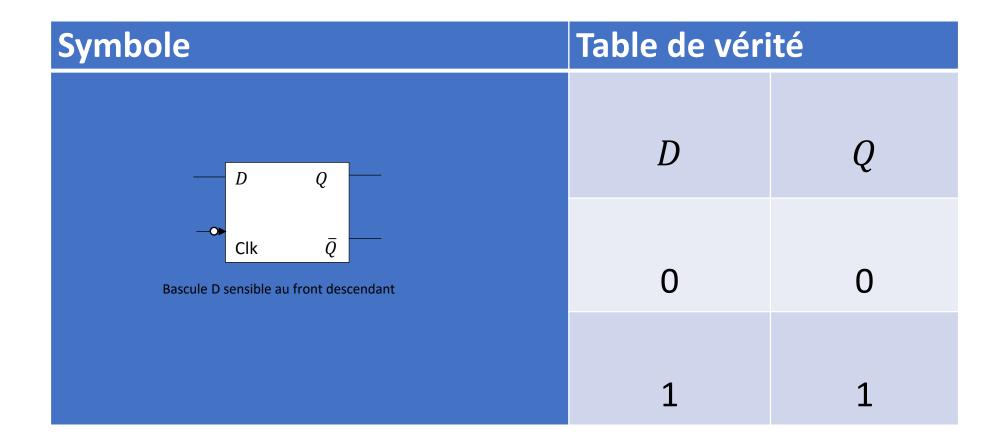
✓ Une bascule D (Delay) est obtenue à partir d'une bascule JK en ayant simultanément une donnée sur l'entrée J et son inverse sur l'entrée K.



• A partir de la table de vérité de la bascule JK, nous pouvons écrire :

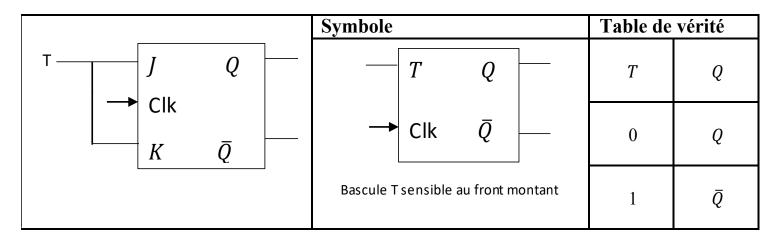
$$\begin{cases} D_{n-1} = 1 \implies J_{n-1} = 1 \implies K_{n-1} = 0 \implies Q_n = 1 \\ D_{n-1} = 0 \implies J_{n-1} = 0 \implies K_{n-1} = 1 \implies Q_n = 0 \end{cases}$$

$$\Rightarrow Q_n = D_{n-1}$$



Bascule T

✓ Dans une bascule JK, nous constatons que si J=K=1, l'état de la sortie est inversé à chaque cycle d'horloge. Une bascule T (Trigger) est obtenue à partir d'une bascule JK en injectant la même donnée dans les entrées J et K.



Bascule RS

Q_{-}	Q	R	S	R	S
0	0	0	0	X	0
		1	0		
0	1	0	1	0	1
1	0	1	0	1	0
1	1	0	0	0	X
		0	1		

Bascule RS

Q_{-}	Q	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

Bascule JK

Q_{-}	Q	J	K	J	K
0	0	0	0	0	X
		0	1		
0	1	1	0	1	X
		1	1		
1	0	0	1	X	1
		1	1		
1	1	0	0	X	0
		1	0		

Bascule JK

Q_{-}	Q	J	K
0	0	0	X
0	1	1	X
1	0	Χ	1
1	1	X	0

Bascule D

Q_{-}	Q	D
0	0	0
0	1	1
1	0	0
1	1	1

Bascule T

Q_{-}	Q	Т
0	0	0
0	1	1
1	0	1
1	1	0

Bascule RS

A	Q_{-}	Q	R	S	
0	0	0	X	0	S = A
0	1	0	1	0	$R=\overline{A}$
1	0	1	0	1	
1	1	1	0	X	

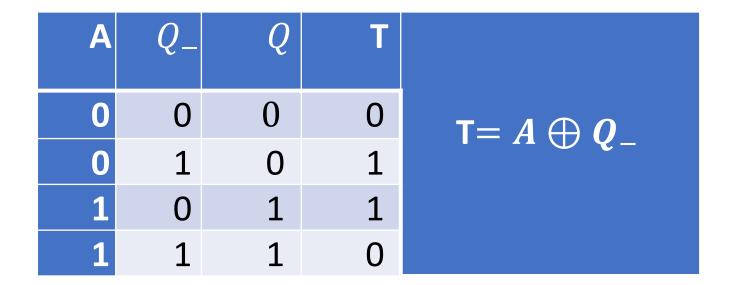
Bascule JK

A	Q_{-}	Q	J	K	
0	0	0	0	X	J = A
0	1	0	X	1	$K = \overline{A}$
1	0	1	1	X	
1	1	1	X	0	

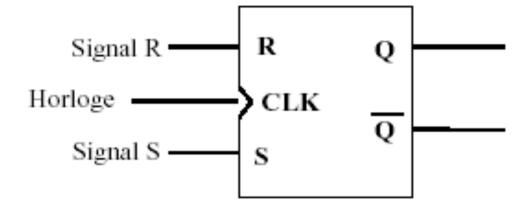
Bascule D

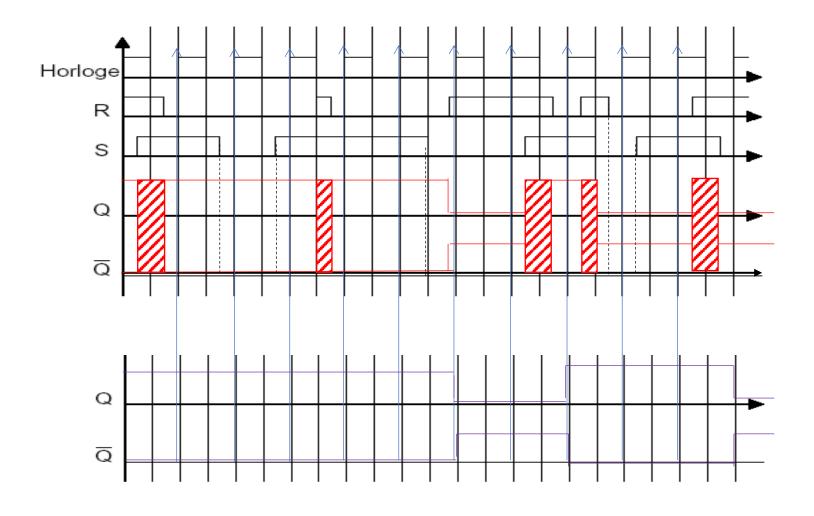
A	Q_{-}	Q	D	
0	0	0	0	
0	1	0	0	
1	0	1	1	D = A
1	1	1	1	

Bascule T

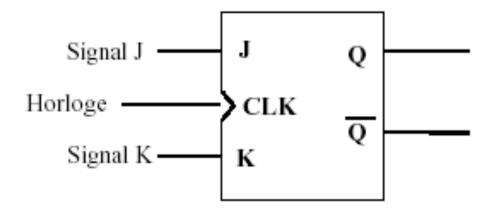


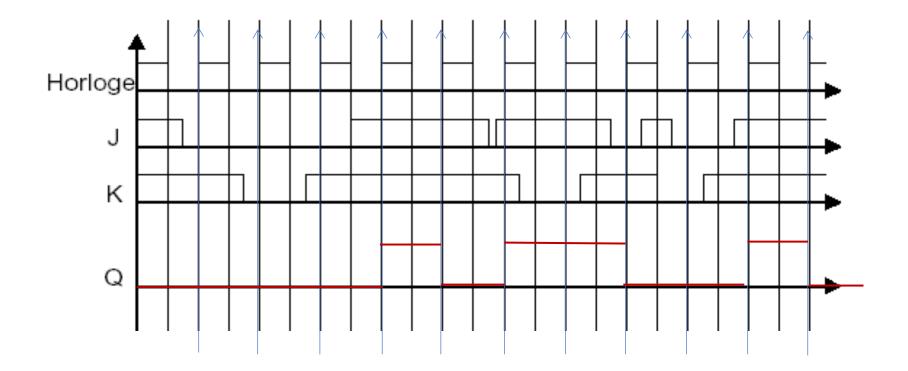
- Importante information EI : Q=1, $\bar{Q}=0$.
- Bascule RS



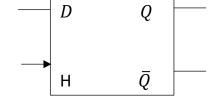


- Bascule JK
- État initial :

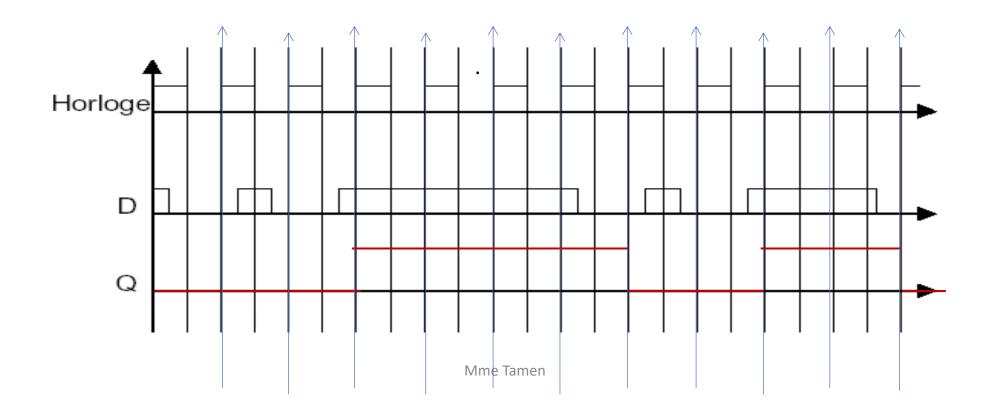




• État initial :



Q=0



Bascules Entrées asynchrones Clear et Preset

• Les entrées asynchrones (car à utiliser en absence de signal d'horloge) Pr (Preset) et Cr (Clear) permettent d'assigner l'état initial de la bascule, par exemple à la mise sous tension pour éviter tout aléa. En fonctionnement normal ces deux entrées doivent être maintenues à 1. Lorsque le signal d'horloge est inhibé, nous avons la table de vérité suivante :

Pr	Cr	Q
1	1	Q
0	1	1
1	0	0