

Bài Tập Thực Hành 8

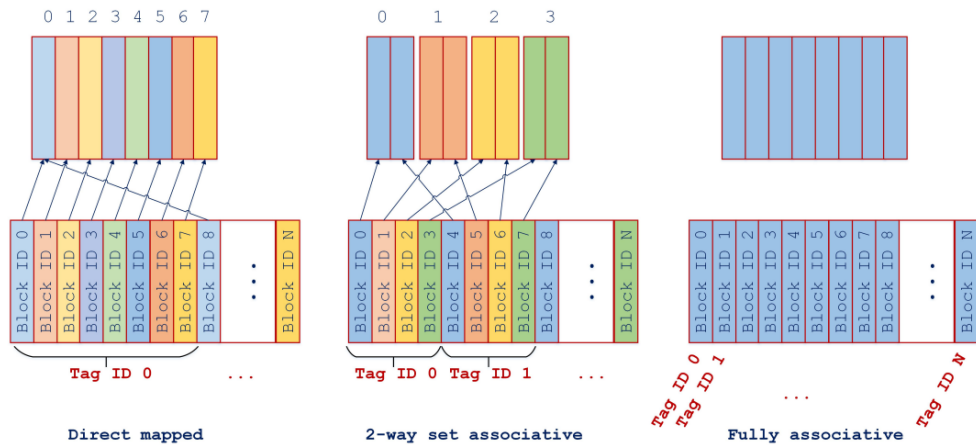
LÔ HOÀNG BẢO - 2252066

December 2023

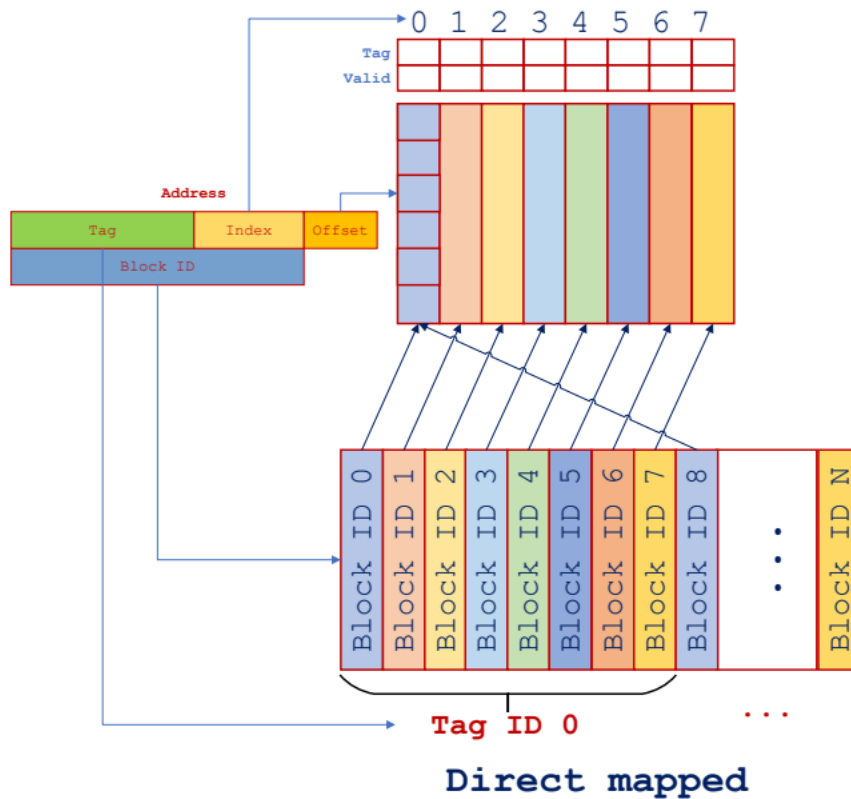
Bộ nhớ đệm

- Trong bộ nhớ chia ra thành nhiều block.
- Khi chuyển dữ liệu giữa các bộ nhớ thì chuyển nguyên khối(block).

Hình ảnh so sánh 3 cấu hình Direct mapped, k-way set associative, fully associative. Trong hình ta có bộ nhớ đệm ở phía trên (caches) có 8 blocks. Bộ nhớ chính là bộ nhớ bên dưới. Block trong bộ nhớ chính khi chuyển lên bộ nhớ đệm sẽ được đặt ở vị trí cùng màu trong bộ nhớ đệm.



Hình. 1: Direct mapped – 2-way set associative – Fully associative.



Hình. 2: Cấu trúc địa chỉ bộ nhớ 32 bits.

Cấu trúc địa chỉ bộ nhớ

Thanh địa chỉ chia làm 3 phần (Tag, Index, Offset) như trong hình 2.

- Offset: Xác định độ dời của ô nhớ trong 1 block.
- Index: Xác định vị trí set trong bộ nhớ đệm khi 1 block ID chuyển từ bộ nhớ chính lên bộ nhớ đệm.
- Tag: Xác định block trong bộ nhớ đệm.

Block ID: Xác định 1 block trong bộ nhớ chính. Đó chính là sự kết hợp giữa Tag, và Index.

| Query | Tag | Index | Hit/Miss |
|-------|-----|-------|----------|
| 0 | 0 | 0 | Miss |
| 4 | 0 | 1 | Miss |
| 1 | 0 | 0 | Hit |
| 5 | 0 | 1 | Hit |
| 65 | 1 | 0 | Miss |
| 1 | 0 | 0 | Miss |
| 67 | 1 | 0 | Miss |
| 46 | 0 | 11 | Miss |
| 1 | 0 | 0 | Miss |
| 70 | 1 | 1 | Miss |
| 2 | 0 | 0 | Hit |
| 0 | 0 | 0 | Hit |

Bảng 1: HIT/MISS trong Direct mapped

| Query | Tag | Index | Hit/Miss |
|-------|-----|-------|----------|
| 0 | 0 | 0 | Miss |
| 4 | 0 | 0 | Miss |
| 1 | 0 | 0 | Hit |
| 5 | 0 | 0 | Hit |
| 65 | 2 | 0 | Miss |
| 1 | 0 | 0 | Hit |
| 67 | 2 | 0 | Hit |
| 46 | 1 | 0 | Miss |
| 1 | 0 | 0 | Hit |
| 70 | 2 | 0 | Miss |
| 2 | 0 | 0 | Hit |
| 0 | 0 | 0 | Hit |

Bảng 2: HIT/MISS trong 2-way set associative

Bài 3

Offset bit = $2bit$ (4-word block)

- Xác định số lần HIT/MISS khi chạy chương trình trên với các cấu hình Direct mapped caches
 - Số lượng sets có trong cache là $\frac{256}{16} = 16$ sets. Vậy index $bit = 4bit$
 - Kết quả là 4 HIT và 8 MISS được thể hiện trong Bảng 2
- Xác định số lần HIT/MISS khi chạy chương trình trên với các cấu hình 2-way set associative caches
 - Số lượng sets có trong cache là $\frac{256}{2*16} = 8$ sets. Vậy index $bit = 3bit$
 - Kết quả là 7 HIT và 5 MISS được thể hiện trong Bảng 2

| Query | Tag | Index | Hit/Miss |
|-------|-----|-------|----------|
| 0 | 0 | 0 | Miss |
| 4 | 0 | 1 | Miss |
| 1 | 0 | 0 | Hit |
| 5 | 0 | 1 | Hit |
| 65 | 2 | 0 | Miss |
| 1 | 0 | 0 | Hit |
| 67 | 2 | 0 | Hit |
| 46 | 1 | 3 | Miss |
| 1 | 0 | 0 | Hit |
| 70 | 2 | 1 | Miss |
| 2 | 0 | 0 | Hit |
| 0 | 0 | 0 | Hit |

Bảng 3: HIT/MISS trong Fully associative

- Xác định số lần HIT/MISS khi chạy chương trình trên với các cấu hình Fully associative caches
 - Số lượng sets có trong cache là $\frac{256}{256} = 1$ sets. Vậy index *bit* = 0*bit*
 - Kết quả là 7 HIT và 5 MISS được thể hiện trong Bảng 3