

Sharp típusú optikai távolságmérőn alapuló 3D Lidar szerű szkennér

Újrakonfigurálható digitális áramkörök projekt

*Fejér Norbert
Számítástechnika IV.*

A projekt bemutatása.....	3
Rendszerkövetelmények.....	3
A különböző hardverek által elvárt karakterisztikák.....	3
Zybo fejlesztői lap.....	3
Analóg- digitális átalakító.....	3
Optikai távolságmérő.....	4
Szervomotor.....	4
Rendszer specifikáció.....	4
Az ADC felépítése.....	4
Be- kimeneti jelek.....	4
Idődiagram.....	5
Az ADC eredménye.....	5
A távolságmérő felépítése.....	6
Idődiagramm.....	6
A szervomotor felépítése.....	7
Modulok tervezése.....	7
ADC modul tervezése.....	7
Jelek definiálása.....	8
Az ADC modul állapotdiagramja.....	8
Különböző fázisokban elvégzendő műveletek.....	9
Az ADC modul tömbvázlata.....	10
SHARP modul tervezése.....	11
Jelek definiálása.....	11
A SHARP modul állapotdiagramja.....	12
A SHARP modul tömbvázlata.....	13
PWM modul tervezése.....	14
Jelek definiálása.....	14
A PWM modul állapotdiagramja.....	15
A PWM modul tömbvázlata.....	16
Contoller modul tervezése.....	17
Jelek definiálása.....	17
A Contoller modul állapotdiagramja.....	18
A Contoller modul tömbvázlata.....	19
Segéd modulok tervezése.....	20
Counter modul felépítése.....	20
Jelek definiálása.....	20
A projekt System Generatorban való megvalósítása.....	20
Könyvészeti.....	22

A projekt bemutatása

A projekt célja egy **Lidar szerű 3D szkennér** megvalósítása FPGA áramkör segítségével. Első lépésben a tér feltérképezése vízszintes irányban történik **180º**-ban, egy szervomotorra szerelt Sharp típusú ultrahangos távolságérzékelő segítségével. A projekt továbbfejlesztésének következő lépése ennek a megvalósításnak a kibővítése lenne, mely segítségével 3D-ben is megvalósulna a feltérképezés.

A feladat további része az így kapott távolság megjelenítése, vizualizálása System Generator segítségével. Továbbfejlesztési lehetőségeként feltehető ugyanakkor a kapott értékek térben történő megjelenítése különböző vizualizálási technikák segítségével, például egy adott felületen.

Rendszerkövetelmények

A projekt egy **FPGA** típusú fejlesztői lap segítségével lesz megvalósítva VHDL nyelvben, illetve VIVADO környezet alatt. A modulok tervezése, implementálása és tesztelése során **Vivado 2018.1**-es szoftvert, illetve a **Symulink** használatához **MatLab R2017b** verzióját használom.

A felhasznált hardverek tekintetében a következő elemre lesz szükségem:

- Zybo fejlesztő lap (Zynq-7000 ARM/FPGA SoC Trainer Board)
- Analóg- digitális átalakító (ADC121S021)
- Sharp típusú optikai távolságmérő (Sharp GP2Y0A60SZLF)
- Szervomotor (Futaba s3003)

A különböző hardverek által elvárt karakterisztikák

Zybo fejlesztői lap

- Xilinx Zynq-7000 családra épülő beágyazott szoftver és digitális áramkör fejlesztő platform
- Block RAM mérete: 240 Kb
- DDR3 RAM: 512 MB
- Órajel frekvencia: 450 MHz+
- Pmod csatlakozók száma: 6 Pmod port

Analóg- digitális átalakító

- Referencia feszültség: 2.7 V - 5.25 V
- Bementi órajel értéke: 1 MHz - 4 MHz
- Mintavételezés értéke: 50 - 200 ksps
- Üzemi hőmérséklet: -40°C - 85°C

Optikai távolságmérő

- Bementi feszültség (V_{cc}): 3V vagy 5V
- Kontrol veszültség: 2.3-tól V_{cc} -ig - magas feszültség, max 0.2V - alacsony feszültség
- Mérési tartomány: 10- 150 cm
- Egy mérés elvégzéséhez szükséges idő: minimális idő 16.5 ms, maximális idő: 25.2 ms
- Kimeneti feszültség értéke: 0-5V között
- A kimeneti feszültséget logaritmikusan kapjuk meg, így a későbbiekben ezt linearíálnunk kell az adatok helyes kiolvasása végett

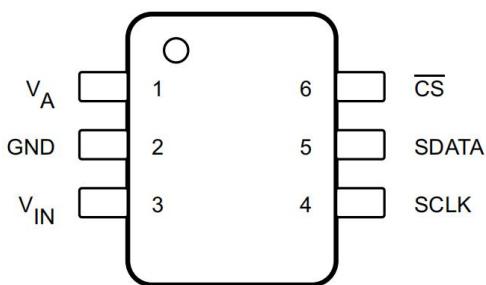
Szervomotor

- Bementi feszültség (V_{cc}): 3V vagy 5V
- Üzemelő hőmérséklet: -20°C - 60°C
- Működési sebesség: 0.23 sec / 60° - teher nélkül
- Áttételi nyomaték: 3.2 kg / cm
- Vezérlő rendszer: PWM (Pulse Width Control)

Rendszer specifikáció

Az ADC felépítése

Be- kimeneti jelek



V_A - referencia feszültség

GND - földelés

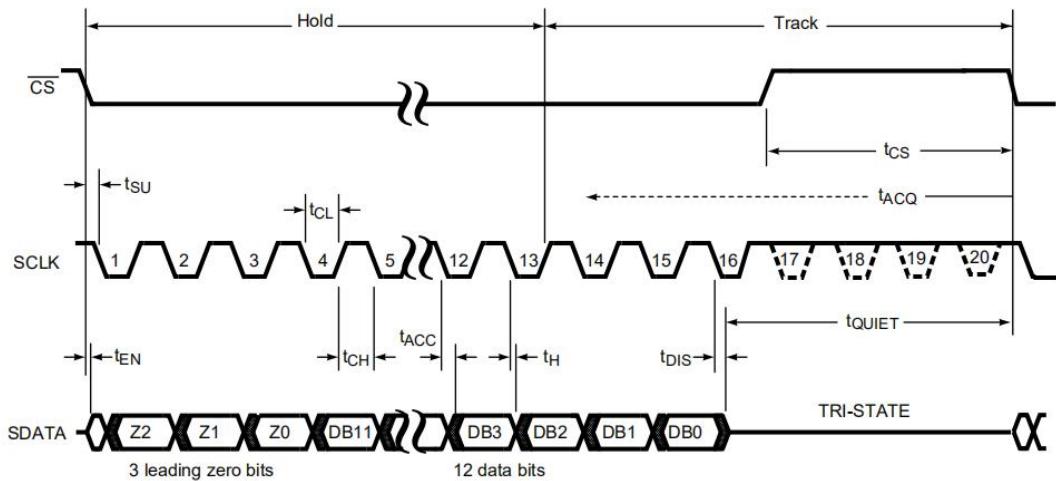
V_{IN} - aktuális bementi feszültség, amit átakaiítunk majd bináris számmá

CS - chip select

SDATA - egy bites érték, ahol sorra olvasunk majd egy 12 bites bináris számot

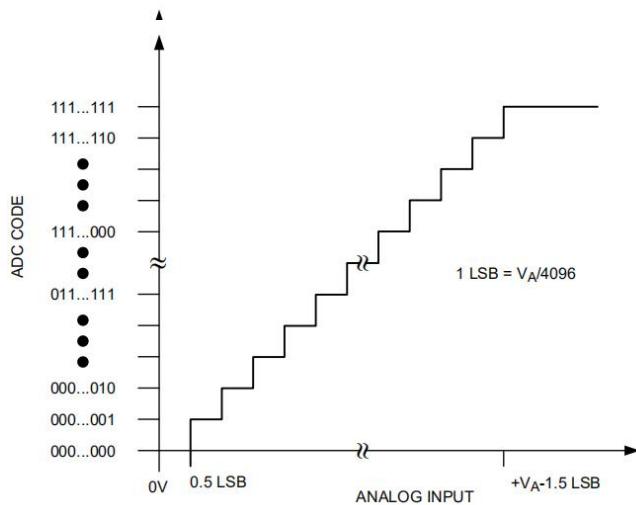
SCLK - órajel, melynek ütemére az átalakítás megtörténik

Idődiagram



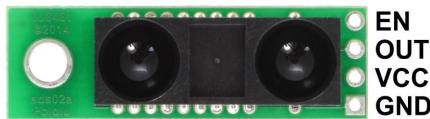
Amikor a CS 1-re állítódik megtörténik a konverzió. Az órajel minden lefutó éllén megtörténik egy új bit kiírása, illetve a felfutó órajel segítségével ki tudjuk olvasni az aktuális bit értékét. A teljes ciklus 20 órajelig tart, az első 3 órajel zérós bitteket fog beolvasni, ezt követi a valós 12 bites érték, mely a számunkra hasznos információt fogja tartalmazni. Az utolsó 4 órajelre történő beolvasásra nem lesz szükségünk, ez gyakorlatilag csak a teljes ciklus megvárásának idejét és az adatok koherenciáját fogja megvalósítani.

Az ADC eredménye



Az ADC kimenete egy 12 bites bináris szám lesz, mely a fenti diagramm szerint van számolva. A maximális V_A értéknek megfelel egy 12 bites csupán 1-eseket tartalmazó bináris érték, amely gyakorlatban a 4095-ös számnak felel meg, mivel 12 biten ez a maximálisan felirható legnagyobb szám. Szóval az aktuális értékünket egy hármas szabálynak megfelelően kell kiszámítanunk, amely a valós értéket fogja megadni és REAL típusként majd visszatérítenünk.

A távolságmérő felépítése



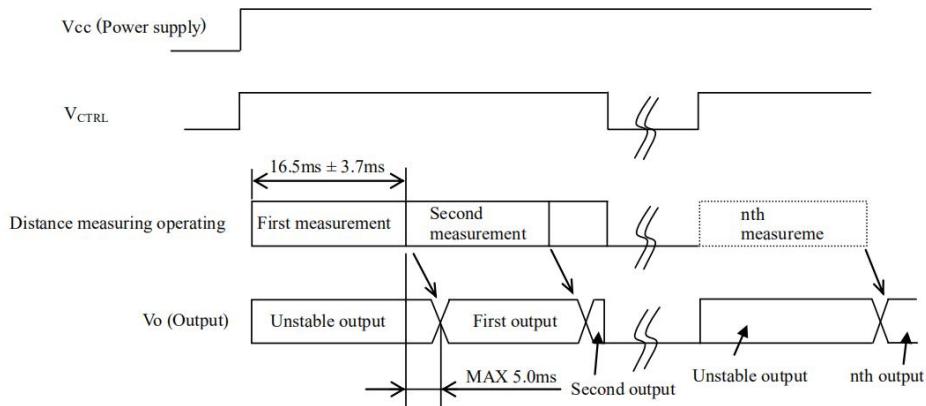
EN - enable jel a mérés megkezdése érdekében

OUT - kimenő feszültség, melyből ki tudjuk számolni az aktuálisan mért távolságot

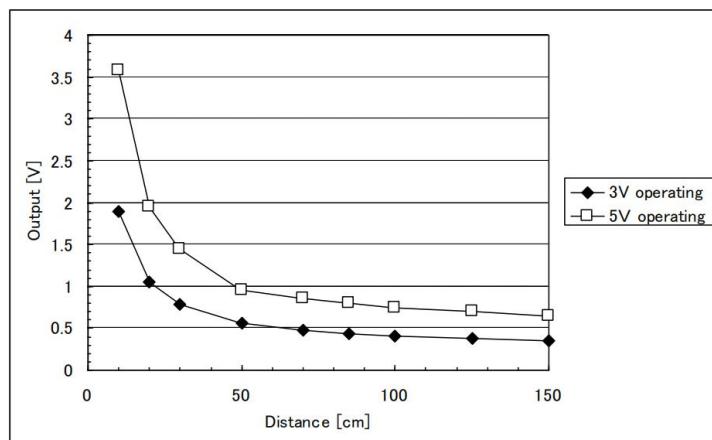
VCC - tápfeszültség

GND - földelés

Idődiagramm



A V_{CTRL} jel segítégevel elindítjuk a mérés elkezdését. Egy max 0.2 V-os jelig az érzékelő standby állapotban van, ha ennél nagyobb jelet adunk meg, amelyik 2.3V és V_{CC} tartományban van, akkor elkezdődik a mérés. Egy mérés a fent megadott ms időtartamig tart, viszont ez nem stabil mérés lesz, szóval ugyanezt a mérést megismételve megkapjuk az aktuális, stabil és pontos mérés eredményét. Kimenetként szintén egy feszültséget kapunk meg, amelyet a lent látható logaritmikus függvény segítségével tudunk visszaszámolni távolságra, az eredményt cm-ben kapjuk meg. A modulunk 10cm és 150cm- es tartományban mér pontosan.



A szervomotor felépítése



A Futaba s3003-as termék egy szervomotor, melyet PWM jel segítségével tudunk vezérelni. 3 pin szolgál bemenetként:

GND - a föld meghatározása

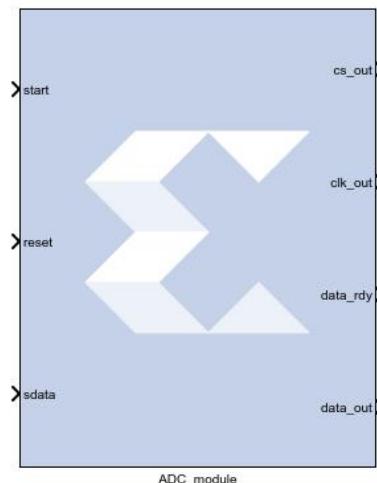
VCC - tápfeszültség

PWM - PWM jel, melynek segítségével a motort tudjuk vezérelni.

Modulok tervezése

A következőkben a VHDL nyelvben leírt modulokat fogom szemléltetni. Fontos megemlítenem, hogy minden modulhoz tartozik egy **src_clk** jel, amely a bemeneti órajelet jelenti, a mi esetünkben az FPGA 100MHz-es jelét, illetve egy **src_ce**, melynek segítségével az órajelet tudom engedélyezni. Ez azért is fontos, mivel ha ilyen formában definiáltam a két jelet a System Generator képes volt felismerni, így megkönnyítette a munkámat is.

ADC modul tervezése



Jelek definiálása

start - elindítom a modul működését

reset - kezdeti állapotba helyezem a modult

sdata - bemeneti 1 bites adat, itt fogom kapni az ADC-ről érkező biteket minden egyes leosztott órajelre

cs_out - engedélyezem a hardver működését

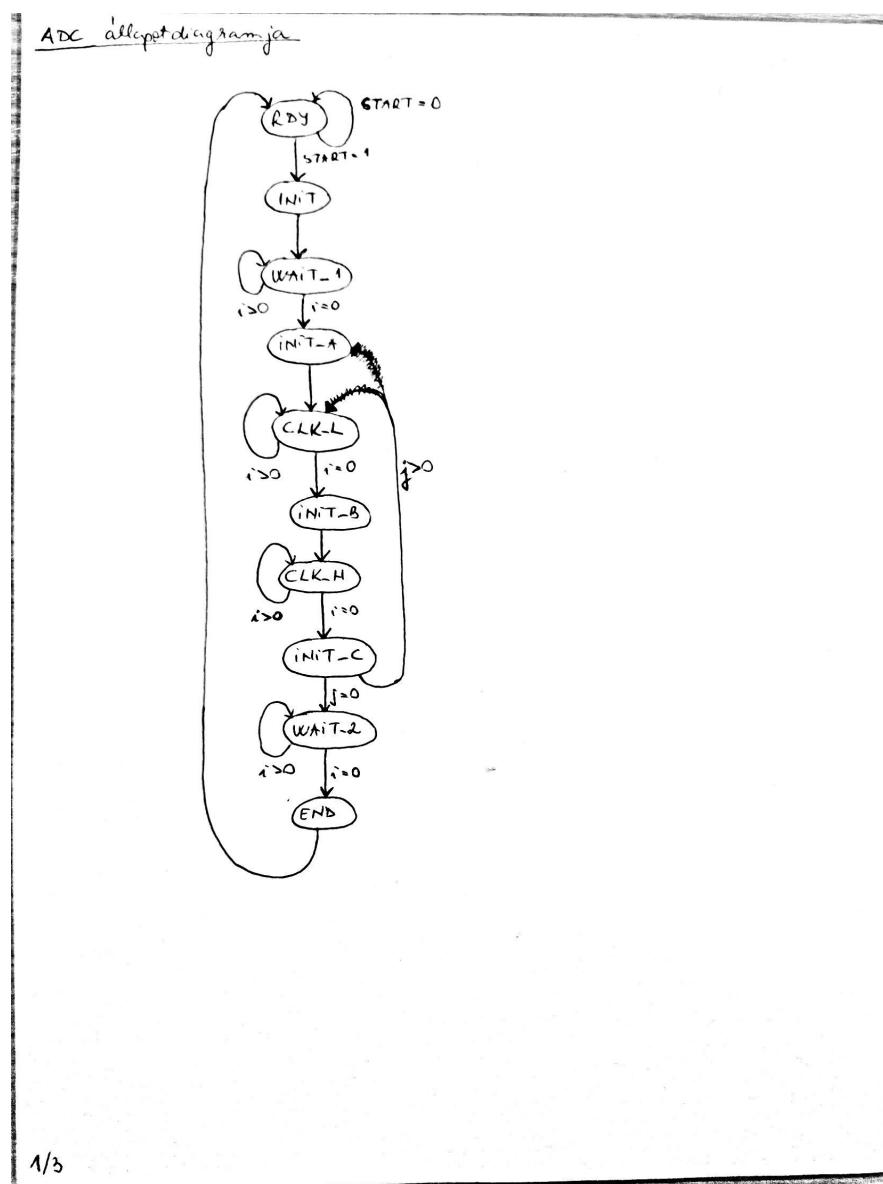
clk_out - 1 MHz-es leosztott órajel, mely az ADC hardvert fogja vezérelni

data_rdy - jelzem, hogy a modul befejezte a működését

data_out - 15 bites kimeneti érték, amely az eredményt fogja tartalmazni

A modul az ADC hardvert fogja vezérelni, amely a leosztott órajel segítségével minden egyes coklusba fog küldeni egy adat bitet, a feladat végeztével a modulom visszatéríti a mérés eredményét egy 15 bites vektor formájában.

Az ADC modul állapotdiagramja



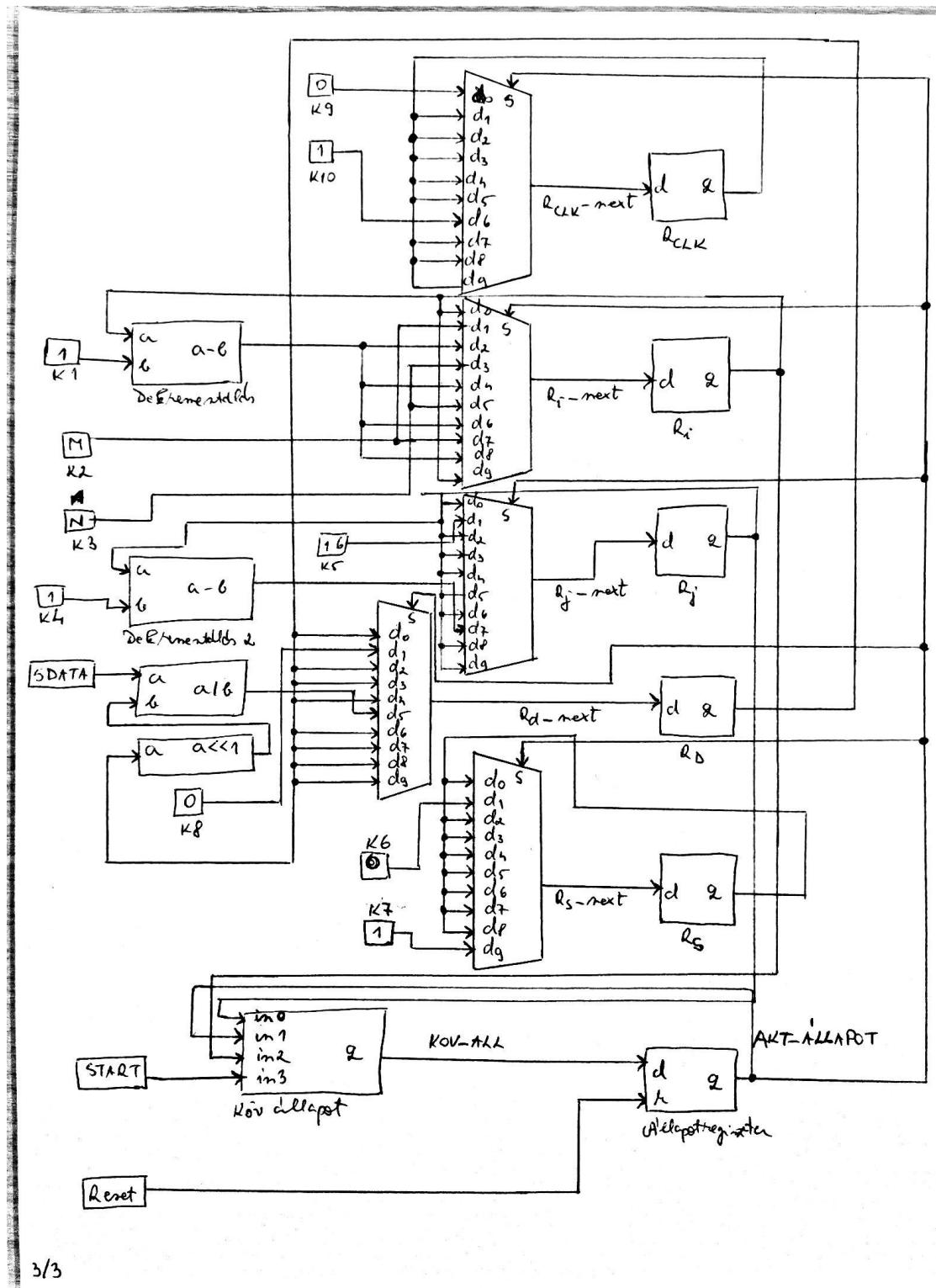
Különböző fázisokban elvégzendő műveletek

	R_{CLK}	Q_i	Q_j	R_D	R_S
RDY	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow R_i$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
INIT	$R_{CLK} \leftarrow R_{CLK} 0$	$Q_i \leftarrow R_1$	$Q_j \leftarrow 16$	$R_D \leftarrow 0$	$R_S \leftarrow 0$
WAIT_1	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow Q_i - 1$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
INIT_A	$R_{CLK} \leftarrow R_{CLK} 0$	$Q_i \leftarrow N$	$Q_j \leftarrow 16 R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
CLK_L	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow Q_i - 1$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
INIT_B	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow N$	$Q_j \leftarrow R_j$	$R_D \leftarrow (R_D \ll 1) / SDATA$	$R_S \leftarrow R_S$
CLK_H	$R_{CLK} \leftarrow 1$	$Q_i \leftarrow Q_i - 1$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
INIT_C	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow M$	$Q_j \leftarrow R_j - 1$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
WAIT_2	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow Q_i - 1$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow R_S$
END	$R_{CLK} \leftarrow R_{CLK}$	$Q_i \leftarrow Q_i$	$Q_j \leftarrow R_j$	$R_D \leftarrow R_D$	$R_S \leftarrow 1$

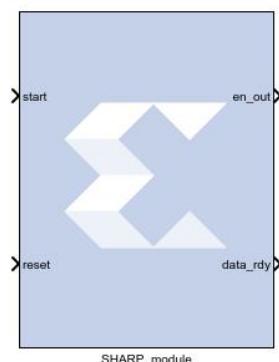
$$M = 2$$

$$\begin{array}{l} \cancel{16} \\ N = 50 \end{array}$$

Az ADC modul tömbvázlata



SHARP modul tervezése



Jelek definiálása

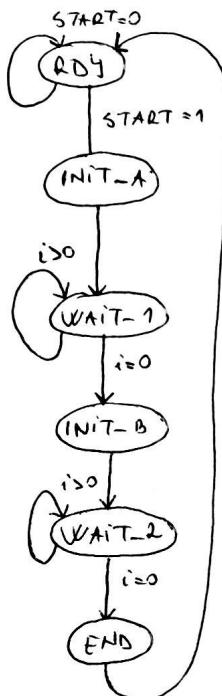
- start** - elindítom a modul működését
- reset** - kezdeti állapotba helyezem a modult
- en_out** - engedélyezem a hardver működését
- data_rdy** - jelzem, hogy a modul befejezte a működését

A SHARP modul segítségével végzem el a távolságmérés levezénylését. Amikor engedélyezem a hardver működését az elkezd mérni, majd a mérés befejeztével a mért feszültséget küldöm az ADC modulnak, amely a megfelelő bináris számmá fogja alakítani azt.

A hardever működésekor 25,7ms idő szükséges ahhoz, hogy a mért érték stabil legyen, illetve a mérés befejezése után ezt az értéket a kimenetén még kell tartsa 120ns-ot, mivel az ADC modulom ennyi idő alatt végez egy átalakítást a kapott feszültségből. Alkalmaztam egy órajelosztót, aminek segítségével a frekvenciát leosztottam 100kHz-re, így sokkal átláthatóbbá tettem a modul működését és nem volt szükségem hatalmas számok, számlálók használatára a működés során.

A SHARP modul állapotdiagramja

SHARP állapotdiagramja



	R_i regiszter	REN regiszter	Rend regiszter
RDY	$R_i \leftarrow R_i$	$REN \leftarrow REN$	$Rend \leftarrow Rend$
INIT-A	$R_i \leftarrow N$	$REN \leftarrow 1$	$Rend \leftarrow 0$
WAIT-1	$R_i \leftarrow R_i - 1$	$REN \leftarrow REN$	$Rend \leftarrow Rend$
INIT-B	$R_i \leftarrow M$	$REN \leftarrow REN$	$Rend \leftarrow Rend$
WAIT-2	$R_i \leftarrow R_{in}$	$REN \leftarrow REN$	$Rend \leftarrow Rend$
END	$R_i \leftarrow R_i$	$REN \leftarrow 0$	$Rend \leftarrow 1$

$$N = 2570000$$

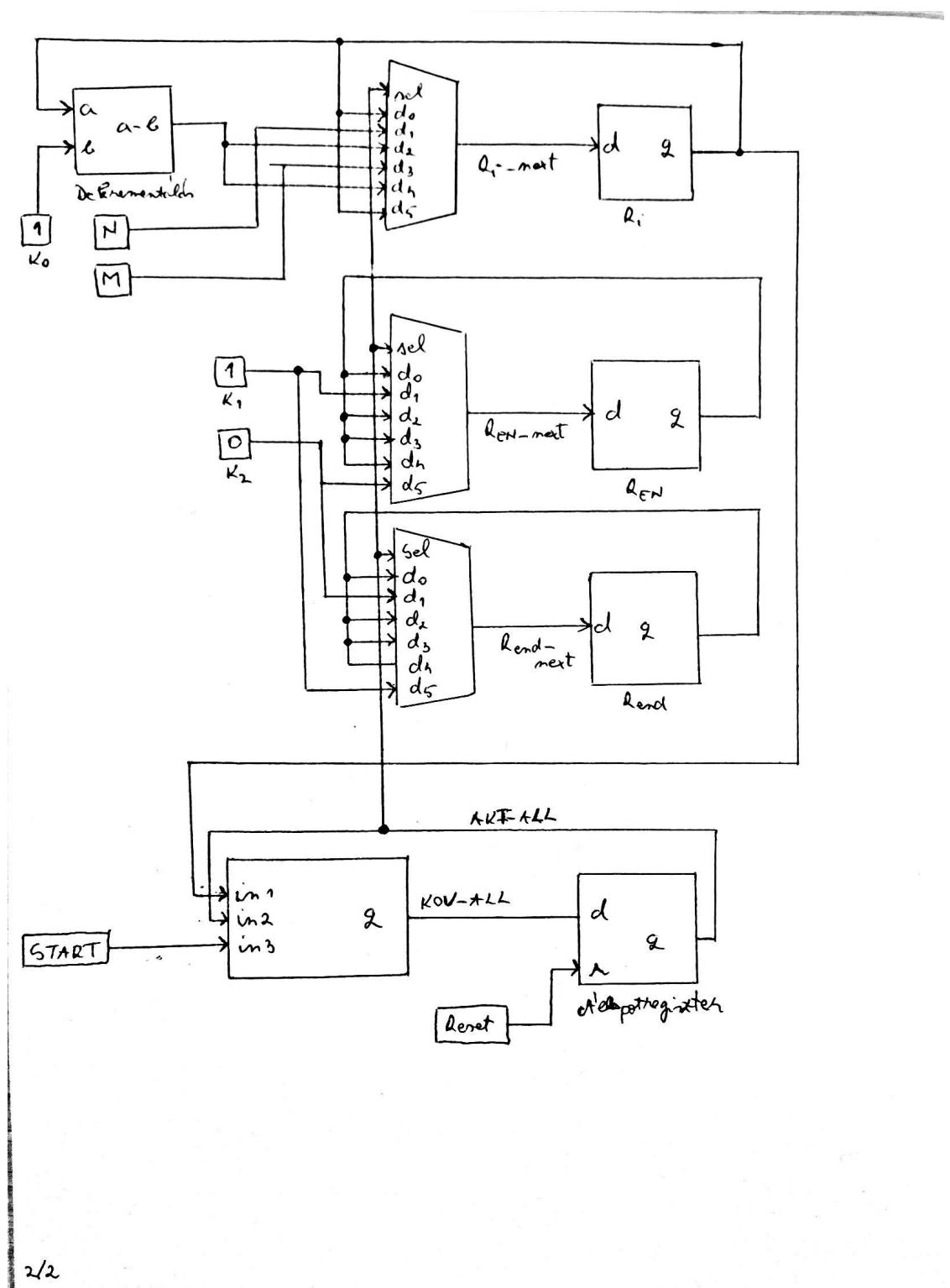
$$16,5 \text{ ms} + 3,7 \text{ ms} + 5 \text{ ms} + 2 \text{ ms} = 25,7 \text{ ms} = 25700000 \text{ ns}$$

FPGA frekvenciája 100 MHz

$$T = \frac{1}{100 \cdot 10^{-6}} = 0,01 \text{ ms} = 10 \text{ ns} \quad 1 \text{ ciklus ideje}$$

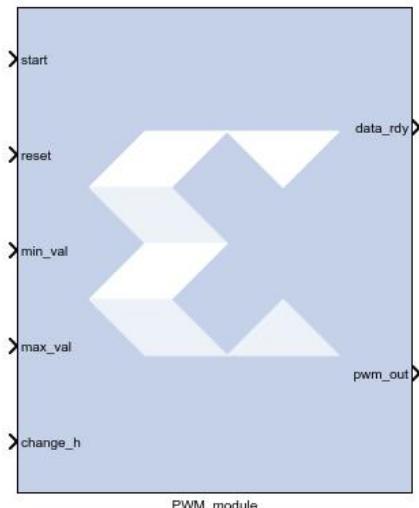
$M = 120 \text{ ns}$ -ennyi idő szükséges az ADC-nak az átalakításokhoz

A SHARP modul tömbvázlata



2/2

PWM modul tervezése



Jelek definiálása

start - elindítom a modul működését

reset - kezdeti állapotba helyezem a modulomat

min_val - a minimális érték, amíg a PWM jelemet HIGH állapotba tartom

max_val - a PWM jel periódusának meghatározása

change_h - ha erre a jelre 1-et adok, akkor megváltoztatom a kitöltési tényezőt.

Ha elérte egy bizonyos felső határt akkor csökkenteni fogom ezt, ha elérte egy előre megadott alsó határt akkor növelni fogja ezt az értéket (h értékét)

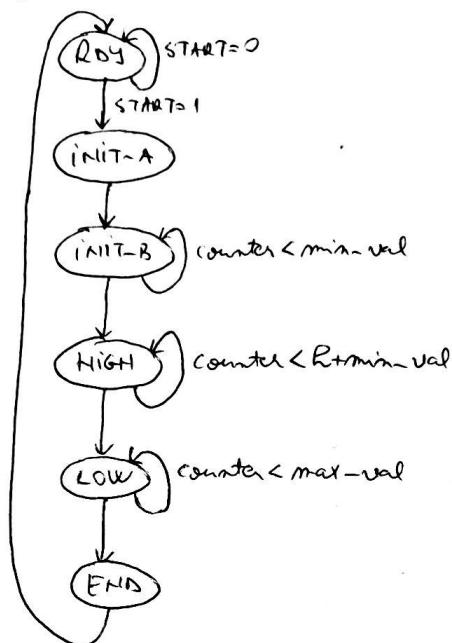
data_rdy - jelzem, amikor a modulom befejezte egy periódus elvégzését, ami azt jelenti, hogy fordított egyet a motron (jelen esetben a fordulat 1,5°-ot jelent)

pwm_out - a tényleges kimeneti PWM jelem

A PWM modul segítségével vezérlek a szervomotoromat. A jel periódusa egy előre definiált érték, ami jelen esetben 20ms. Ebből a min_val érték 0.9ms és a max_val 2.1ms, ami azt jelenti, hogy a kitöltési tényező [0, 1.5] intervallumban változik. minden egyes change_h érték 1-re állításával változtatom a kitöltési tényező (h) értékét. Ez az érték 0.01ms-al nővekszik minden esetben, ami azt jelenti, hogy a szervomotorom 1.5°-ot fog fordulni minden esetben, ami egy igencsak jó felbontáshoz vezet a távolságmérés során is. [0°, 180°]-ban forgatom a motromat, ami azt jelenti, hogy ha a (h+min_val) eléri a 2.1ms-ot csökkentem a h-t, ellenkező esetben ha h > 0.9 ms növelem a h tényleges kitöltési tényező értékét.

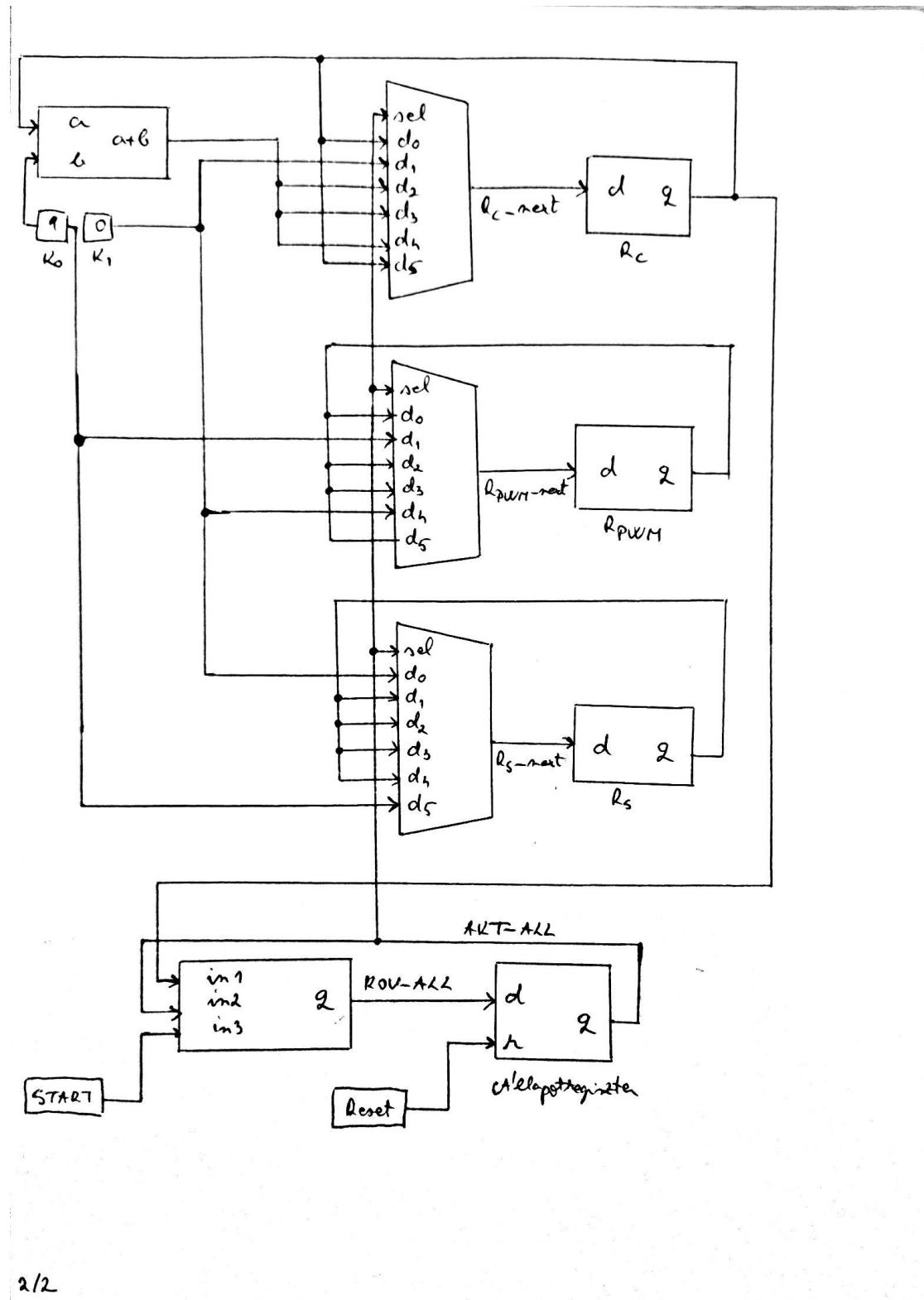
A PWM modul állapotdiagramja

PWM Modul állapotdiagramja



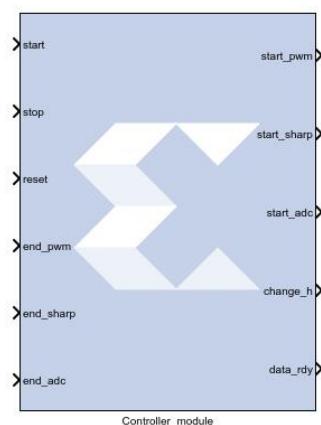
	R_c	R_{PWM}	R_s
ROY	$R_c \leftarrow R_c$	$R_{PUSH} \leftarrow R_{PWM}$	$R_s \leftarrow R_s$
INIT-A	$R_c \leftarrow 0$	$R_{PWM} \leftarrow 1$	$R_s \leftarrow 0$
INIT-B	$R_c \leftarrow R_c + 1$	$R_{PUSH} \leftarrow R_{PWM}$	$R_s \leftarrow R_s$
HIGH	$R_c \leftarrow R_c + 1$	$R_{PWM} \leftarrow R_{PUSH}$	$R_s \leftarrow R_s$
LOW	$R_c \leftarrow R_c + 1$	$R_{PWM} \leftarrow 0$	$R_s \leftarrow R_s$
END	$R_c \leftarrow R_c$	$R_{PUSH} \leftarrow R_{PWM}$	$R_s \leftarrow 1$

A PWM modul tömbvázlata



2/2

Contoller modul tervezése



Jelek definiálása

start - modult engedélyező jel

reset - kezdeti állapot beállítása

stop - leállítom a program futását

end_pwm - jelzi, hogy a PWM modul befejezte a működését

end_sharp - jelzi, hogy a SHARP modul befejezte a működését

end_adc - jelzi, hogy az ADC modul befejezte a működését

start_pwm - a PWM modul elindítására szolgáló jel

start_sharp - a SHARP modul elindítására szolgáló jel

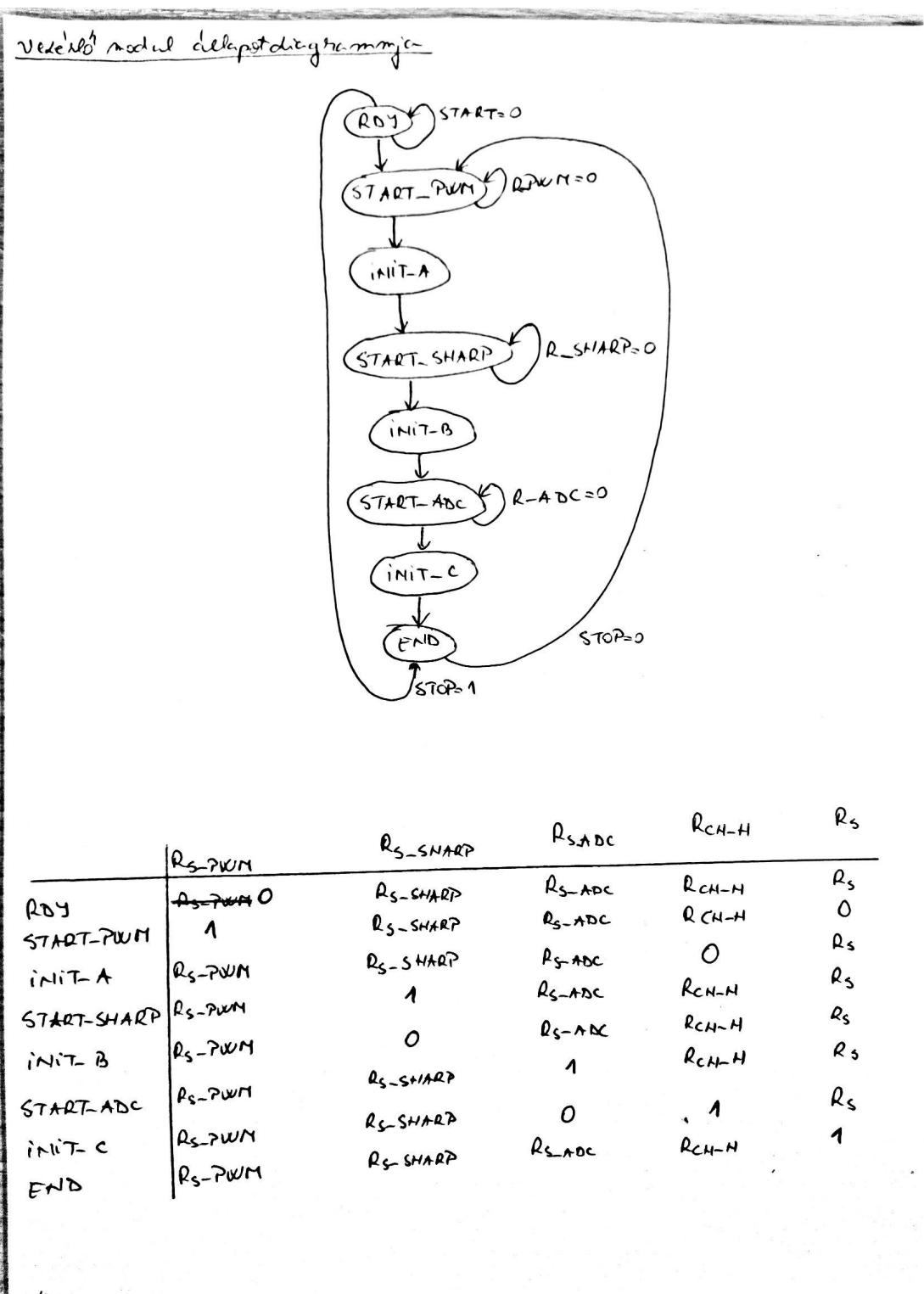
start_adc - az ADC modul elindítására szolgáló jel

change_h - a kitöltési tényező megváltoztatása a PWM modulban

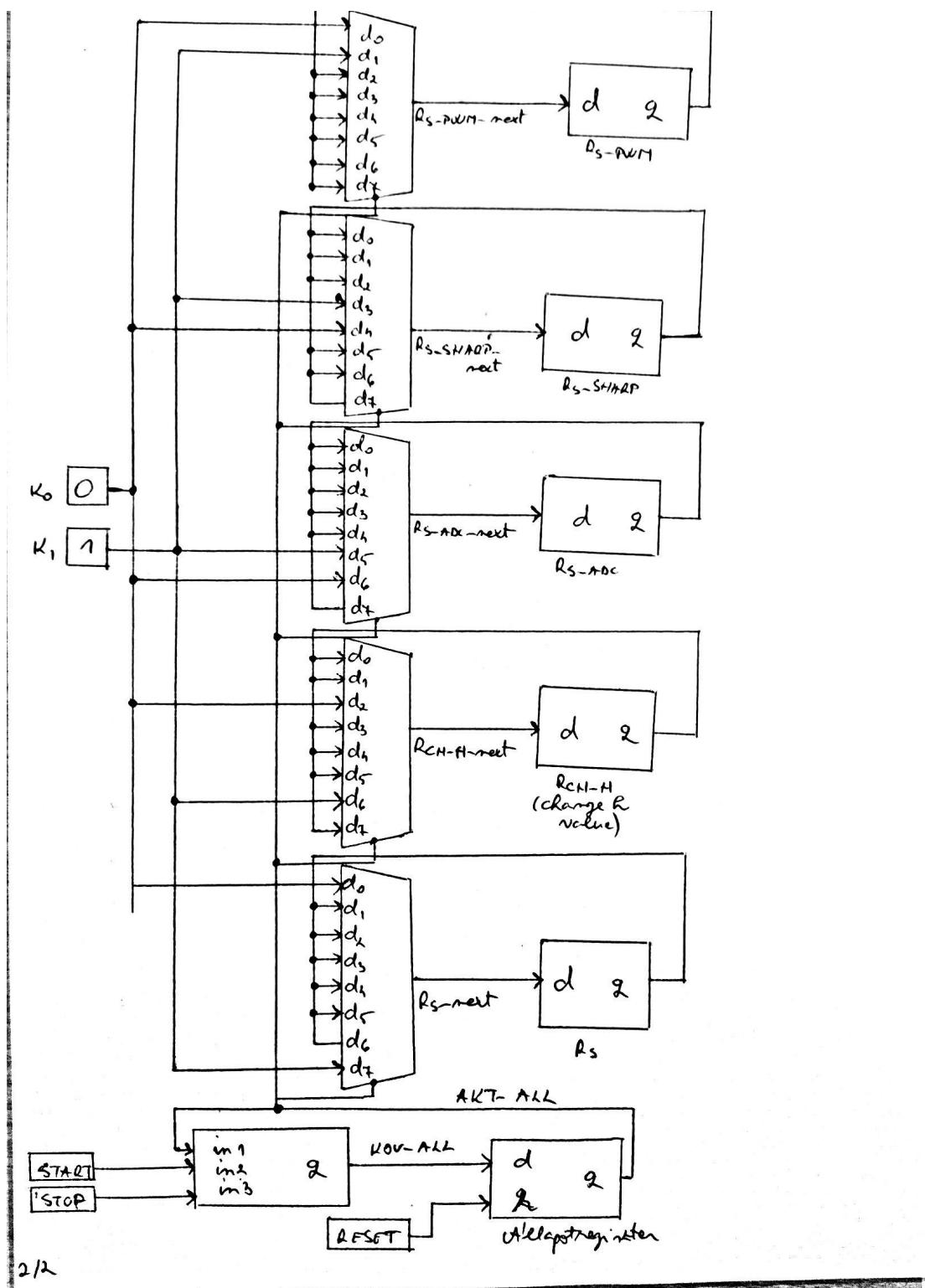
data_rdy - egy teljes mérést és az adat feldolgozásának elvégzését jelző bit

A Controller modul vezérli az összes többi modult, illetve ő felel az adatok szinkronizálásáért is a modulok között. minden modult egymás után indít el, bevárva minden modul helyes működését, így az adatok közti konkurenciát kiküszöböli. Lényegében ez a modul fogja össze az összes többi modul működését, ami azt jelenti, hogy a megfelelő sorrendben és időben engedélyezi, tiltja és változtatja az állapotaikat a megfelelő működés következtében.

A Contoller modul állapotdiagramja



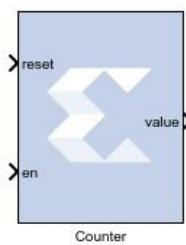
A Contoller modul tömbvázlata



2/2

Segéd modulok tervezése

Counter modul felépítése



Jelek definiálása

reset - újrainítom a számlálót

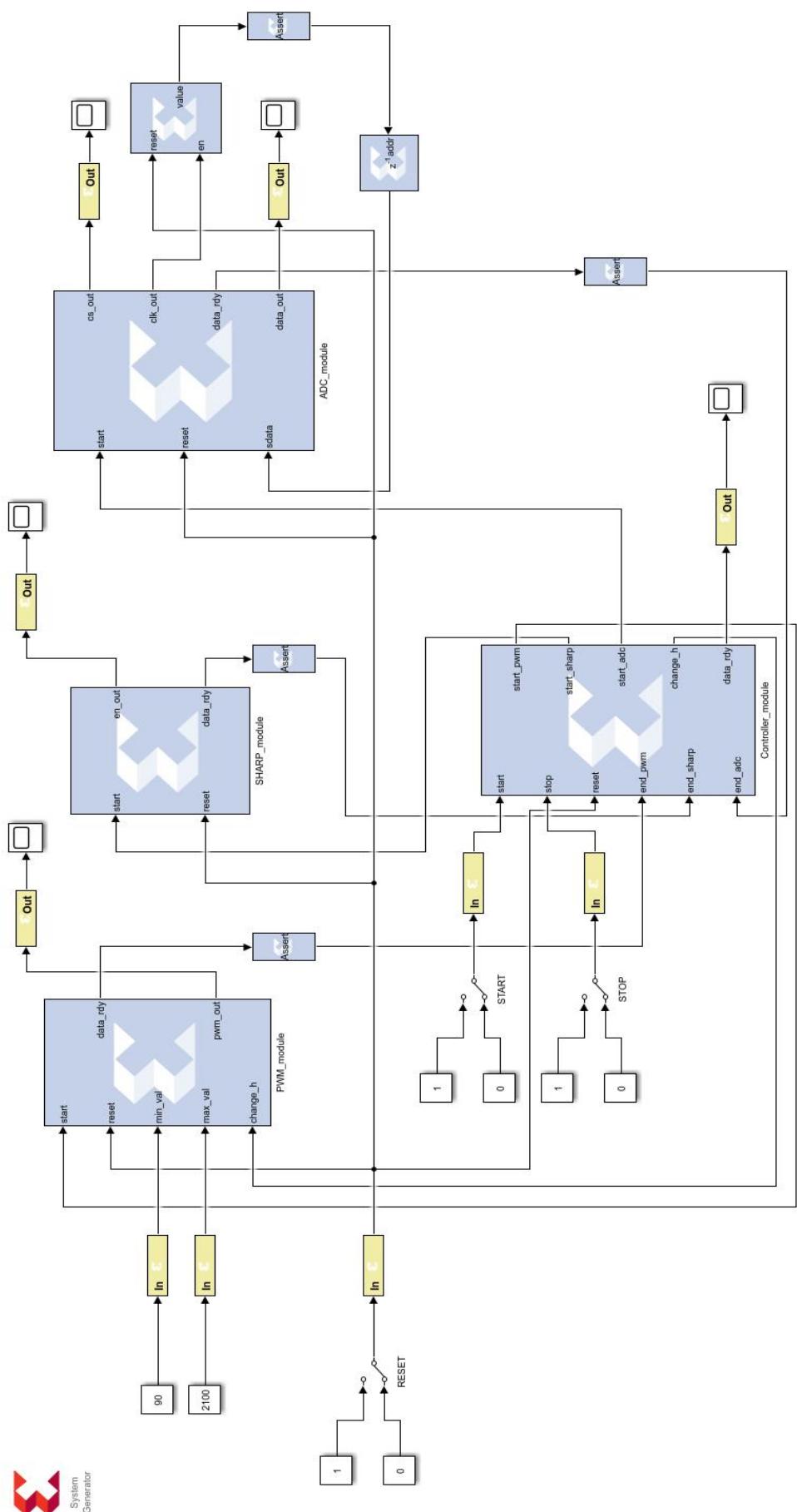
en - engedélyezem a számlálót

value - a számláló aktuális kimeneti értéke

A modul lényegében véve egy 0-tól 15-ig körkörösen számláló. Erre azért volt szükségem, mert habár az FPGA órajelére működik, csak akkor kell számoljon, amikor azt az **en** jellet engedélyezem. Ennek segítségevel címek meg egy ROM típusú memóriát, amit a System Generator során fogok használni. Mivel minden modul különböző órajelen működik, éppen ezért szükségem volt, hogy ez a modul csak az **en** jel felfutó órajelén számoljon, ezzel tudtam kiküszöbölni azt a problémát, hogy az adott modulomban amíg egy órajelet tartja az **en** állapotot 1-be, addig a fő modulomban sokkal több ideig van 1-es állapotban, mivel más modulokban órajel osztókat alkalmaztam.

Ez gyakorlatilag csak egy sajátos számláló, ami abban tér el a többitől, hogy csak az **en** jel felmenő ellén számol.

A projekt System Generatorban való megvalósítása



Könyvészet

1. Újrakonfigurálható digitális áramkörök - Brassai Sándor Tihamér
2. <https://www.pololu.com/product/2474>
3. <http://www.ti.com/lit/ds/symlink/adc121s021.pdf>
4. <https://www.es.co.th/schematic/pdf/et-servo-s3003.pdf>
5. https://www.xilinx.com/support/documentation/sw_manuals/xilinx11/sysgen_ref.pdf
6. https://www.xilinx.com/support/documentation/sw_manuals/xilinx2015_1/ug897-vivado-sysgen-user.pdf
7. <https://www.youtube.com/watch?v=BDq8-QDXmek&list=PLZv8x7uxq5XY-IQfQFb6mC6OXzz0h8ceF>
8. <https://numato.com/kb/learning-fpga-verilog-beginners-guide-part-1-introduction/>