

Figura 1. Diagrama de conexión de la MIPS

Descripción del proyecto

El proyecto consistirá en 3 etapas, en las cuales se implementaran los módulos desde los más básicos hasta los más complejos. Los módulos a implementar son:

Mux de 2 entradas	mux2to1_mips
Mux de 4 entradas	mux4to1_mips
Lógica PC	nextPCLogic_mips
Registro	register_mips
Registro con enable	regWithEnable_mips
Shift a la izquierda 32	shiftLeft32_mips
Shift a la izquierda con 28	shiftLeft28_mips
Extensor de signo	signExtend_mips
Banco de registros	regfile_mips
ALU	alu_mips
Control de ALU	aluControl_mips
Memoria	memory_mips
Datapath	datapath_mips
Control principal	control_mips
MIPS	mips

Etapapa 1

La etapa 1 consistirá en implementar los módulos mux2to1_mips, mux4to1_mips, nextPCLogic_mips, register_mips, regWithEnable_mips, shiftLeft_mips, shiftLeftWithZero_mips y signExtend_mips. Las interfaces para dichos módulos se explican a continuación.

mux2to1_mips : input in0, in1, sel; output out

mux4to1_mips: input in0, in1, in2, in3, sel; output out

nextPCLogic_mips: input zero, writeCond, write; output out

register_mips: input in, clk; output out;

regWithEnable_mips: input in, clk, enable; output out

shiftLeft32_mips: input in; output out

shiftLeft28_mips: input in; output out

signExtend: input in; output out

Entrega

La entrega se hará en el formato de informe, en el que tendrán que incluir el código de cada módulo junto a un diagrama de simulación y una (muy) breve descripción del módulo. La entrega será mediante e-mail enviada al correo del ayudante (scampama@uc.cl) y será recibida hasta las 11.59pm del día 26 de septiembre. El encabezado del e-mail deberá ser Entrega X – [Apellido1] & [Apellido2], donde Apellido1 es solo el primer apellido del integrante 1 del grupo, y Apellido2 lo mismo del segundo integrante. El nombre del informe en formato PDF deberá ser el mismo. No seguir estas instrucciones conllevarán una penalización de 0.5 en la nota de la entrega.