

# Proyecto: Cronómetro

## 1. Objetivo

El objetivo de la siguiente tarea es familiarizar al alumno con la FPGA Spartan 3E mediante el diseño de un cronómetro. La FPGA Spartan 3E posee 4 displays de 7 segmentos, 8 leds, 8 switches, 5 botones y otros elementos I/O que a la hora de realizar una comprobación de diseño pueden ser útiles.

## 2. Indicaciones

- Utilice dos displays 7 segmentos para mostrar los segundos y los otros dos para mostrar las décimas y centésimas de segundos.
- Los leds de la FPGA llevarán el conteo de los minutos. Si el primer led está encendido significa que ha pasado un minuto, si el segundo led está encendido, y el primero también, es por que han pasado dos minutos, etc...
- El cronómetro debe tener un botón/switch con el cual se podrá detener el conteo, y continuarlo al volver a presionarlo.
- Otro botón/switch debe permitir guardar 3 tiempos sin detener el conteo del cronómetro. Invente una forma de mostrar estos 3 tiempos en los displays 7 segmentos utilizando los elementos I/O de la FPGA.
- Los botones de la FPGA no son perfectos y a veces, al presionarlos, no son capaces de entregar un único flaco positivo. ¿Como solucionaría este problema?. Cree un módulo capaz de solucionar el problema planteado.
- El circuito debe ser sintetizable en la FPGA.

## 3. Informe

La entrega se hará en el formato de informe, en el que tendrán que incluir el código de cada módulo junto a un diagrama de simulación y una (muy) breve descripción del módulo. Para cada diagrama de simulación se debe indicar una situación relevante que se quiso mostrar.

El informe tiene que ser entregado en PDF junto con los archivos del proyecto en un único archivo comprimido *.rar* y deberá ser subido a un cuestionario en el *SIDING* con el nombre *Cronometro-[Apellido]*. El asunto del correo y el nombre del informe deberá ser el mismo que el nombre del archivo comprimido. No seguir estas instrucciones conllevará una penalización de 0.5 en la nota de la tarea.

**Fecha de Entrega:** 28 de Agosto del 2012

## 4. Consultas

Las consultas deberán ser dirigidas a los siguientes correos electrónicos:

14 de Agosto del 2012

Pontificia Universidad Católica de Chile  
Departamento de Ingeniería Eléctrica  
IEE3753 - Diseño de Circuitos Integrados Digitales

---

- Nicolás Busch - *nabusch@uc.cl*
- Joaquín Venegas - *jdvenega@uc.cl*