

组合逻辑电路

combinatorial logic / combinational logic.

任一时刻的稳定输出, 仅仅与该时刻的输入变量的取值有关, 而与该时刻以前的输入变量无关.

组合电路由各种逻辑门组成, 网络中无记忆单元, 也无反馈线.

加法器

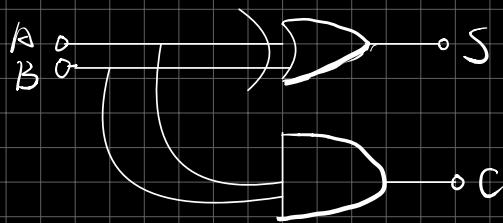
adder. 负责计算地址, 索引等数据.

半加器

half adder. 将两个一位二进制数相加.  
有两个 output.

和: S, Sum.

进位: C, Carry.



$$S = A\bar{B} + \bar{A}B$$

$$C = AB$$

A	B	C	S
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

全加器

full adder

脉动进位  
加法器

ripple-carry adder

译码器.  
decoder.

地址所需的最小位数是指数.

① 若有4个地址, 0, 1, 2, 3.

等效二进制地址是 00, 01, 10, 11.

则需要2位来表示.  $2^2 = 4$ .

② 有8个地址, 0~7.

$$2^3 = 8.$$

③ 假设内存有8个芯片, 每个包括8K字节.

$$8 \times 8 \times 2^{10} = 2^6 \times 2^{10} = 2^{16}$$

所以需要16位表示每个地址.

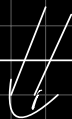
芯片0. 包含地址: 0~  $8 \times 2^{10} = 2^{13}$ .

所以芯片0上的地址格式为 000XXXXXX XXXXXX.

每个芯片上都有  $8 \times 2^{10} = 2^{13}$  个地址.

所以这16位地址中, 前3位表示在哪个芯片上.

剩余13位在特定芯片上找到地址.



在decoder中, 3个高位作为 input. 而不是选中地址

选中特定的线激活(芯片).

编码器

encoder, 与 decoder 功能相反.

$2^n$  个 input,  $n$  个 output

多路选择器  
多路复用器

MUX. 由 selector (control) value 决定哪个输入信号.  
输出为 output.

PLA	<p>Programmable Logic Array, PLA</p> <p>可编程逻辑阵列.</p> <p>PLA 包含一组输入, 输入取反的信号. 和两级逻辑.</p>
ROM	<p>Read-Only Memory.</p> <p>它包含一组可以进行读操作的位置, 这些位置的内容是固定的. 之后其数据只能被读.</p> <p>可将逻辑函数组中的项作为输入地址, 将 output 作为存储器的一个字.</p>