

组合逻辑

通过检验变量, 以及变量与变量之间的关系进行输出
改变一个输入值, 会直接对输出产生影响。

不包含存储器件。

时序电路。

Output 由当前输入和先前输入一起决定。

存储元件: 触发器。

将存储器的值称为逻辑电路中的状态。

Sequential Logic Circuits 时序逻辑电路。

Combinatorial Logic Circuits 组合逻辑电路。

时钟。

同步: Synchronous.

Clock

异步: Asynchronous

Clock 是发出一系列脉冲的电路。

这个电路在连续脉冲之间具有精确脉冲宽度和精确间隔。

Rising edge 上升沿。

Clock period.

Falling edge 下降沿。

edge-triggered 沿边触发。

可以在时钟信号的上升沿或下降沿改变状态。

SR-Latch

S (set)

R (Reset)

$Q(t+1)$

0

0

$Q(t)$ (不改变)

0

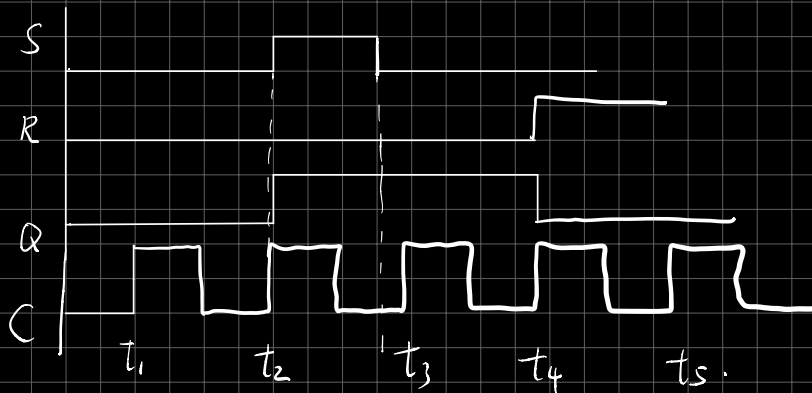
1

0 (复位为0)

1

0

1



相当于跷跷板。

初始状态: $Q=0$, $\bar{Q}=1$

$R=0$, $S=0$.

R, Q \bar{Q}, S .

t_1 $S=1 \Rightarrow \bar{Q}=0, Q=1, R=0$.

t_2 $S=1 \rightarrow 0 \Rightarrow \bar{Q}=0, Q=1, R=0$.

t_3 $S=0, R=0 \rightarrow 1 \Rightarrow Q=0, \bar{Q}=1$

D-latch

transparent latch.

