

Présentation de BE Pilote de barre franche



Présenté par :

Meriem BOUSLAH

Nouria KACEMI

Encadré par :

Pedro CARVALHO MENDES

Jury :

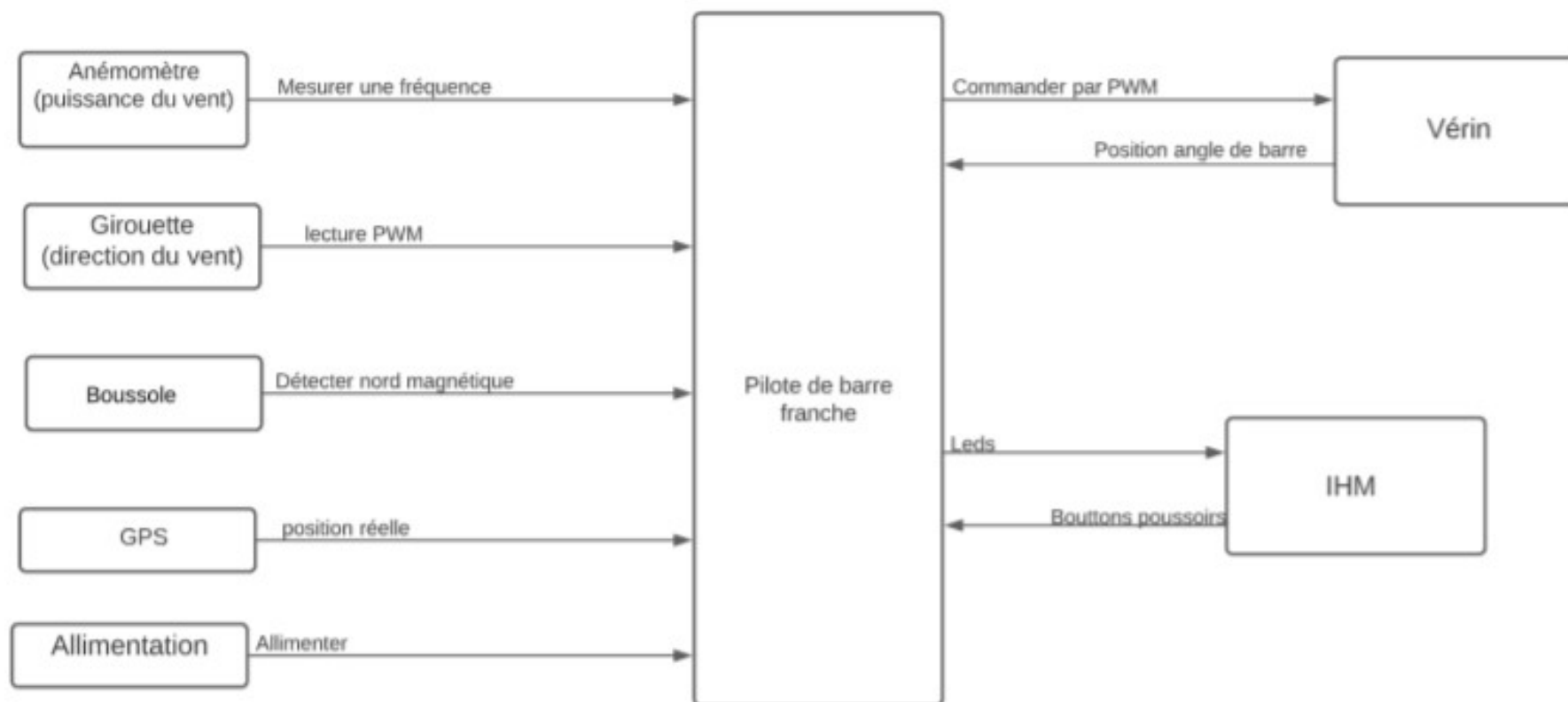
Pedro CARVALHO MENDES

Thierry PERISSE

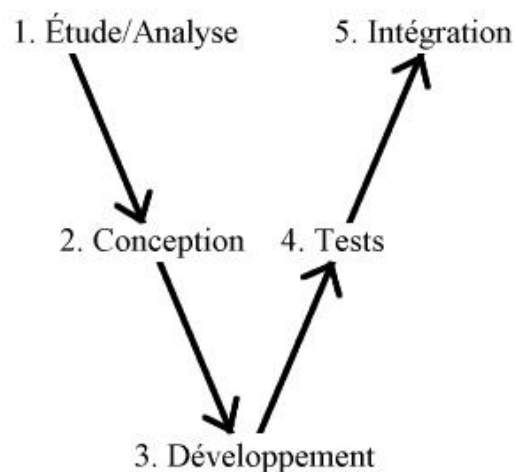
SOMMAIRE

1. Contexte du projet
2. Environnement technique
3. Etapes de réalisation
4. Signal PWM
5. Gestion Anemomètre
6. Gestion Verin
7. Conclusion

Contexte du projet



Environnement technique

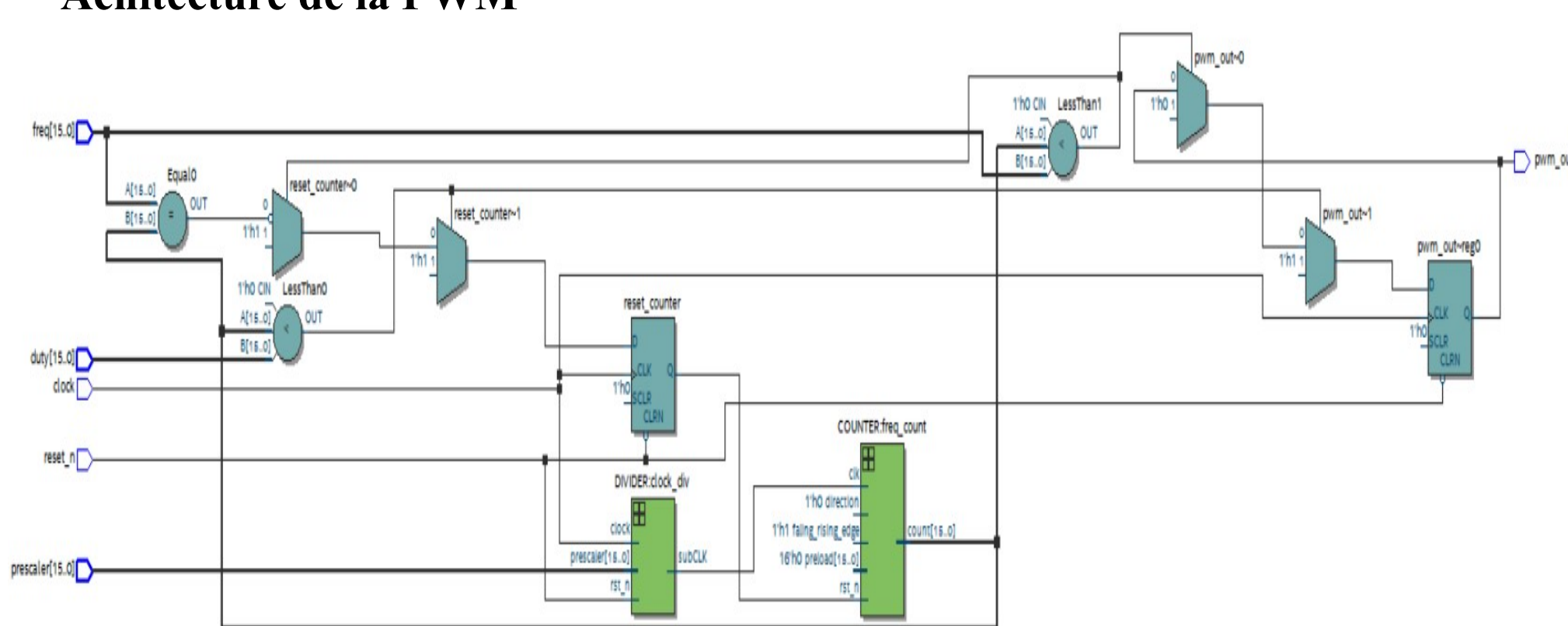


Etapes de réalisation

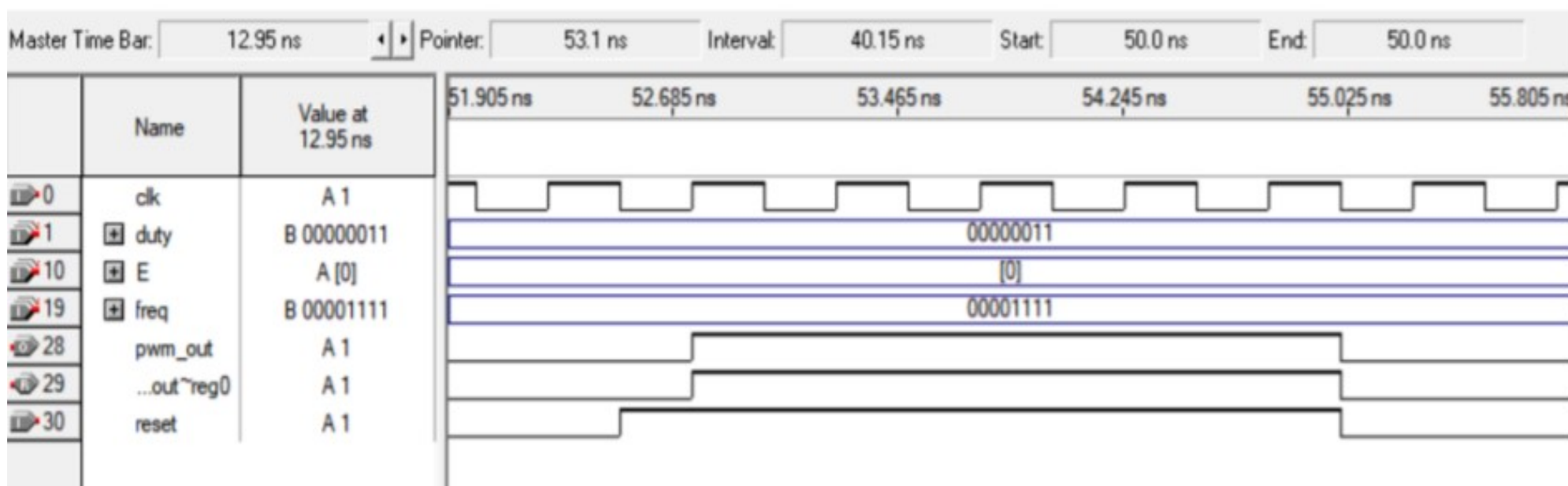
- Répartition des fonctions
- Comprendre l'enchaînement des blocs
- Codage et simulation de chaque bloc
- Test du fonctionnement de ma fonction sur la carte DE2
- Implémentation du bus Avalon sur le SOPC
- Développement logiciel sur NIOS II
- Test et validation

Signal PWM

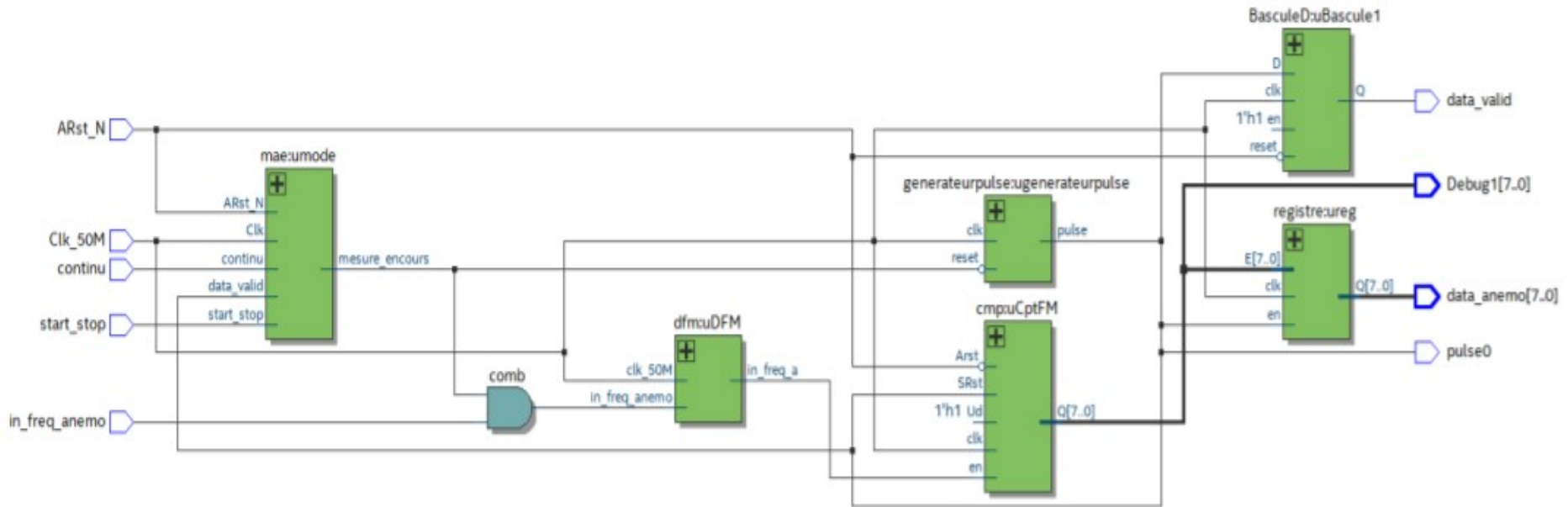
Achitecture de la PWM



Simulation de la PWM



La fréquence (8 bits) varie, pour un front montant d'horloge, il faut que la valeur de la fréquence soit supérieur à celle du rapport cyclique (8 bits).



Le signal sera transformé en signal numérique carré et la fréquence de ce signal doit être en sortie égale à 1Mhz.

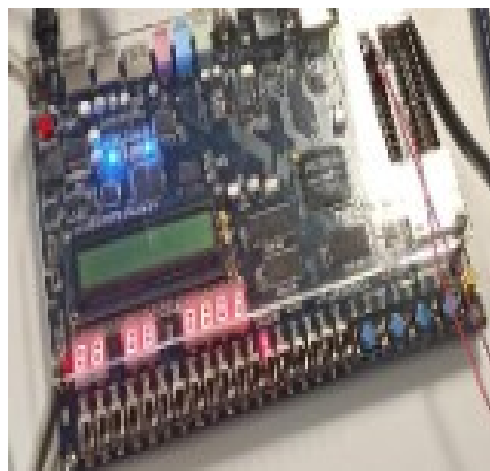
```
Mode Monocoup : start_stop = 1 et data_valid = 1
Mode Continu : continu = 1
```


Simulation Anemomètre

Test :



Fréquence de 32KHz



**Code binaire affiché sur 8 bits :
00100000**

Nous avons bien une fréquence qui correspond à un nombre binaire de 00100000 qui correspond à 32 en base décimale

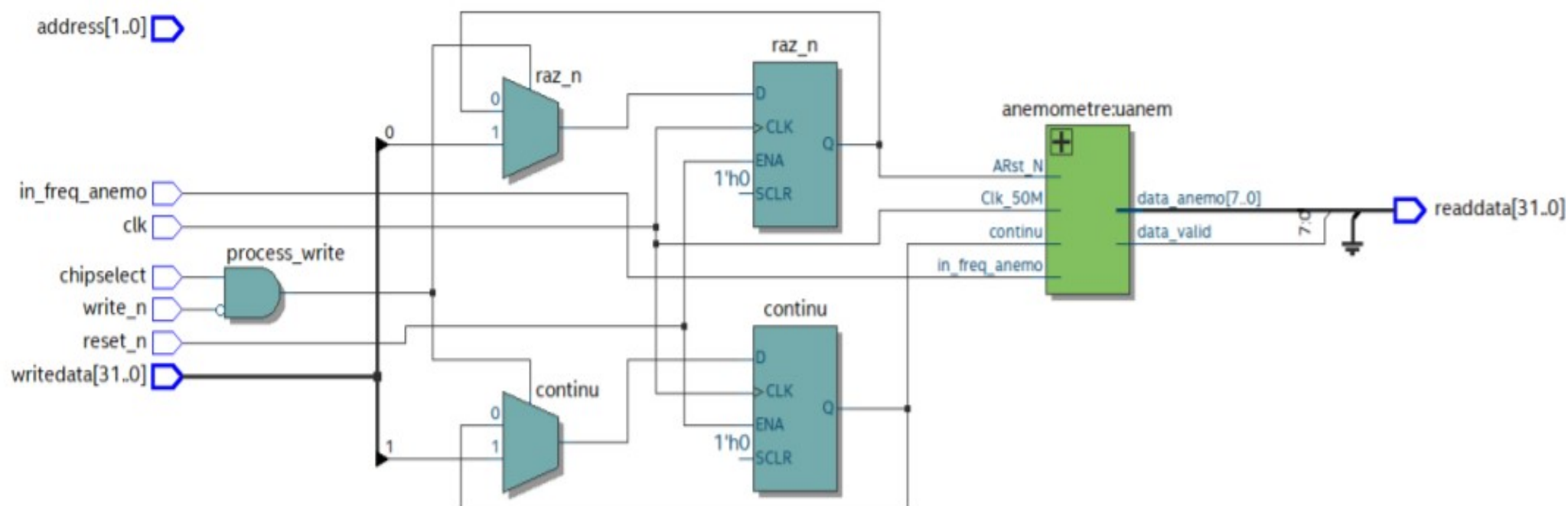
BUS Avalon de l'Anemomètre



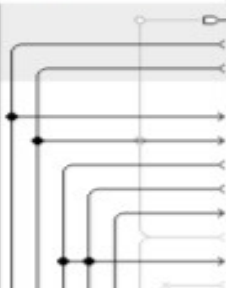

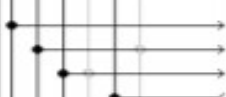

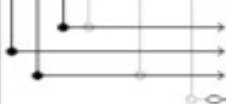
Mission :

Assurer l'interconnexion
entre le processeur (NIOS II)
et des circuits périphériques

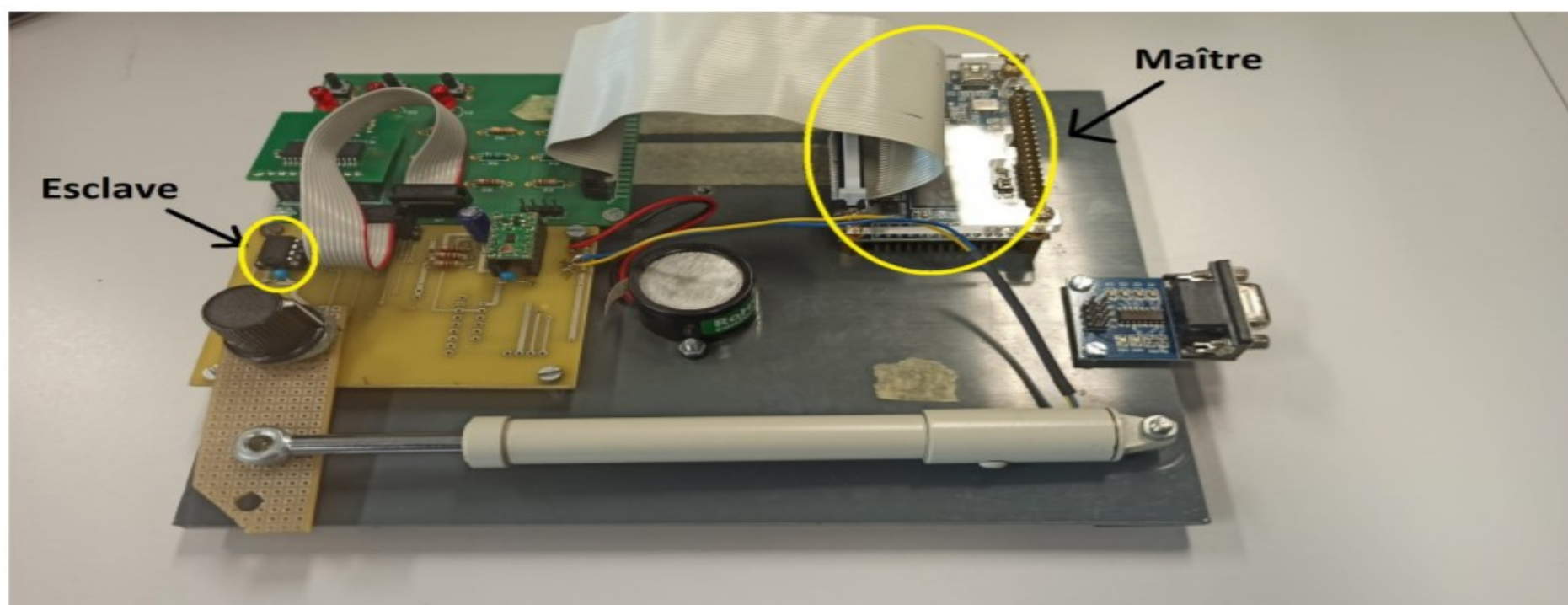
Circuit Anemomètre avalon



Intégration du SOPC

Use	Connections	Name	Description	Export	Clock	Base	End	I...	Tags
<input checked="" type="checkbox"/>		dk_in_reset dk dk_reset CPU dk reset data_master instruction_m... irq debug_reset_r... debug_mem... custom_instru...	Reset Input Clock Output Reset Output Nios II Processor Clock Input Reset Input Avalon Memory Mapped ... Avalon Memory Mapped ... Interrupt Receiver Reset Output Avalon Memory Mapped ... Custom Instruction Master	reset <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i>	 clk clk [clk] [clk] [clk] [clk] [clk]				
<input checked="" type="checkbox"/>		RAM dk1 s1 reset1 s2 dk2 reset2	On-Chip Memory (RAM o... Clock Input Avalon Memory Mapped ... Reset Input Avalon Memory Mapped ... Clock Input Reset Input	<i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i>	clk [clk1] [clk1] [clk2] clk [clk2]	 ≠ 0x0000 ≠ 0x0000	 0x7fff 0x7fff		
<input checked="" type="checkbox"/>		jtag dk reset avalon_jtag_sl... irq	JTAG UART Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped ... Interrupt Sender	<i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i>	clk [clk] [clk] [clk]	 ≠ 0x9020	 0x9027		
<input checked="" type="checkbox"/>		Leds dk reset s1 external_conn...	PIO (Parallel I/O) Intel F... Clock Input Reset Input Avalon Memory Mapped ... Conduit	<i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i>	clk [clk] [clk]	 ≠ 0x9000	 0x900f		
<input checked="" type="checkbox"/>		avalon_anem... avalon_slave_0 clock reset conduit_end	avalon_anemo Avalon Memory Mapped ... Clock Input Reset Input Conduit	<i>Double-click to</i> <i>Double-click to</i> <i>Double-click to</i> in_freq_anemo	[clock] clk [clock] [clock]	 ≠ 0x9010	 0x901f		

Communication Maître/Esclave

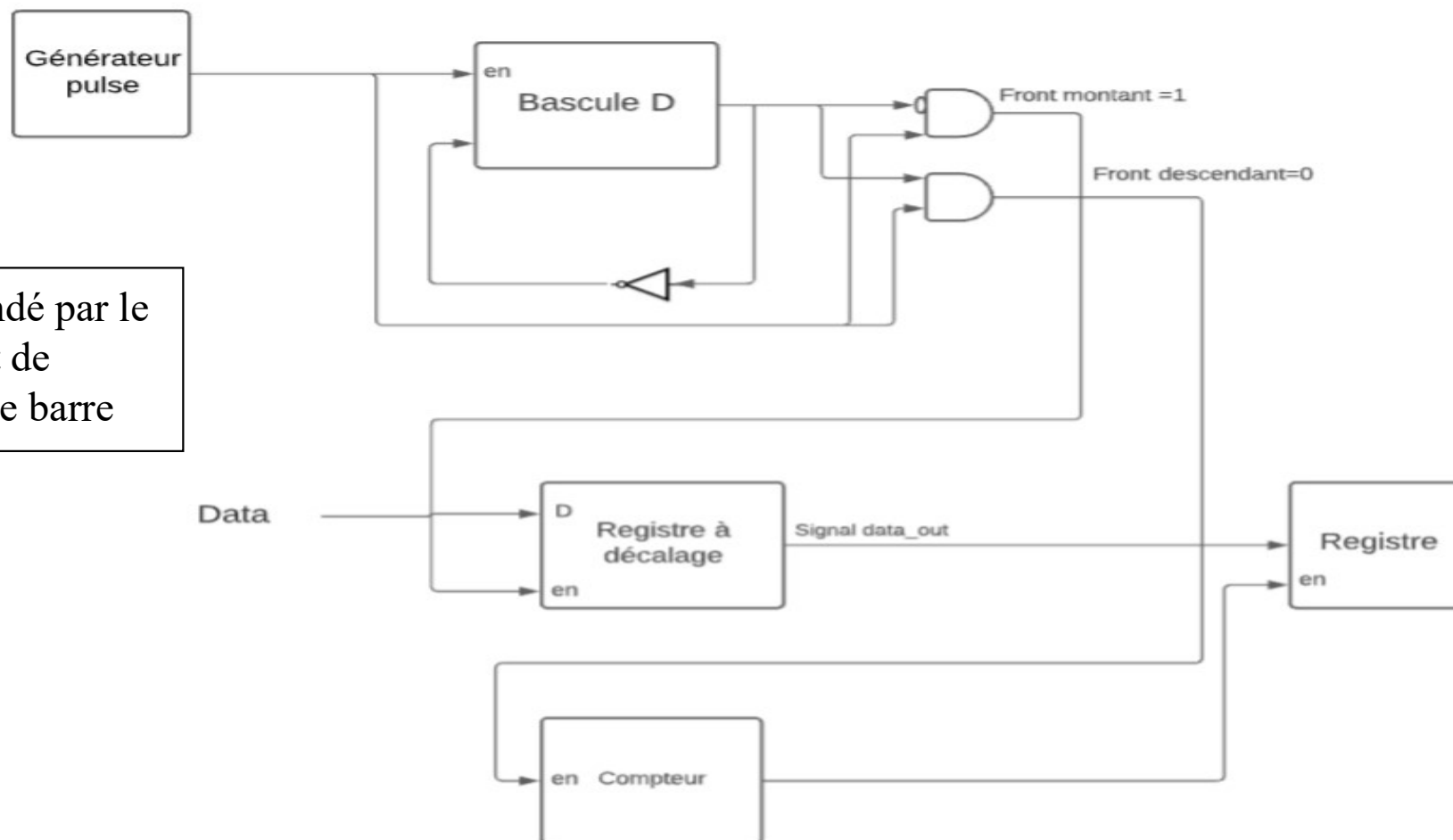


Le convertisseur AN MCP 3201 est l'esclave

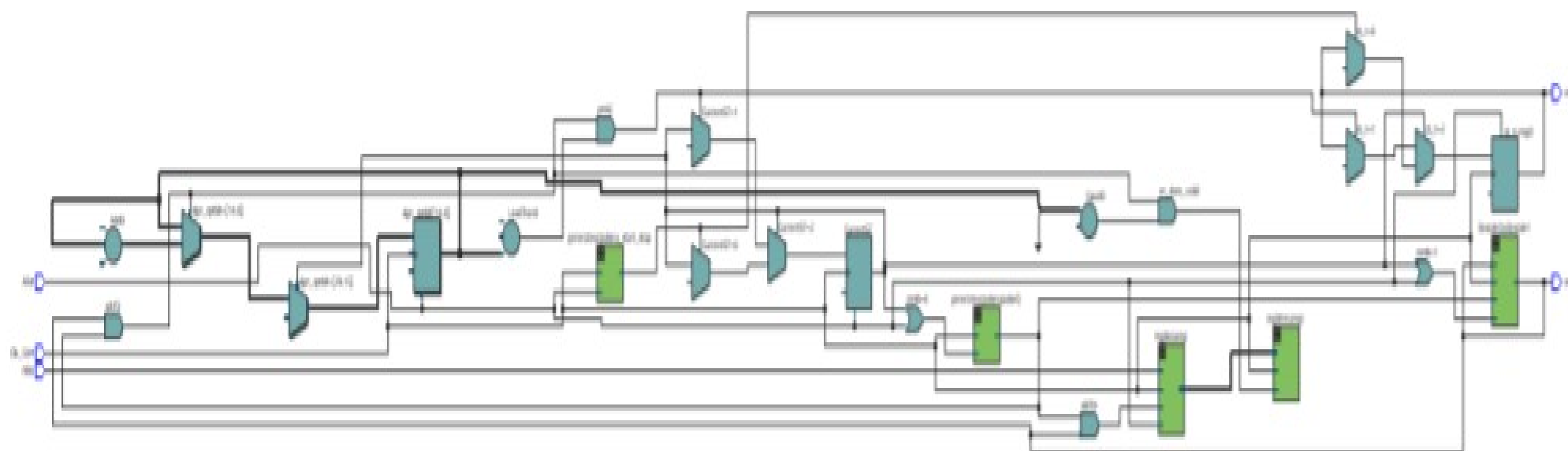
La carte DE0 est le maître

Gestion Vérin

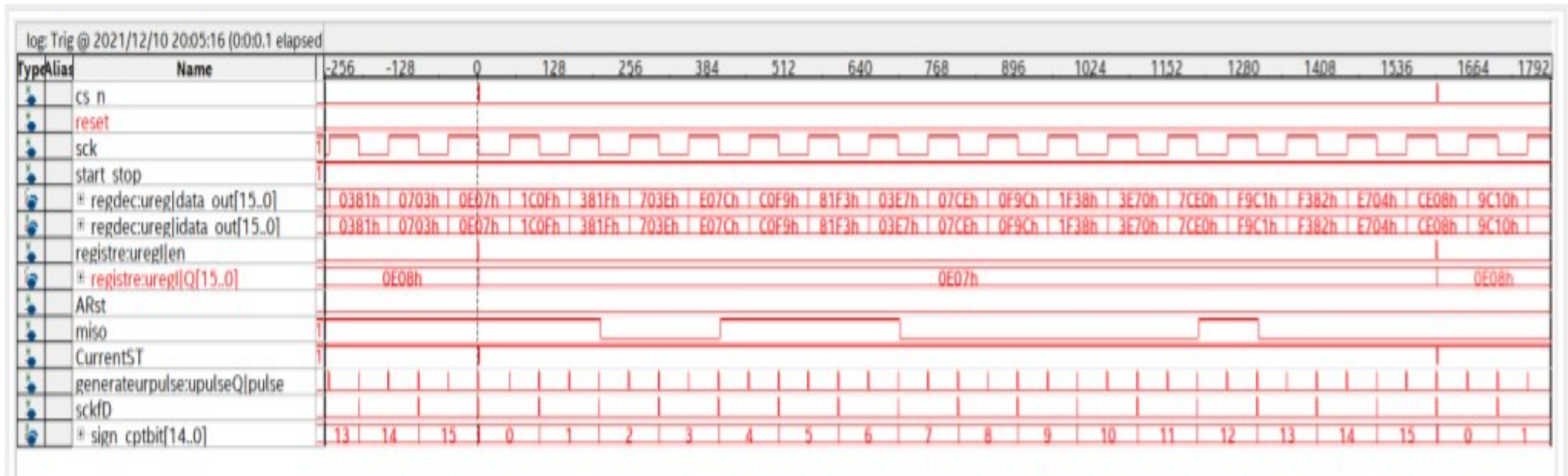
Le vérin est commandé par le signal PWM, permet de positionner l'angle de barre



Architecture Vérin



Simulation Vérin



Nous avons bien une remise à 0 de notre compteur Cptbit à 15 et à un front montant de SCK et une mémorisation data.

Conclusion

Compétences acquises :

- ✓ Apprendre une méthode de travail fondée sur la réflexion, l'observation et l'analyse.
- ✓ Maîtrise du VHDL et des logiciels Quartus.



Merci pour votre attention !

Meriem BOUSLAH / Nouria KACEMI