

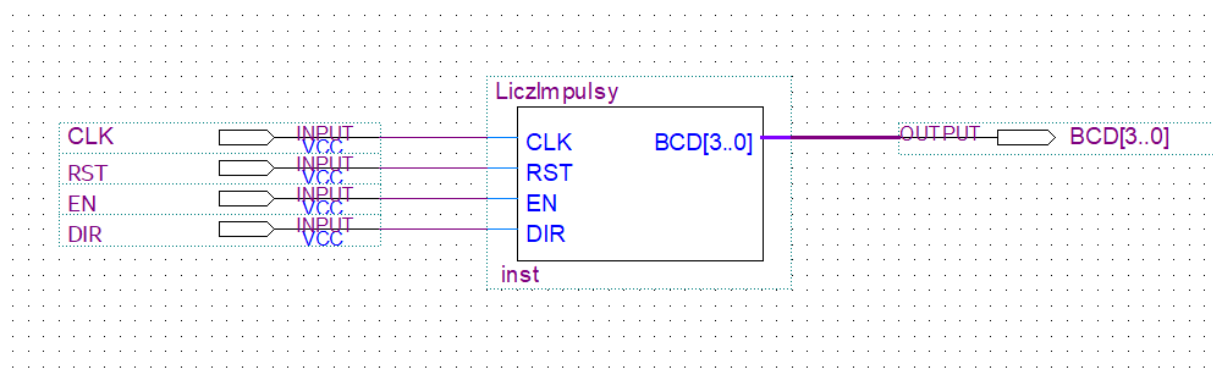


Sprawozdanie laboratoria Verilog

MSWSiS

AGH

Schemat .bdf



Kod Verilog

```
//PROGRAM LICZNIKA 02.12.2020
module LiczImpulsy(CLK,RST,EN,DIR,BCD);    //Zegar resetet włącznik kierunek
input CLK;    //Sygnal zegara
input RST;    //Reset
input EN;    //Włącz liczenie
input DIR;    //Kierunek liczenia
output [3:0]BCD; //Wyjście - (Od 0 do 9) 4 bity 0 1 2 3 od największego do najmniejszego
reg [3:0]BCD; //Register bo sekwencyjny
always @ (posedge CLK)    //Postivie edge (narastające zbocze (kiedy))
    if (RST == 1)
        BCD = 4'd0;    // Na 4 bitach zapisz dziesiętnie 0
    else
        if (EN == 1)
```



```

        if (EN == 1)
            if(DIR == 1)                                //Odejmij
                if(BCD < 9)
                    BCD <= BCD + 4'd1 ;                //Dodaj 1
                else
                    BCD = 4'd0;                          // Jesli jest 9 to
                    wyzeruj
            else
                if(BCD > 0)
                    BCD <= BCD - 4'd1;
                else
                    BCD = 4'd9;
    endmodule

```

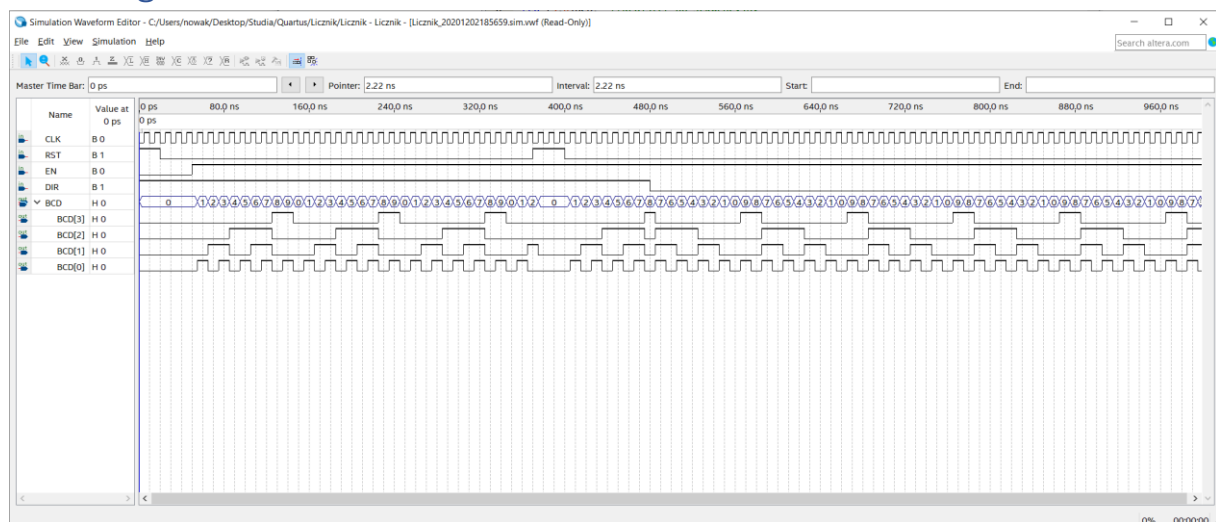
```

1  //PROGRAM LICZNIKA 02.12.2020
2  module LiczImpulsy(CLK,RST,EN,DIR,BCD);    //Zegar reset włącznik kierunek
3  input CLK;    //Sygnał zegara
4  input RST;    //Reset
5  input EN;    //włącz liczenie
6  input DIR;    //Kierunek liczenia
7  output [3:0]BCD; //Wyjście - (Od 0 do 9) 4 bity 0 1 2 3 od największego do najmniejszego
8  reg [3:0]BCD; //Register bo sekwencyjny
9
10 always @ (posedge CLK) //Postivie edge (narastające zbocze (kiedy))
11     if (RST == 1)
12         BCD = 4'd0; // Na 4 bitach zapisz dziesiętnie 0
13     else
14         if (EN == 1)
15             if(DIR == 1)                //Odejmij
16                 if(BCD < 9)
17                     BCD <= BCD + 4'd1 ; //Dodaj 1
18                 else
19                     BCD = 4'd0;          // Jesli jest 9 to wyzeruj
20             else
21                 if(BCD > 0)
22                     BCD <= BCD - 4'd1;
23                 else
24                     BCD = 4'd9;
25 endmodule

```



Przebiegi



Przybliżenia:

