***2023***



**数字电路与逻辑设计**

**实验报告**

|  |  |
| --- | --- |
| 专 业： | 网络空间安全 |
| 班 级： |  |
| 学 号： |  |
| 姓 名： |  |
| 电 话： |  |
| 邮 件： |  |
| 完成日期： |  |

目 录

[1 实验概述 1](#_Toc588161584)

[1.1 实验名称 1](#_Toc1609748978)

[1.2 实验目的 1](#_Toc949588388)

[1.3 实验环境 1](#_Toc1414555977)

[1.4 实验内容 1](#_Toc429252891)

[1.5 实验要求 2](#_Toc1549745677)

[2 实验过程 3](#_Toc992201572)

[2.1 7段数码管驱动电路设计 3](#_Toc1955050371)

[2.2 2选1选择器设计（1位） 4](#_Toc647369882)

[2.3 2选1选择器设计（16位） 6](#_Toc1189764417)

[2.4 无符号比较器设计（4位） 7](#_Toc391528521)

[2.5 无符号比较器设计（16位） 9](#_Toc1285931206)

[2.6 并行加载寄存器(4位) 11](#_Toc278939195)

[2.7 并行加载寄存器(16位) 12](#_Toc1494757292)

[2.8 BCD计数器状态机设计 13](#_Toc2064948322)

[2.9 BCD计数器输出函数设计 15](#_Toc921352561)

[2.10 BCD计数器设计（1位十进制） 16](#_Toc223917809)

[2.11 码表计数器设计（4位十进制） 17](#_Toc850020355)

[2.12 码表显示驱动设计 18](#_Toc1776653024)

[2.13 码表控制器状态机设计 20](#_Toc236250588)

[2.14 码表控制器输出函数设计 22](#_Toc166039229)

[2.15 码表控制器 23](#_Toc1758953442)

[2.16 运动码表 25](#_Toc624910046)

[3 设计总结与心得 28](#_Toc846850144)

[3.1 实验总结 28](#_Toc1480063294)

[3.1.1遇到的问题及处理 28](#_Toc1530576962)

[3.1.2设计方案存在的不足 29](#_Toc1508573059)

[3.2 实验心得 29](#_Toc1620907410)

[3.3 意见与建议 29](#_Toc194474132)

# 实验概述

## 实验名称

运动码表系统设计。

## 实验目的

本实验将提供一个完整的数字逻辑实验包，从真值表方式构建7段数码管驱动电路，到逻辑表达式方式构建四位比较器，多路选择器，利用同步时序逻辑构建BCD计数器，从简单的组合逻辑电路到复杂时序逻辑电路，最终集成实现为运动码表系统。

实验由简到难，层次递进，从器件到部件，从部件到系统，通过本实验的设计、仿真、验证3个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 实验环境

软件：Logisim2.15.0.2软件一套。

平台：https://www.educoder.net/classrooms/3uncetop/shixun\_homework

## 实验内容

设计一个运动码表系统，具体内容及要求如下：

输入：4个按钮，分别为Start、Stop、Store和Reset。

输出：4个7段数码管显示数字，显示计时时间。

具体功能：

(1)当按下Start时，计时器清零，重新开始计时；

(2)当按下Stop时，计时器停止计时，显示计时数据；

(3)当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

(4)当按下Reset时，复位，计时=0.00, 系统记录=99.99。

## 实验要求

1. 根据给定的实验包，将运动码表系统切分为一个个实验单元；
2. 对每一个实验单元，按要求设计电路并使用Logisim软件进行虚拟仿真；
3. 设计好的电路在educoder平台上提交并进行评测，直到通过全部关卡。

# 实验过程

## 7段数码管驱动电路设计

1. 设计思路及设计过程

数码管驱动电路，需要实现将BCD编码的4位输入转换成对应的7位数码管输出，根据7段数码管引脚顺序和十进制数与7段数码管的对应关系（图2-1-1），可得出电路的真值表（图2-1-2）。

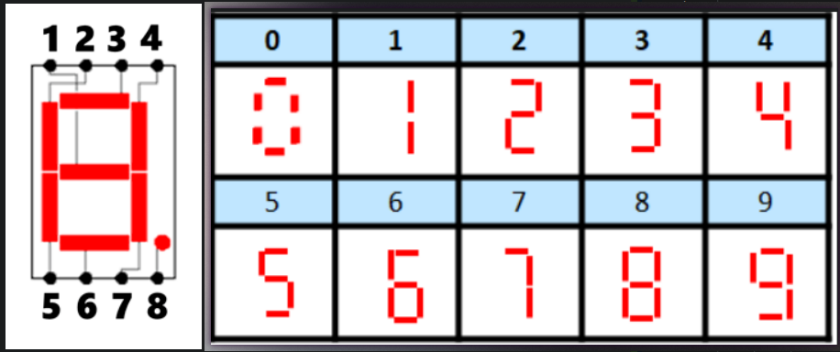


图2-1-1 十进制数与7段数码管的对应关系

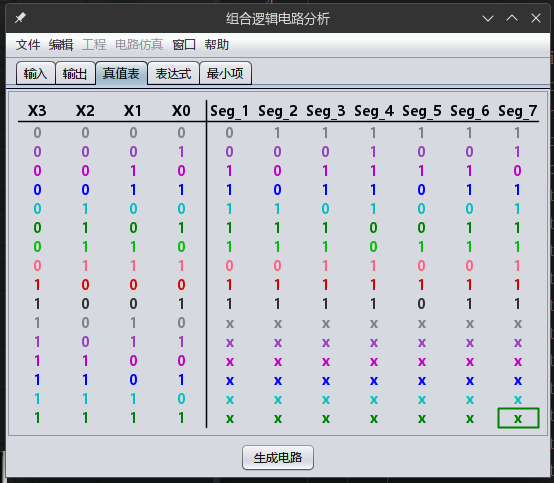


图2-1-2 电路真值表

1. 电路图

使用Logisim的分析组合电路功能，填写对应的真值表，生成电路，得到7段数码管的驱动电路（图2-1-3）。

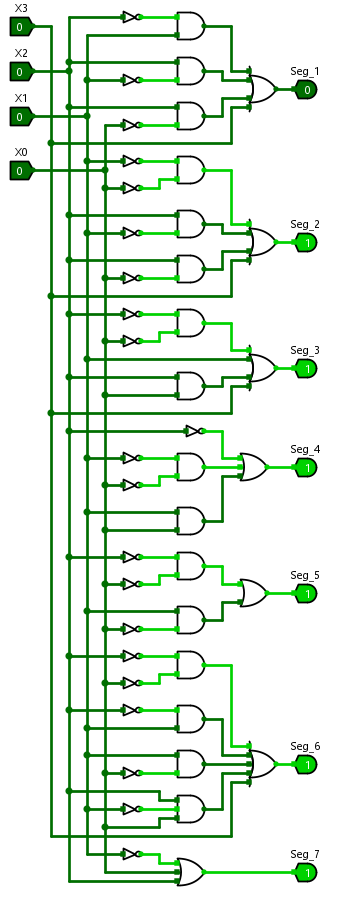


图2-1-3 7段数码管驱动电路

1. 测试图

使用数码管驱动测试电路进行测试，使用时钟单步测试电路在不同十进制输入下的7段数码管输出（图2-1-4）。

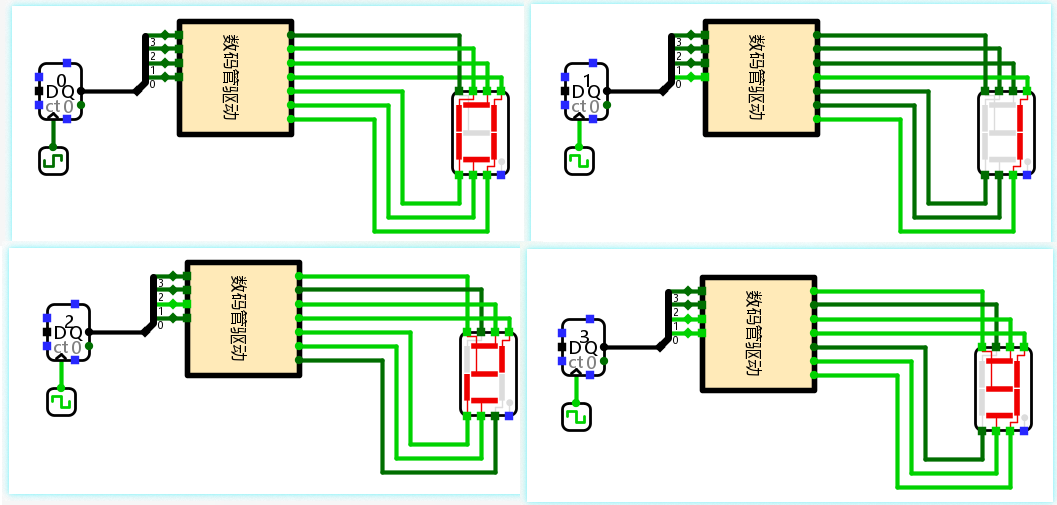


图2-1-4 7段数码管驱动电路测试

1. 测试分析

对电路分别输入0～9的十进制输入，7段数码管均能够准确显示对应的输出，说明电路的功能满足实验需要。

## 2选1选择器设计（1位）

1. 设计思路及设计过程

2选1选择器，根据输入的Sel信号选择对应的X0、X1信号进行输出，当Sel输入0时，选择X0信号作为输出，当Sel输入1时，选择X1信号作为输出，可得出电路的输出函数表达式为：

Out=Sel X1 + X0 ~Sel

使用Logisim生成该函数表达式的卡诺图（图2-2-1）。

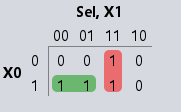


图2-2-1 输出函数卡诺图

由卡诺图可知，该函数的两个卡诺圈相切，存在险象，因此使用增加冗余项X01X0消除电路险象，电路输出函数表达式为：

Out=Sel X1 + X0 ~Sel+X1X0

1. 电路图

根据电路输出函数表达式，做出电路图（图2-2-2）。

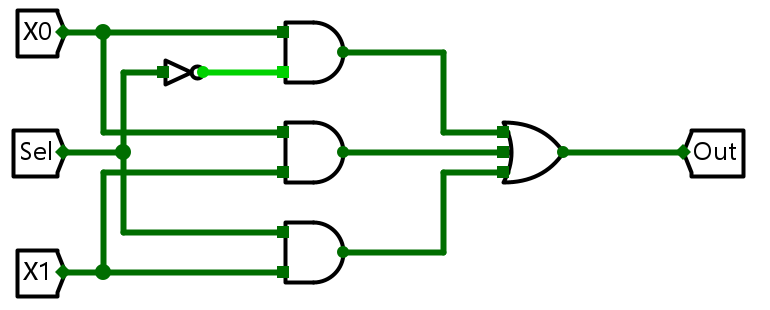


图2-2-2 2选1选择器电路图

1. 测试图

使用不同的输入组合对电路进行测试（图2-2-3），分析电路输入是否准确。

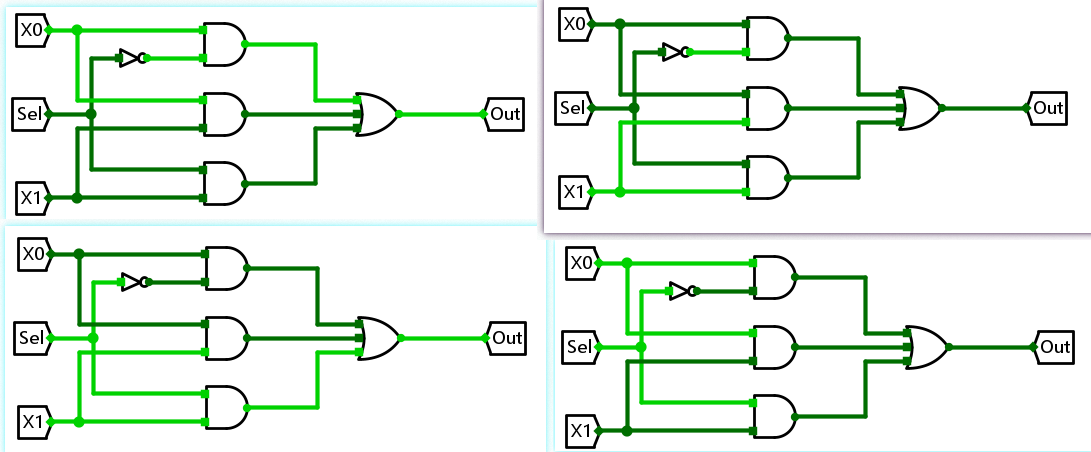


图2-2-3 2选1选择器电路测试

1. 测试分析

分析电路在不同输入情况下的输出，测试结果与预期结果相同，电路功能满足实验要求。

## 2选1选择器设计（16位）

1. 设计思路及设计过程

对16位输入的每一位使用1位2选1选择器，输入的Sel信号作为每一位选择器的Sel信号，即可实现16位2选1选择器。

1. 电路图

16位2选1选择器电路图如图2-3-1所示。

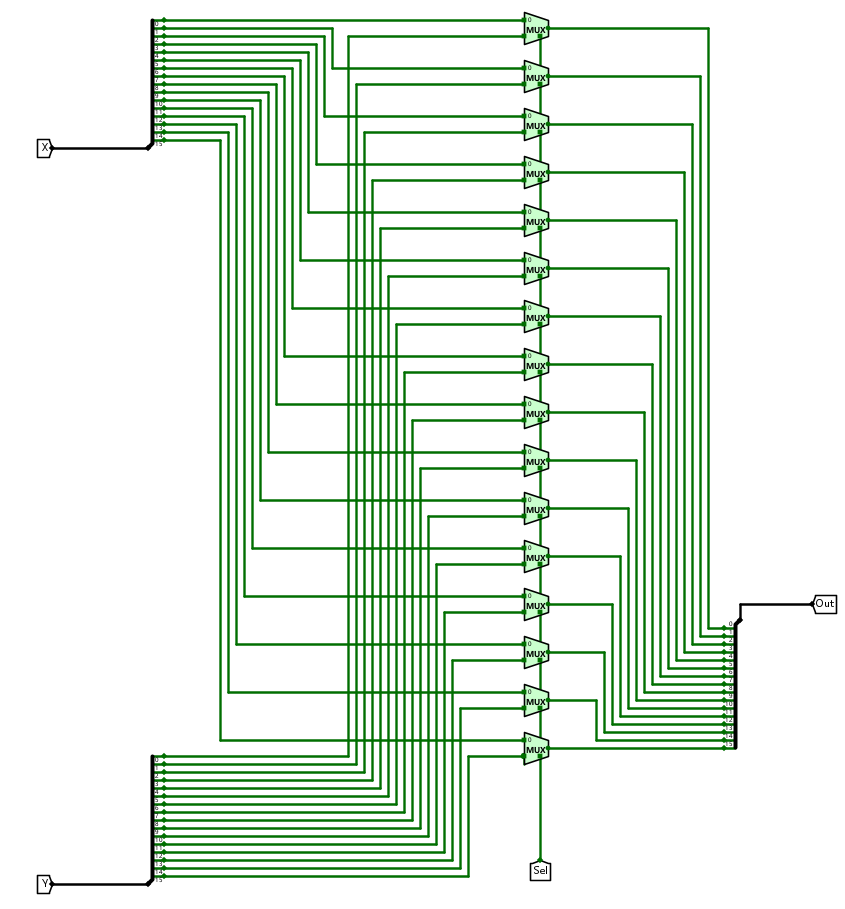


图2-3-1 16位2选1选择器电路图

1. 测试图

使用2路选择器自动测试电路对2选1选择器电路进行测试，测试结果如图2-3-2所示。

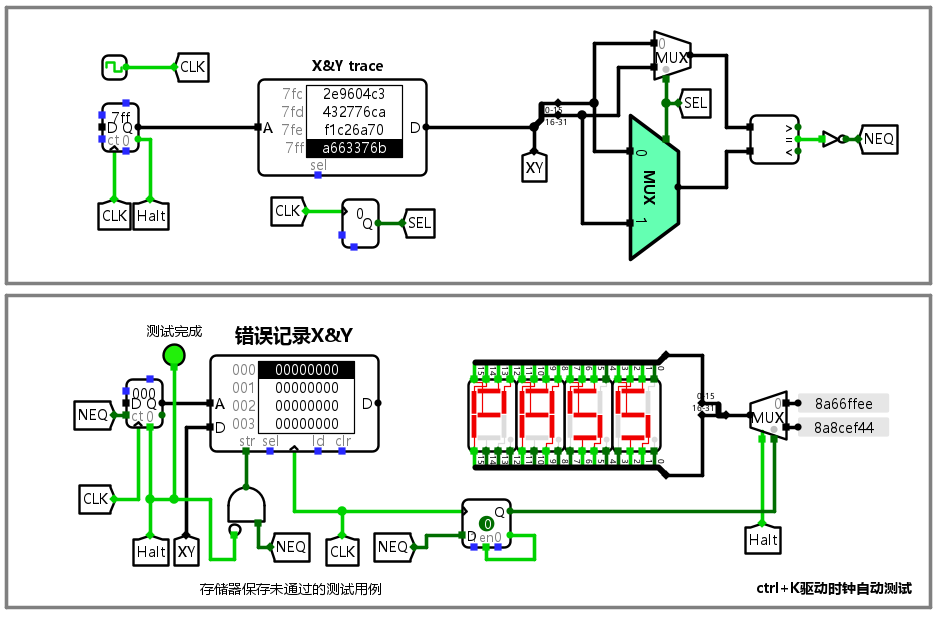


图2-3-2 2选1选择器电路测试

1. 测试分析

电路成功通过自动测试，且未产生任何错误结果，电路设计满足实验要求。

## 无符号比较器设计（4位）

1. 设计思路及设计过程

输入为四位无符号数X和四位无符号数Y，输出为Great、Less、Equal。输出和输入之间的关系如下。

X＞Y：Great=1 Less=0 Equal=0

X＜Y：Great=0 Less=1 Equal=0

X＝Y：Great=0 Less=0 Equal=1

该电路有8个输入，真值表表项256项，用真值表实现过于繁琐，且容易出错，所以对于这类电路只能通过分析法，直接构建输出函数的逻辑表达式。

仔细思考四位无符号比较器的逻辑表达式，利用logisim自动生成电路功能自动生成该电路。

1位比较 X : Y

Great = X ~ Y

Less = ~ X Y

Equal = ~ (X ^ Y)=(~ X ~ Y + X Y)

2位比较 X=X1X0 : Y=Y1Y0

Great = X1 ~ Y1 + ~ (X1 ^ Y1)X0 ~ Y0

说明：X的最高位X1大于Y的最高位Y1，或者最高位相等时X的低位X0大于Y的低位Y0

Less = ~ X1 Y1 + ~ (X1^ Y1) ~ X0 Y0

说明：X的最高位X1小于Y的最高位Y1，或者最高位相等时X的低位X0小于Y的低位Y0

Equal = ~ (X1 ^ Y1) ~ (X0 ^ Y0)

说明：X的最高位X1等于Y的最高位Y1，而且，X的低位X0等于Y的低位Y0

3位比较 X=X2X1X0 : Y=Y2Y1Y0

Great = X2 ~ Y2 + ~ (X2 ^ Y2)(X1 ~ Y1 + ~ (X1 ^ Y1)X0 ~ Y0)

Less = ~X2 Y2 + ~ (X2 ^ Y2)( ~ X1 Y1 + ~ (X1^ Y1) ~ X0 Y0)

Equal =~ (X2 ^ Y2) ~ (X1 ^ Y1) ~ (X0 ^ Y0)

4位比较 X=X3X2X1X0 : Y=Y3Y2Y1Y0

Great = X3 ~ Y3 + ~(X3 ^ Y3)(X2 ~ Y2 + ~ (X2 ^ Y2)(X1 ~ Y1 + ~ (X1 ^ Y1)X0 ~ Y0))

Less = ~X3 Y3 + ~(X3 ^ Y3)(~ X2 Y2 + ~ (X2 ^ Y2)( ~ X1 Y1 + ~ (X1^ Y1) ~ X0 Y0))

Equal = ~ (X3 ^ Y3) ~ (X2 ^ Y2) ~ (X1 ^ Y1) ~ (X0 ^ Y0)

1. 电路图

使用上述得到的输出函数表达式，使用Logisim的组合逻辑电路分析功能，输入函数表达式，自动生成电路（图2-4-1）。

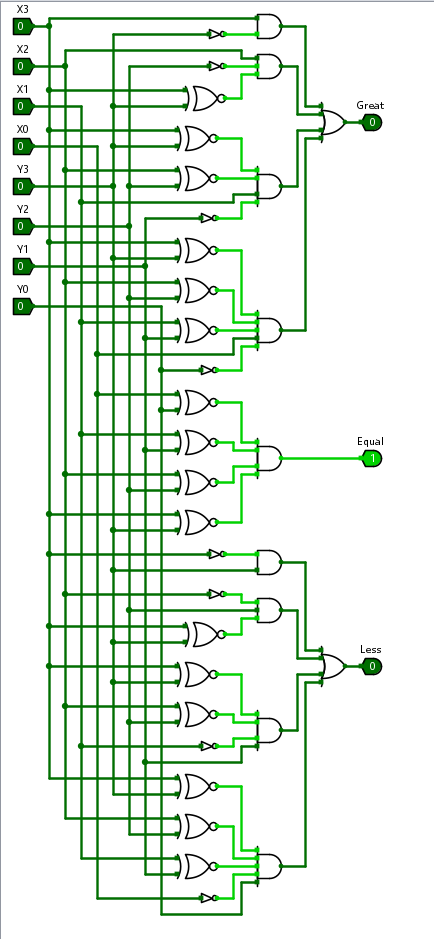


图2-4-1 4位无符号比较器电路

1. 测试图

对电路的输入X和Y进行不同的输入测试，分析输出是否和预期输出相符。

(4)测试分析

对于每一组X和Y的输入，电路的输出Great、Less、Equal均和预期相符，电路功能满足实验要求。

## 无符号比较器设计（16位）

1. 设计思路及设计过程

16位无符号数的比较，可以将其按高位到低位分为4组4位无符号数的比较，比较后可得到四位G=G3G2G1G0、L=L3L2L1L0、E=E3E2E1E0，分析可知，将输出的G和L进行大小比较，即可得到16位的比较结果：

若G > L，则输出Great=1

若G = L，则输出Equal = 1

若G < L，则输出Less = 1

因此，将第一次比较得到的G和L输入到4位无符号，比较器输出即位16位无 符号比较的结果。

1. 电路图

根据上述分析过程，做出电路图，如图2-5-1所示。

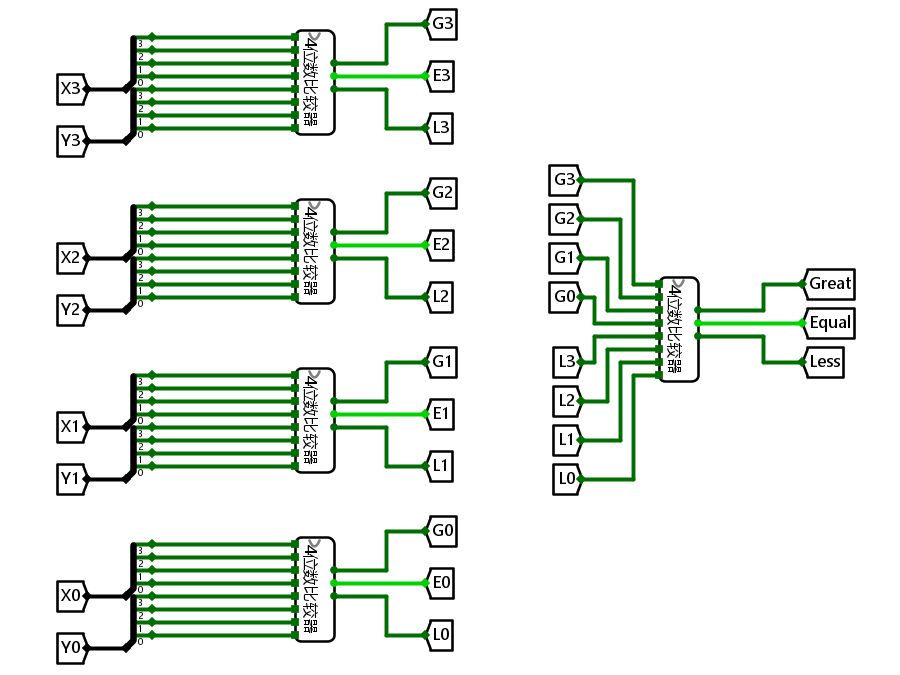


图2-5-1 16位无符号比较器电路

1. 测试图

使用16位无符号比较器自动测试电路对16位无符号比较器电路进行测试，测试结果如图2-5-2所示。

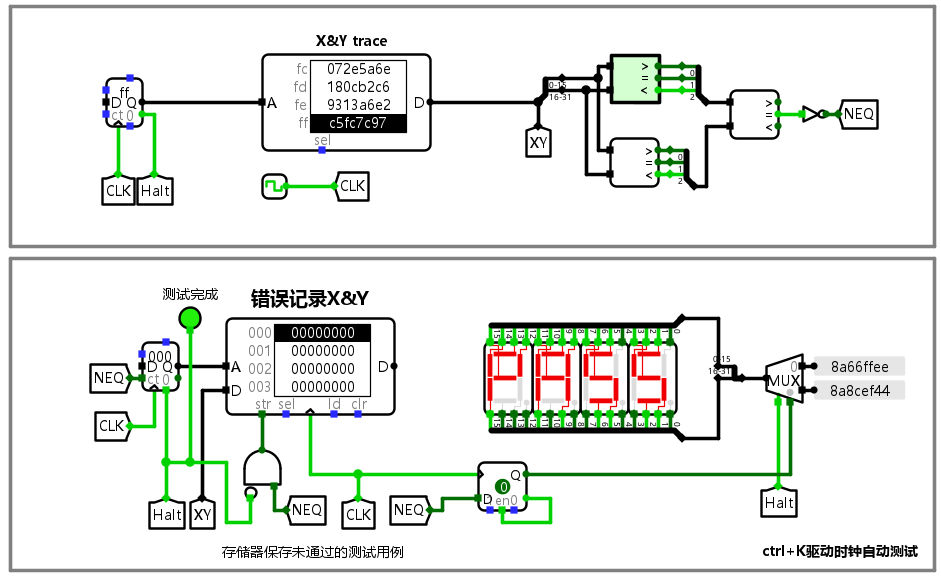


图2-5-2 16位无符号数比较器电路测试

1. 测试分析

电路成功通过自动测试，且未产生任何错误结果，电路设计满足实验要求。

## 并行加载寄存器(4位)

1. 设计思路及设计过程

对于每一位输入，使用1个D触发器进行存储，并将输入使能信号作为每一位的使能信号，即可实现4位寄存器电路。

1. 电路图

根据上述分析思路，做出4位寄存器电路图，En信号作为每一位寄存器的En信号，如图2-6-1所示。

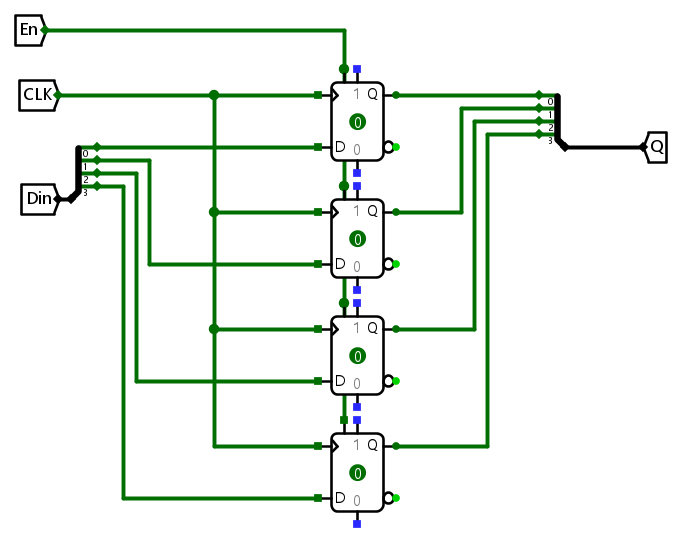


图2-6-1 4位并行加载寄存器电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-6-2所示。



图2-6-2 4位并行加载寄存器电路测试结果

1. 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## 并行加载寄存器(16位)

1. 设计思路及设计过程

与4位寄存器设计相似，将16位数据按从高到低分为四组，对于每一组信号，使用4位寄存器进行存储，将输入信号中的使能信号作为四组4位寄存器的使能信号，即可实现16位寄存器。

1. 电路图

根据上述分析思路，做出16位寄存器电路图，En信号作为每一位寄存器的En信号，如图2-7-1所示。

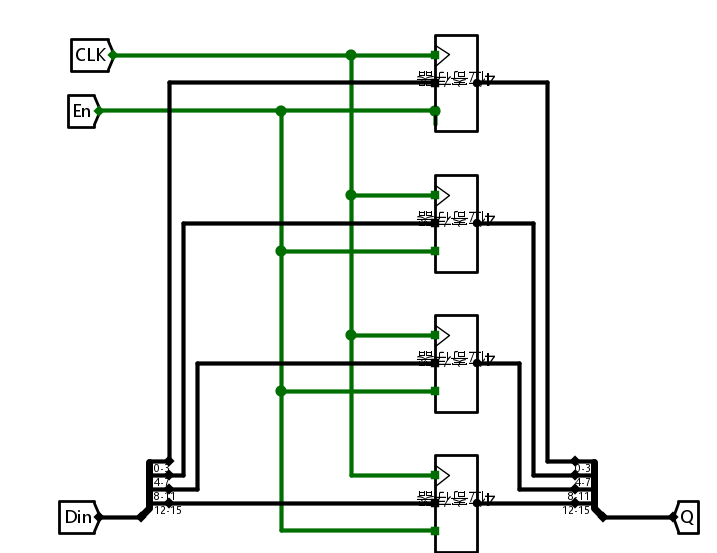


图2-7-1 16位并行加载寄存器电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-7-2所示。



图2-7-2 16位并行加载寄存器电路测试结果

(4) 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## BCD计数器状态机设计

1. 设计思路及设计过程

使用同步时序电路状态转换表，填写电路的状态转换真值表（图2-8-1），

填写真值表后，表格自动生成状态转换函数表达式（图2-8-2），将生成的状态转 换函数表达式复制到Logisim中，分析组合逻辑，自动生成电路图。

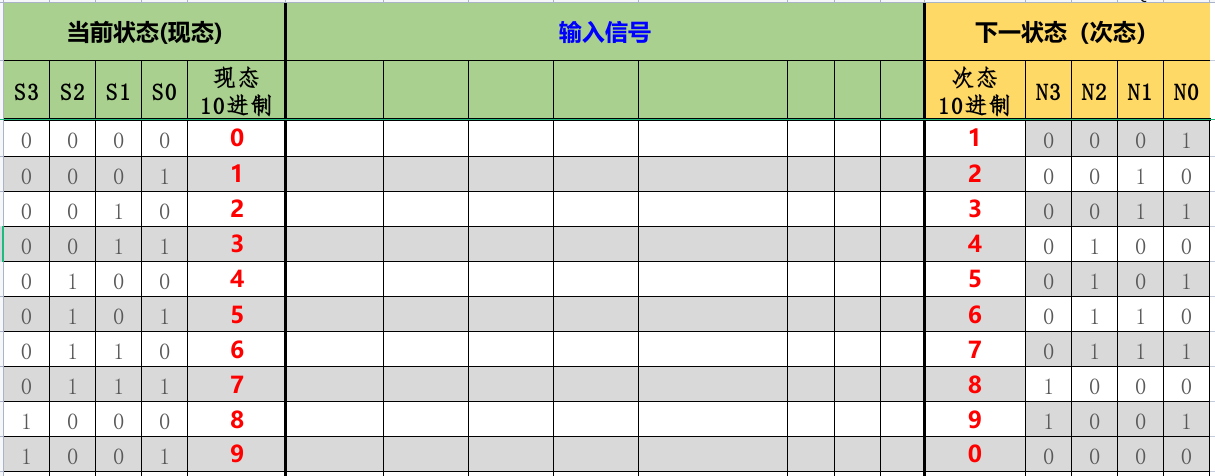


图2-8-1 BCD计数电路真值表



图2-8-3 BCD计数电路状态转换函数表达式

1. 电路图

使用上述分析过程得到的状态转换函数表达式，自动生成电路图（2-8-3）。

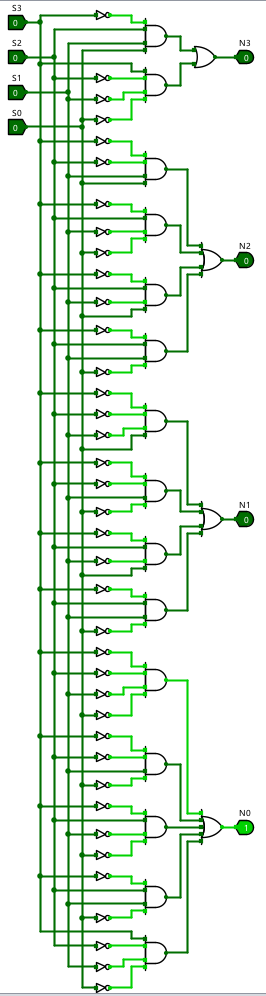


图2-8-3 BCD计数电路状态转换电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-8-4所示。

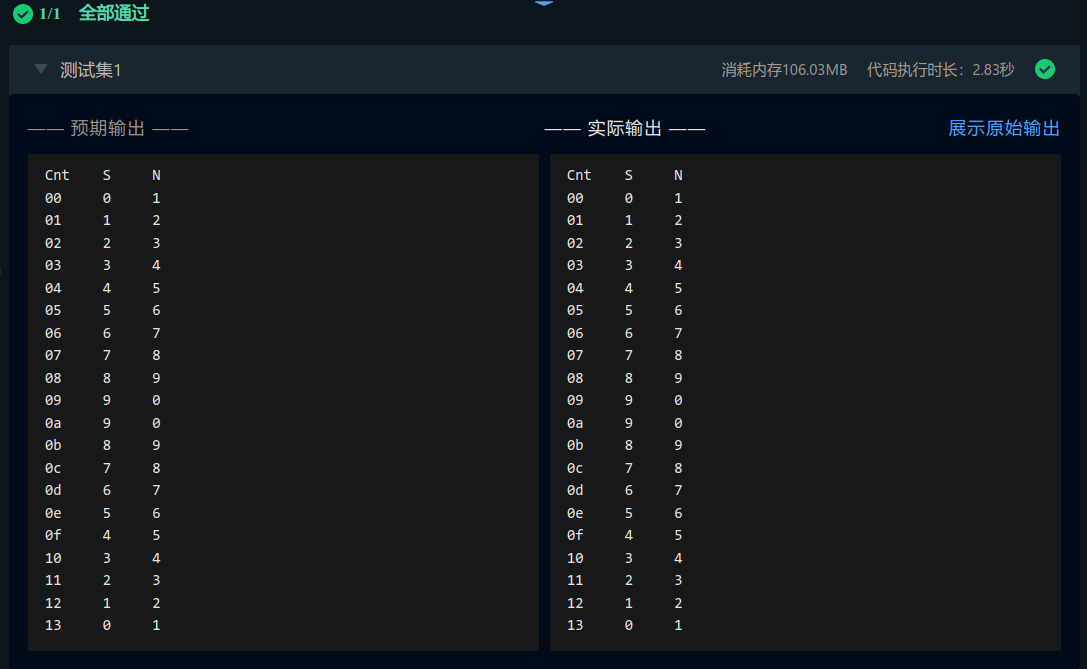


图2-8-4 BCD计数状态转换电路测试结果

1. 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## BCD计数器输出函数设计

1. 设计思路及设计过程

当电路计数到9时，电路输出进位信号，即电路状态为1001时，电路输出Cout = 1，输出函数表达式如为：

Cout = S3 ~S2 ~S1 S0

1. 电路图

根据输出函数表达式，做出输出函数电路图（图2-9-1）。

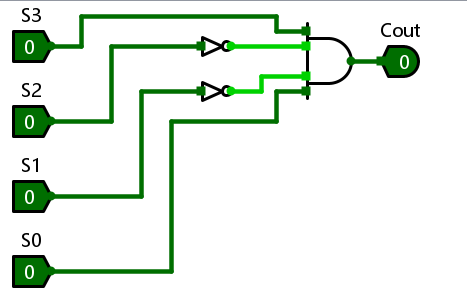


图2-9-1 BCD计数电路输出函数电路

1. 测试图

对电路的输入从0～9进行测试，当输入为9时，电路输出Cout = 1。



图2-9-2 BCD计数电路输出函数电路测试

1. 测试分析

电路在不同的输入下，电路输出均与预期相符，说明电路设计满足实验要求。

## BCD计数器设计（1位十进制）

1. 设计思路及设计过程

BCD计数器为同步时序逻辑电路，其电路模型如图2-10-1所示。

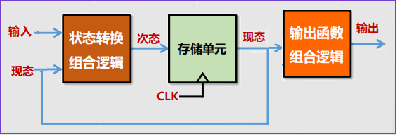


图2-10-1 同步时序逻辑电路模型

1. 电路图

将上述设计的状态转换电路、以及输出函数电路和D触发器组合，得到1位十进制BCD计数电路（图2-10-2）。

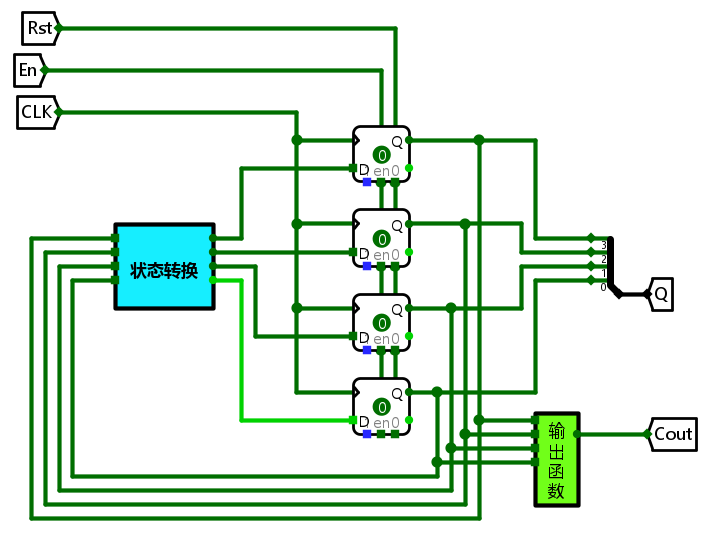


图2-10-2 1位十进制BCD计数电路

1. 测试分析

当输入使能信号En为高电平时，电路在时钟脉冲下开始计数，当计数到9时， 电路输出Cout = 1，当Rst信号为高电平时，电路清零，电路状态转换为0000。 经过测试，电路功能满足实验要求。

## 码表计数器设计（4位十进制）

1. 设计思路及设计过程

使用4个1位十进制BCD计数器进行组合，将低位的输出信号作为高位的时钟脉冲信号，即可得到4位十进制BCD计数器。由于低位的进位信号是在计数电路计数到9产生，此时若进位信号直接输入到高位计数器，则电路将计数错误，应将进位信号延迟一个时钟脉冲后再传递给高位计数器，因此使用D触发器储存进位信号，并将计数器脉冲作为D触发器的脉冲信号，将D触发器的输出信号作为高位的脉冲信号。

1. 电路图

根据上述分析，使用1位十进制BCD计数电路和D触发器组合得到4位十进制BCD计数电路（图2-11-1）。

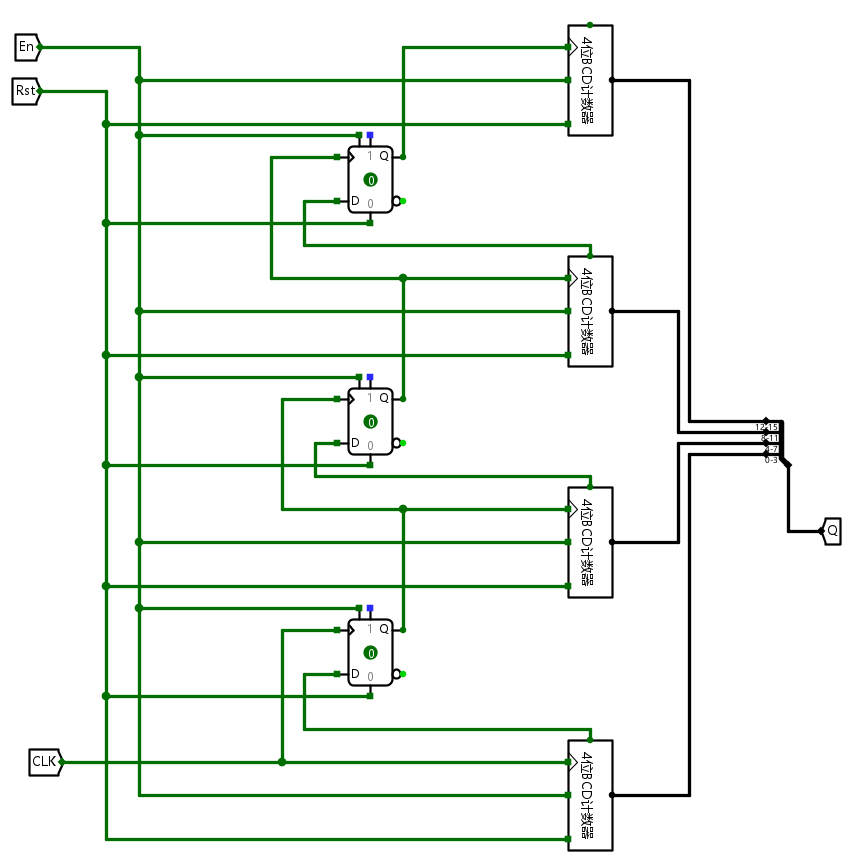


图2-11-1 4位十进制BCD计数电路

1. 测试图

使用码表计数器自动测试电路对4位十进制BCD计数电路进行测试（图2-11-2）。

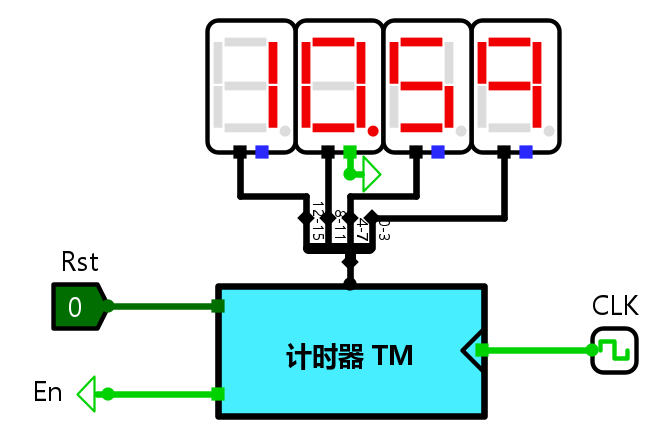


图2-11-2 4位十进制BCD计数电路测试

1. 测试分析

当输入使能信号En为高电平时，电路在时钟脉冲下开始计数，当低位计数恢 复到0时，高位计数加1，当Rst信号为高电平时，电路清零，电路状态转换为 0000。经过测试，电路功能满足实验要求。

## 码表显示驱动设计

1. 设计思路及设计过程

使用2.1实验中设计的1位数码管驱动电路进行组合，对4组十进制BCD输入的每一组分别使用1个1位数码管驱动电路，得到码表显示驱动电路。

1. 电路图

使用1位数码管驱动电路进行组合，得到码表显示驱动电路（2-12-1）。

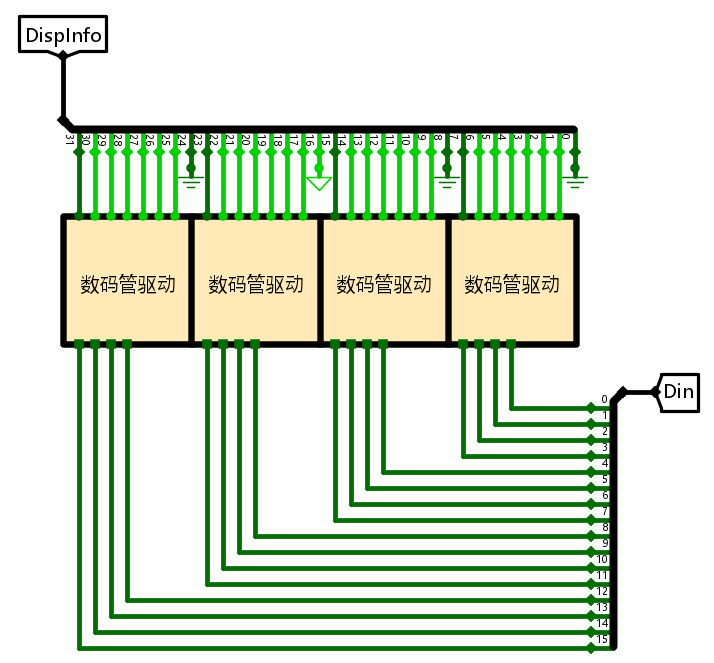


图2-12-1 码表驱动电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-12-2所示。



图2-12-2 码表驱动电路测试结果

1. 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## 码表控制器状态机设计

1. 设计思路及设计过程

根据实验给定的状态编码和状态转换图（图2-13-1），作出码表控制器的次态真值表（图2-13-2），使用表格工具自动生成状态转换函数（图2-13-3）。

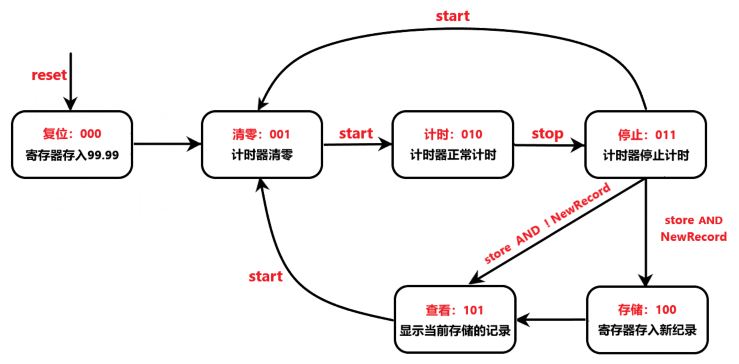


图2-13-1 码表控制器状态转换图

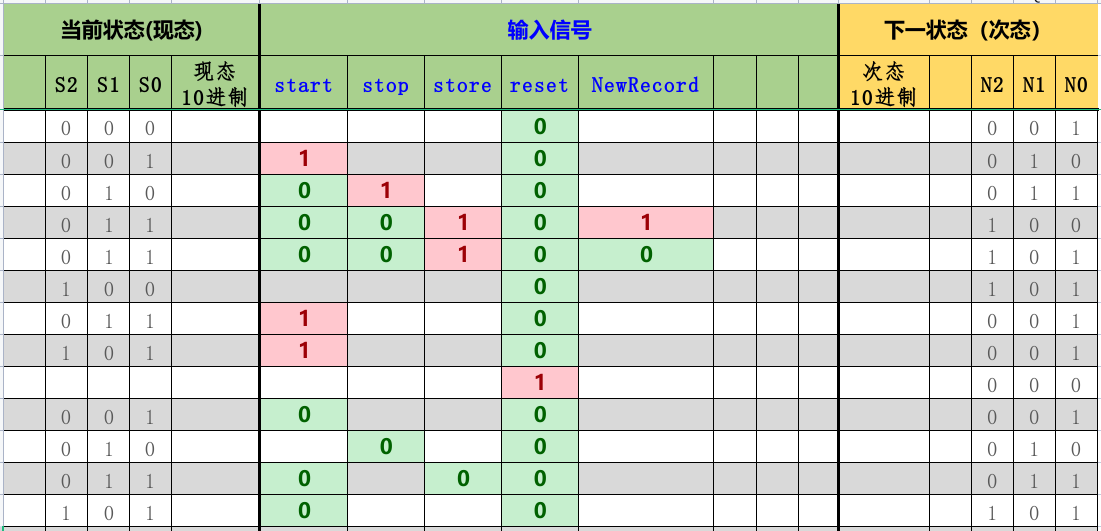


图2-13-2 码表控制器次态真值表

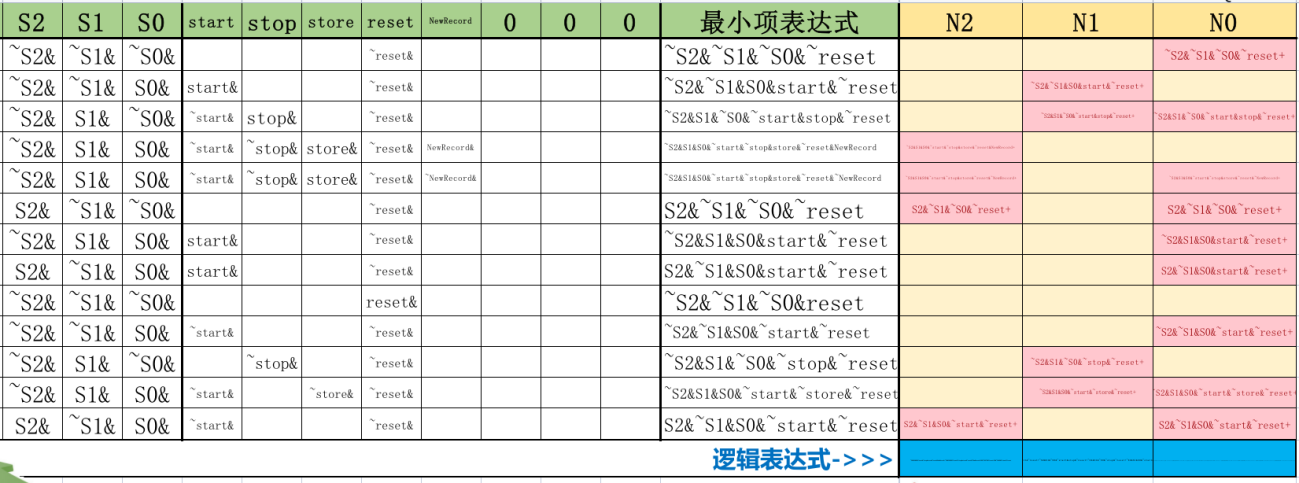
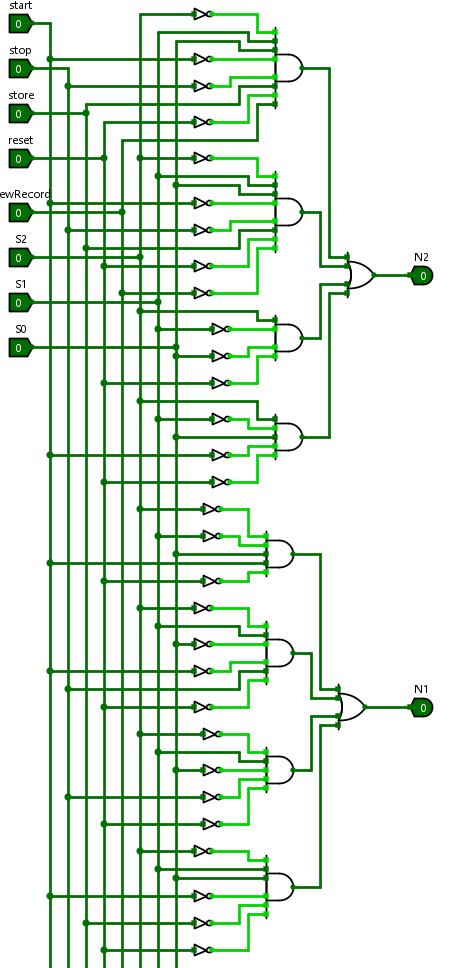


图2-13-3 码表控制器状态转换函数

1. 电路图

使用上述得到的码表控制器状态转换函数，通过Logisim的分析组合逻辑电路功能，得到码表控制器的状态转换电路（图2-13-4）。



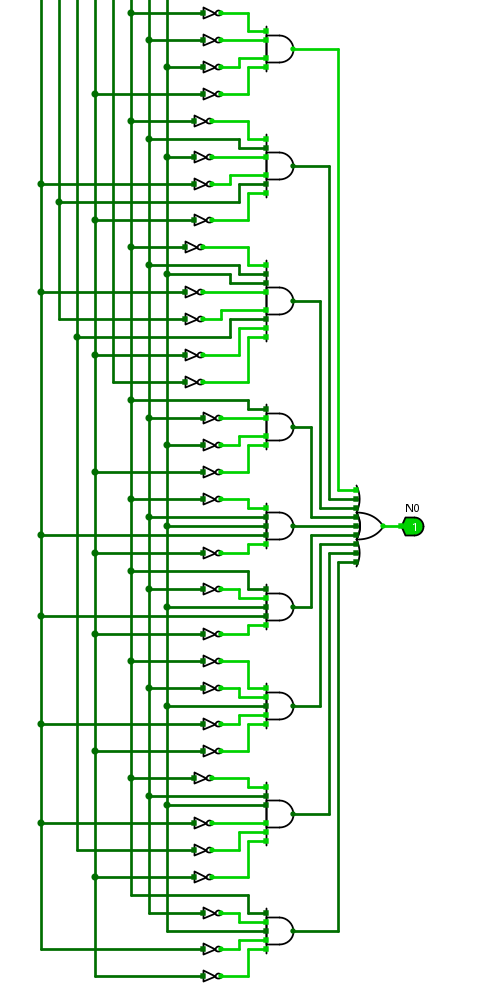


图2-13-4 码表控制器状态转换电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-13-5所示。



图2-13-5 码表控制器状态转换电路测试结果

(4) 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## 码表控制器输出函数设计

1. 设计思路及设计过程

本框架中时序电路设定为Moore型电路，根据上述实验的码表控制器状态转换图（图2-13-1），填写码表控制器输出函数的真值表（图2-14-1）。

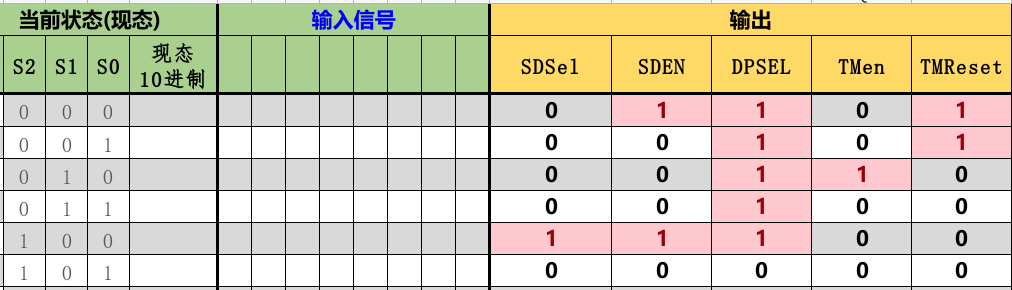


图2-14-1 码表控制器输出函数真值表

完成真值表后，可得到电路的输出函数表达式（图2-14-2）。

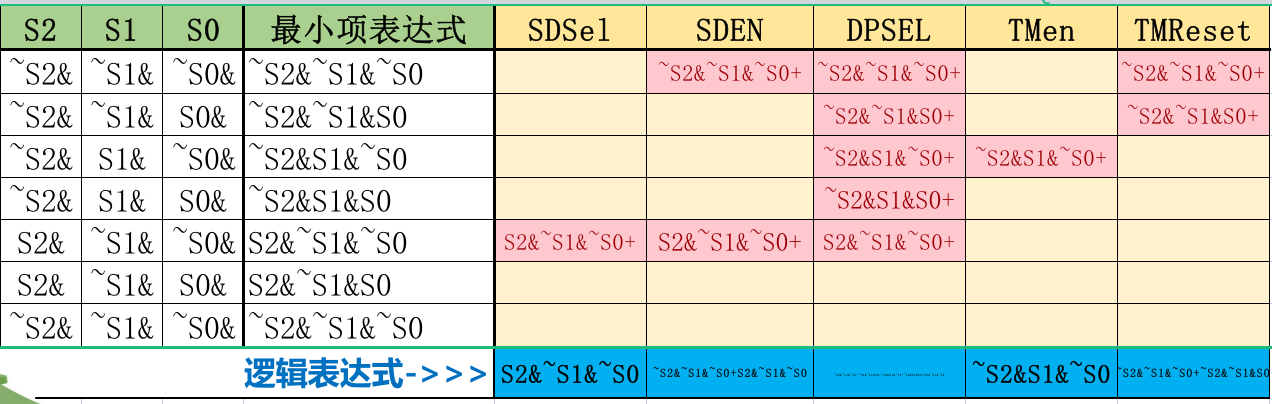


图2-14-2 码表控制器输出函数表达式

1. 电路图

使用上述分析得到的输出函数表达式，通过Logisim的分析组合电路功能，自动生成码表控制器的输出函数电路（图2-14-3）。

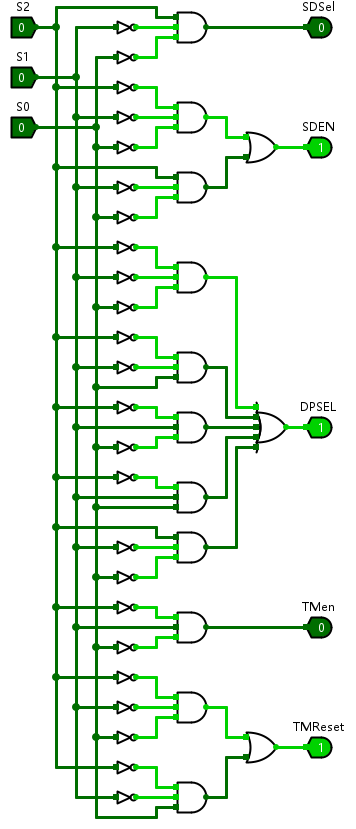


图2-14-3 码表控制器输出函数电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-14-4所示。



图2-14-4 码表控制器输出函数电路测试结果

(4) 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## 码表控制器

1. 设计思路及设计过程

码表控制器的输入输出信号及功能如下：

CLK 输入 时钟脉冲

start 输入 开始计时信号

stop 输入 停止计时信号

store 输入 存储计时记录信号

reset 输入 计时复位信号，记录恢复为99.99

newrecord 输入 新的最好成绩记录信号

SDsel 输出 最好成绩记录的选择信号

SDen 输出 保存最好成绩记录的寄存器的使能信号

DPsel 输出 显示计时成绩记录的选择信号

TMen 输出 码表计数器使能信号

TMreset 输出 码表计数器复位信号

使用上述实验设计的码表状态转换电路和码表输出函数电路，组合出码表控制器，码表控制器为时序逻辑电路，电路状态使用D触发器储存。

1. 电路图

使用码表状态转换电路和码表输出函数电路以及D触发器，组合出码表控制器电路（图2-15-1）。

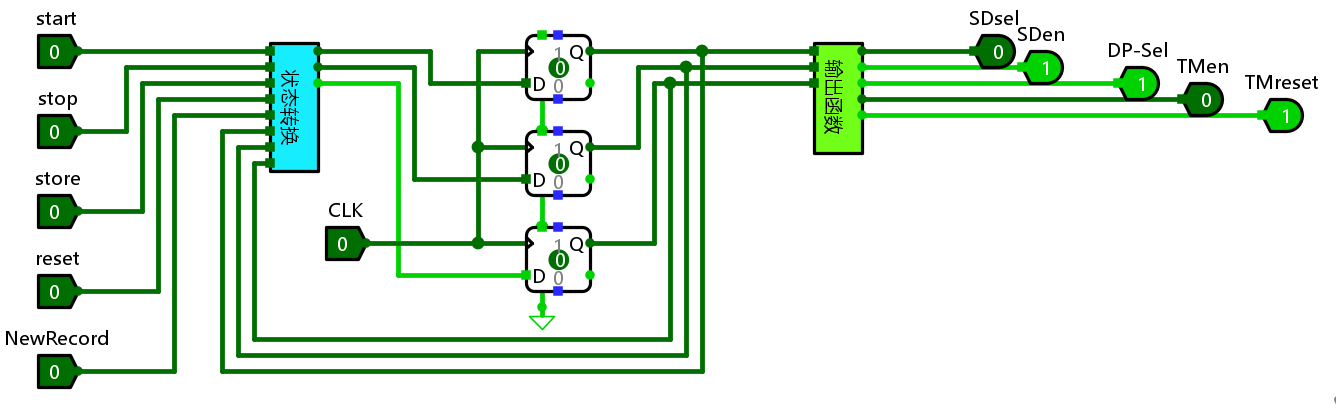


图2-15-1 码表控制器电路

1. 测试图

使用Educoder平台对电路进行测试，测试结果如图2-15-2所示。

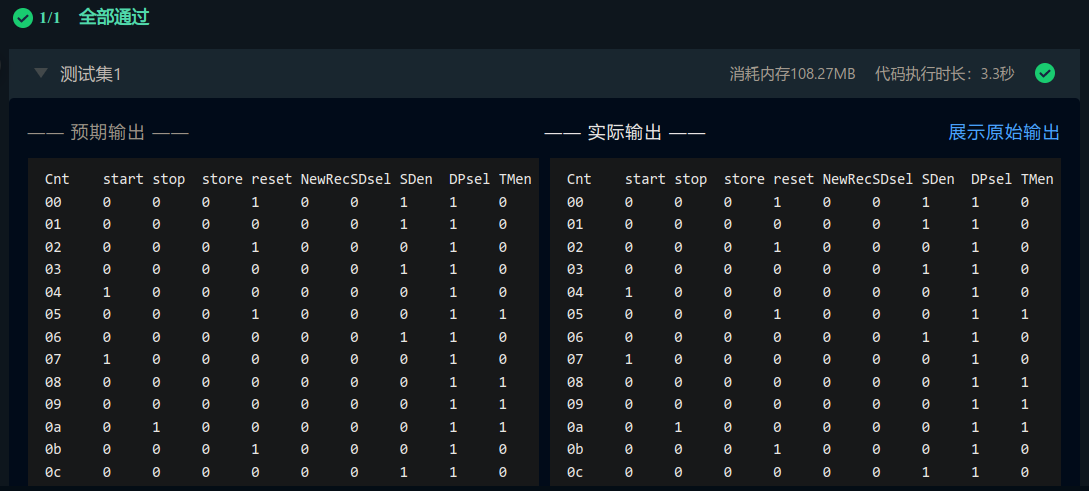


图2-15-2 码表控制器电路测试结果

(4) 测试分析

在Educoder平台的每一组测试输入下，电路的输出均与预期输出相符，电路 功能满足实验要求。

## 运动码表

1. 设计思路及设计过程

最后设计运动码表的环节，需要利用前面实验中所设计的计时器、二路选择器、寄存器、码表控制器、无符号比较器和码表显示驱动。

码表显示输出存在两种情况，输出直接来自计时器，或者输出来自最好的成绩，最好的成绩需要使用16位寄存器电路进行存储，两组信号的选择信号来自与码表控制器电路的DP-SEL输出，此处需要使用二路选择器电路进行选择输出信号的来源。

最好的成绩记录需要使用无符号比较器产生，寄存器中储存的记录大于计时器的输出时，无符号比较器产生NewRecord信号传递给码表控制器，当码表控制器输出SD-EN时，寄存器储存输入的数据。

寄存器的输入数据存在两种来源，当码表重置后，其输入数据应为常数9999,当产生新记录时，其输入数据来自计时器，因此寄存器的输入信号需要使用二路选择器控制，选择信号来自码表控制器的SD-SEL输出。

计时器的控制信号TM-Reset和TM-EN信号分别控制计时器的清零和开始计时，控制信号来自码表控制器。

1. 电路图

根据上述分析过程，组装得到运动码表电路（图2-16-1）。

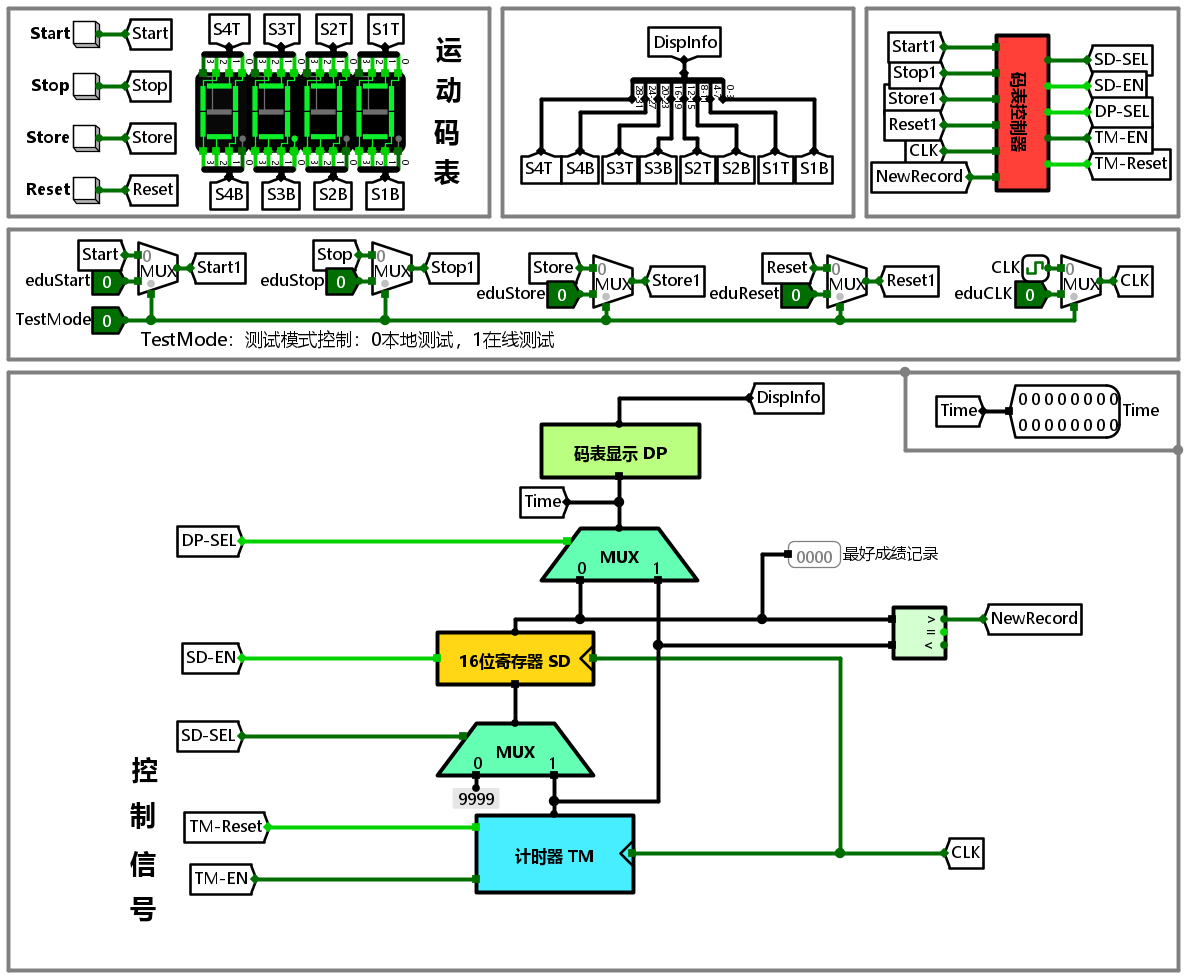


图2-16-1 运动码表电路

1. 测试图

开启Logisim的仿真模拟功能，选择时钟连续，输入Start信号时，码表计时开始，码表显示当前计时数据，输入Stop信号，码表暂停计时，数据显示当前计时，输入Store信号，码表将当前计时数据与寄存器中的数据进行比较，将显示更好的成绩并存入寄存器中；再次输入Start信号，码表清零并重新开始计时，依次输入Stop、Store信号，码表显示并存储最好的成绩记录。输入Reset信号，码表清零，并且最好的成绩记录清零。测试如图2-16-2所示。

使用Educoder平台对电路进行测试，测试结果如图2-16-3所示。

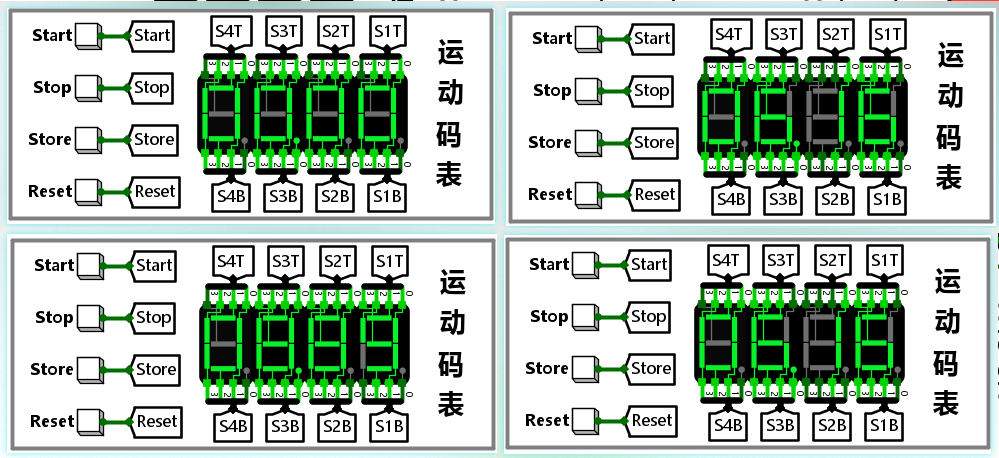


图2-16-2 运动码表测试

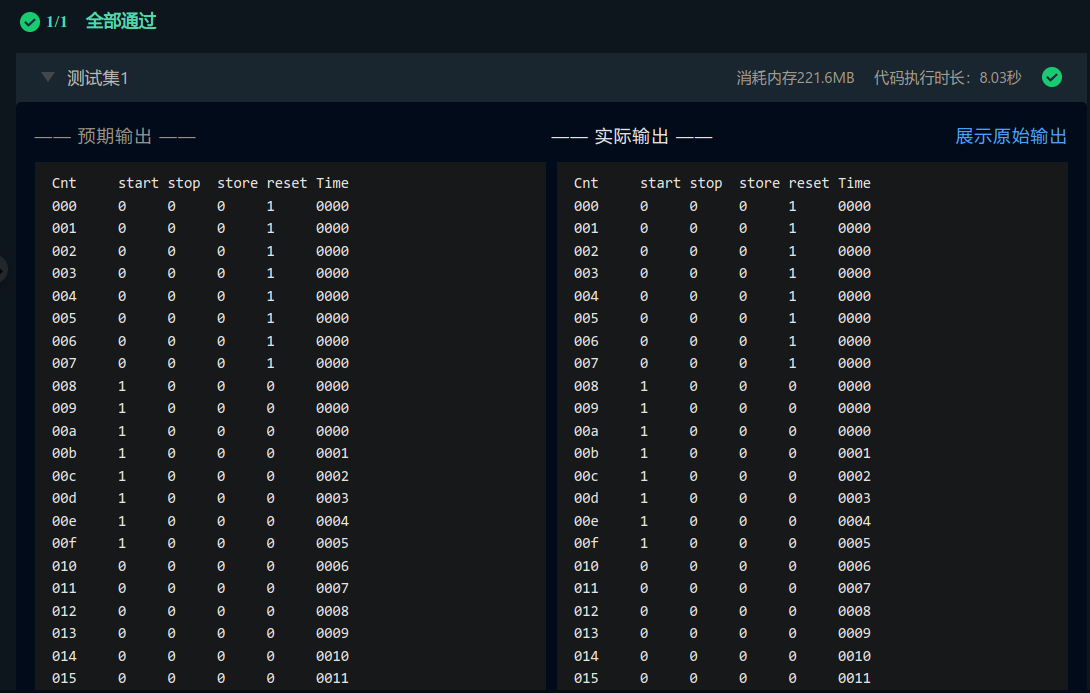


图2-16-2 Educoder平台测试

(4) 测试分析

在手动输入测试和使用Educoer平台的自动测试下，码表的计时、储存、控制功能均正常，说明电路的设计没有错误，电路功能满足实验要求。

# 设计总结与心得

## 实验总结

在实验中，通过设计运动码表，学习了Logisim软件的基本使用方法，能够使用Logisim设计简单的逻辑电路。实验通过闯关的方式，学习了二路选择器、计时器、寄存器等多种常用逻辑电路的功能和设计方法，对理论课中学习的相关器件的内容有了更深刻的理解。

实验里逻辑电路的设计包含了组合逻辑电路和同步时序逻辑逻辑电路，从分析电路的功能，再到设计电路的状态转换电路、输出函数电路，最后总装出符合要求的逻辑电路，通过模块设计的方式简化电路的设计过程。在多个电路的设计中，将功能复杂的模块拆分成功能简单设计方便的子模块，再将多个子模块进行组合得到满足要求的模块，例如1位多路选择器和16位多路选择器、1位十进制比较器和4位十进制比较器等，通过模块的复用，避免了大量重复的连线操作。

## 3.1.1遇到的问题及处理

设计1位2路选择器时，直接根据函数表达式Out=Sel X1 + X0 ~Sel绘制电路图，在手动输入测试时，电路的功能正常，但无法通过Educoer平台的自动化测试，仔细分析原因，分析输出函数的卡诺图，发现卡诺图中的两个卡诺圈相切，电路存在险象，因此在电路中增加了冗余项X1X0，增加冗余项后，输出函数表达式修改为Out=Sel X1 + X0 ~Sel + X1X0，重新绘制电路图后，成功通过了Educoer平台的自动化测试。

在设计4位十进制BCD计数器时，需要多个1位十进制BCD计数器进行组合，将低位计数器的进位信号作为高位计数器的脉冲输入，开始的设计中未考虑进位产生的时间，直接将地位进位信号作为高位的脉冲输入，导致计数器功能错误，地位计数到9的同时高位产生进位，与预期情况不符。经分析后发现，进位信号需要延迟一次脉冲信号后再作为高位计数器的输入脉冲，因此为电路添加了D触发器储存进位信号，再下一次时钟脉冲到来时，再将D触发器输出的信号作为高位计数器的输入脉冲信号。

## 3.1.2设计方案存在的不足

在该运动码表中，只能存储一个记录时间，而在实际运动过程中可能需要存储几个时间，并且在几个储存时间的模式中进行切换，所以这个设计方案还存在着一些不足。

## 实验心得

通过实验，学习了Logisim软件的基本使用方法，能够使用组合逻辑电路分析等工具将函数表达式、真值表等抽象表达转换为具体的逻辑电路，能够更好地分析逻辑电路的功能。实验中涉及到大量的常用逻辑电路器件，通过从0开始设计这些器件，加深了对这些逻辑电路的理解，在理论课程学习中也能够更好地分析电路的功能。实验里还学习了分析和设计组合逻辑电路、同步时序逻辑电路，将理论课程中学习的分析方法用到实验中，一方面加深了对逻辑电路分析和设计的知识，另一方面知道了该如何将理论知识用于实际应用中。

## 意见与建议

运动码表的设计实验使用Educoder平台进行自动化测试，自动化测试的数据包括了各种可能的情况，能够检测出电路存在的问题，但平台在测试后的输出结果不够直观，难以从错误情况中分析实际发生的错误，建议优化平台的输出结果，使用图形化或流程图等更直观的方式展示输出结果。

|  |
| --- |
| 原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  **作者签名：** |
|  |