

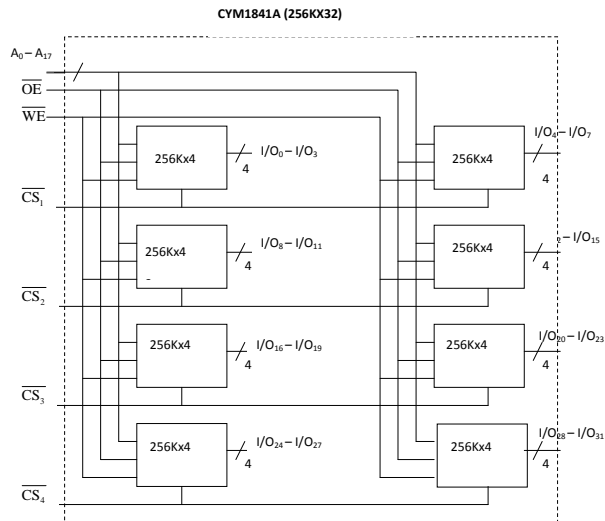
Estructuras de Computadores – (9166)

Examen (29 de Octubre de 2009)

Pregunta 1.

(1.5 puntos)

Disponemos de una memoria del tipo CYM1841A (256Kx32), cuyas características y tabla de funcionamiento se muestra anteriormente. Si el procesador al que debemos conectarla posee 20 líneas para generar las direcciones y una línea de lectura/escritura . Se pide:



- Diseñar el mapa de memoria, mediante decodificadores para direccionar 512Kx32, cuya primera dirección sea la 00000H.
- Diseñar el mapa de memoria, mediante decodificadores para direccionar 1Mx8, cuya primeradirección sea la 00000H.
- Diseñar un mapa de memoria, mediante decodificadores para direccionar 512Kx16, cuya primera dirección sea la 80000H.

Pregunta 2.

(0.5 puntos)

¿Se puede representar cualquier número entero de 32 bits como número en formato IEEE 754 en simple precisión? Razona la respuesta.

Pregunta 3.

(1 punto)

Obtener el resultado de la operación $A \times B$ y $A + B$ de los siguientes números representados en el formato IEEE 754. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de multiplicación y suma estudiado para números representados en el IEEE 754. Dar el resultado en hexadecimal.

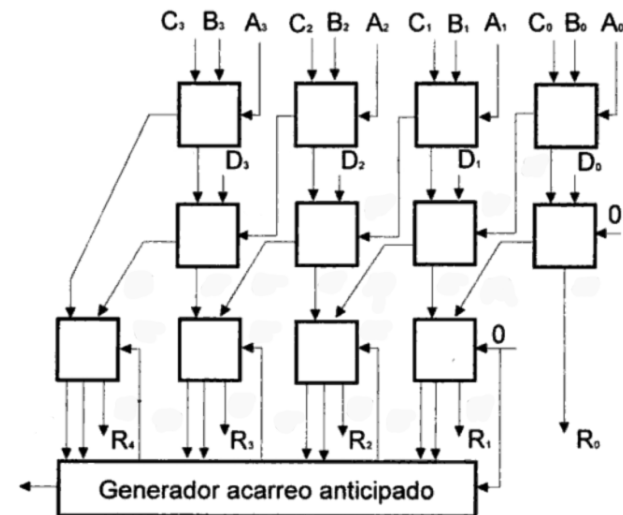
A = 42B00000

B = BF580000

Pregunta 4.

(1.5 puntos)

Dada la siguiente estructura de árbol de Wallace para 4 sumandos de 4 bits. Obtener el retardo teniendo en cuenta que los sumadores completos están implementados con semisumadores.



Pregunta 5.

(2 puntos)

Sea un procesador que trabaja a 100 MHz. Dispone de un sistema de entrada/salida que permite trabajar con varios dispositivos.

- Un lápiz óptico debe ser escrutado 50 veces por segundo para su correcto funcionamiento. Obtener el porcentaje de tiempo de CPU consumido en la operación de escrutinio de E/S controlada por programa sabiendo que en cada operación de escrutinio se necesitan 150 ciclos de reloj. (0.5 puntos)
- Un disco duro que transfiere datos al procesador a una velocidad de 100 Mbytes/seg en bloques de 64 Kbytes es conectado al sistema de entrada/salida mediante E/S controlada por DMA. Sabiendo que inicialmente una transferencia de DMA utiliza 1000 ciclos de reloj para el procesador y que el tratamiento de la interrupción a la terminación de un DMA necesita 500 ciclos de reloj para el procesador, ¿qué fracción del procesador se consume si el disco está transfiriendo activamente el 100% del tiempo? (1 punto)



Pregunta 6. (2 puntos)

En la figura 1 se muestra una ruta de datos de dos buses de 16 bits, los cuales pueden comunicarse a través del enlace CBus. Dispone de 16 registros de propósito general visibles al usuario agrupados en un banco, dos temporales A y B, el registro contador de programa (PC), el registro de instrucción (RI) y un registro R que permite la comunicación con la memoria. Las señales Ipc e Isp permiten el incremento de los registros PC y SP respectivamente y la señal Dsp el decremento de SP. En la figura 2 se muestra la descripción de algunas instrucciones que puede ejecutar. Todas ellas siguen un mismo formato que además del código de operación posee dos campos para indicar el número de los registros a utilizar y un campo para el modo de direccionamiento.

La ALU permite realizar las operaciones de suma, resta y transparente a A según el valor de la señal de control OP_UAL. El número de registro del Banco de Registros al cual queremos acceder se encuentra cableado directamente con el Registro RI a través de un multiplexor.

Para la realización del problema suponer que el coste del acceso a la memoria es de un ciclo de reloj (T) y que el acceso al banco de registros y las operaciones de la ALU se realizan en 1/2T. (en una fase pueden coincidir como máximo dos operaciones con coste 1/2T realizadas en serie). El coste del resto de los elementos de la ruta de datos es despreciable. Suponer que las escrituras en los registros se realizan por flanco de bajada.

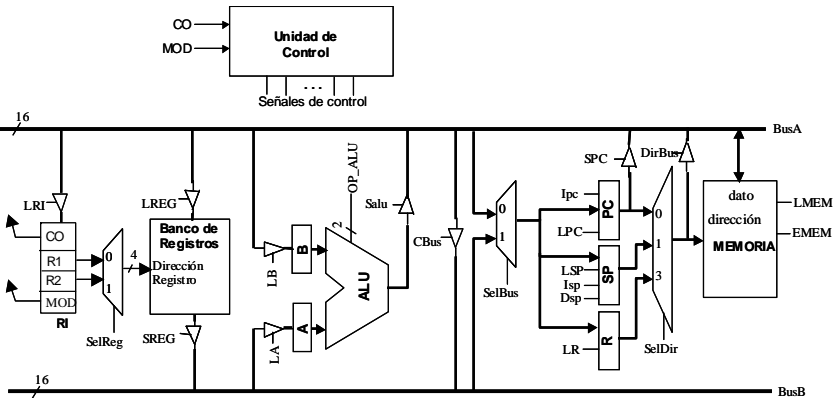


Figura1: Ruta de datos

Instrucción	MOD	Descripción
ADD R1,R2	00	$R1 \leftarrow R1 + R2$
CALL Reg	00	$M(SP) \leftarrow \text{dir regreso}$ $PC \leftarrow R1$ $SP \leftarrow SP + 1$
RET	00	$SP \leftarrow SP - 1$ $PC \leftarrow \text{dir regreso}$
OP_ALU	Resultado ALU	
00	A+B	
01	A-B	
10	A	
11	No utilizada	

16bits

CO	R1	R2
6bits	4bits	4bits

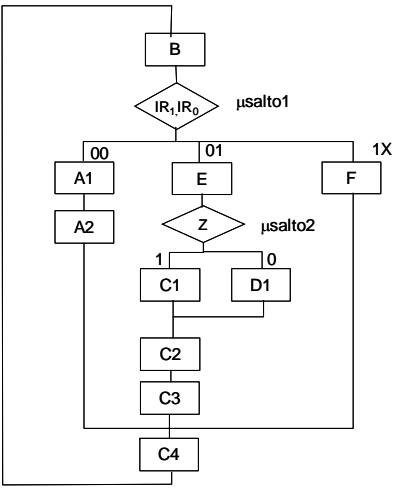
Figura 2: Descripción de las instrucciones, formato de instrucción y señales de control a la ALU

Describe las acciones (ejemplo $PC \leftarrow PC + 1$) y las señales de control que se activan para cada una de las instrucciones de la figura 2 con el **menor** número posible de ciclos de reloj.



Pregunta 7. (1.5 puntos)

Se pretende diseñar la unidad de control microprogramada para el organigrama de la figura. Suponer que las direcciones octales en la memoria de control de las microinstrucciones A1, E y F son 10, 14 y 16 respectivamente y las direcciones octales de C1 y D1 son 20 y 24. Suponer que la memoria de control comienza en la dirección 0.



- A) Suponiendo bitoring además de la optimización con la señal FIN:
- A1) (0,4 puntos) Rellena la memoria de control con el siguiente encabezamiento:
- | Dirección memoria | Microinstrucción |
|-------------------|------------------|
| | |
- A2) (0,4 puntos) Resuelve los correspondientes circuitos de Bitoring.
- A3) (0,2 puntos) Describe los distintos campos de las microinstrucciones de salto y especifica como quedarían las microinstrucciones de salto anteriores.
- B) Suponer que ahora se implementa la unidad de control microprogramada mediante la optimización del sumador.
- B1) (0,3 puntos) Rellena la memoria de control con el siguiente encabezamiento:
- | Dirección memoria | Microinstrucción | Tipo |
|-------------------|------------------|------|
| | | |
- B2) (0,2 puntos) Muestra la estructura hardware de la lógica de selección de direcciones.