



Estructuras de Computadores – (9166)

Examen (14 de Julio de 2010)

Pregunta 1.

(1.5 punto)

Dibujar la estructura interna de un circuito de anticipación de acarreo de 4 bits con el menor número de puertas. ¿Cuántas puertas se necesitan para obtener el acarreo C_i ?

Pregunta 2.

(1.5 puntos)

Se desea implementar el sistema de memoria de MANOTAS con la siguiente distribución:

ROM/BIOS	0000h 0FFFh
HUECO	1000h 1FFFh
RAM-VIDEO	2000h 3FFFh
RAM	4000h BFFFh
NO DIRECCIONABLE	C000h FFFFh

Consideraciones a tener en cuenta:

- Se dispone de EPROM 2Kx4 y DRAM 8Kx8.
- Emplear el menor número de módulos de memoria.
- Facilidad en posibles ampliaciones futuras de memoria.
- Conexiones EPROM (bus de direcciones, el bus de datos, \overline{CE} , \overline{OE})
- Conexiones DRAM (bus de direcciones, el bus de datos, \overline{CS} , \overline{OE} , \overline{WE})

Se pide:

- Mapa de memoria especificando los bits de dirección, las direcciones de cada bloque, su capacidad y tipo de memoria. (0,5 puntos)
- Diseño, con el menor número posible de chips, de las conexiones entre el procesador y las memorias, incluyendo todas las conexiones. (1 punto)

Pregunta 3.

(1.5 puntos)

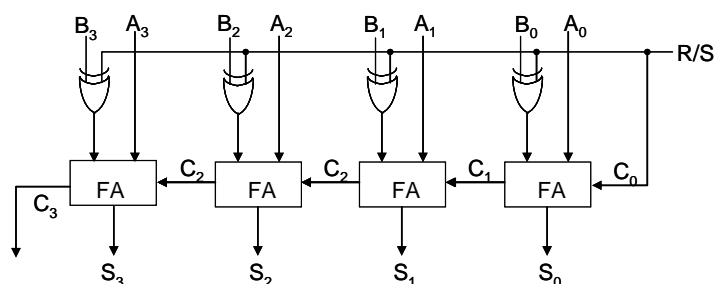
Contesta a las siguientes preguntas:

- Dada una memoria SRAM de 64KBytes cuya organización interna es $2D1/2$. Indica sus entradas y salidas del chip de memoria SRAM y dibuja su estructura interna.
- Una memoria posee un ciclo de refresco de 20ns y un ciclo de lectura de 40ns. Si en 2ms realiza 20 ciclos de refresco, ¿cuál es el porcentaje total del ciclo de memoria que se utiliza para el refresco?

Pregunta 4.

(1 punto)

(1 punto) Dado el circuito sumador-restador de la figura basado en un CPA, obtener el tiempo necesario para que realice la suma si los sumadores completos (FA) se construyen con semisumadores. Suponer que las puertas XOR tienen un retardo de $3T$, las puertas OR un retardo de $2T$ y el resto de puertas un retardo de T . Indicar los retardos para cada bit de suma y de acarreo.

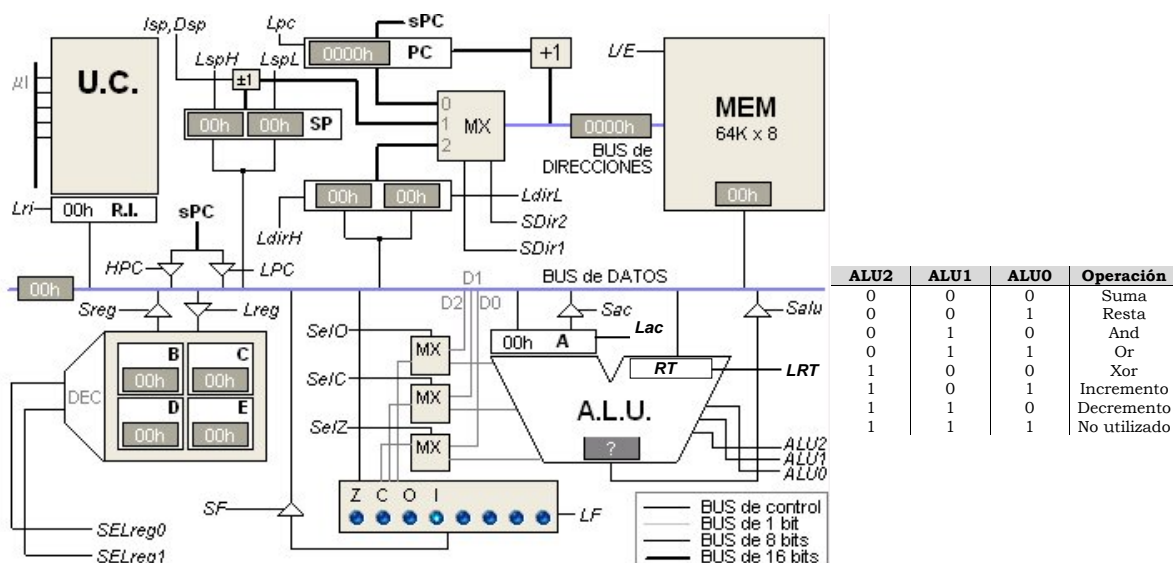


Pregunta 5.

(1.5 puntos)

Sea el procesador MaNoTaS estudiado en clase y queremos que ejecute la siguiente instrucción:

1.- ADDMX $M[D\&E] \leftarrow A + M[D\&E]; E \leftarrow E+1$



Se pide:

Describir las acciones y las señales de control que se activan en cada fase de ejecución de la instrucción ADDMX en el menor número de ciclos de reloj posible, suponiendo que la duración de cada fase de ejecución es de un ciclo de reloj.

Pregunta 6.

(1 punto)

Obtener el resultado de la operación $A+B$ y $A \times B$ en el formato IEEE 754 de los siguientes números representados en este formato. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de suma y multiplicación estudiado para números representados en el IEEE 754. Expresar el resultado en hexadecimal.

A= C1340000

B= 3F980000

Pregunta 7.

(2 puntos)

La siguiente ruta de datos realiza un sencillo algoritmo para lo cual se ha diseñado una unidad de control microprogramada que lo implementa. La unidad de control está basada en un sumador y tiene el aspecto de la figura 2. La codificación de las microinstrucciones es horizontal según el formato de la figura 3 y el microprograma se puede ver en la figura 4.

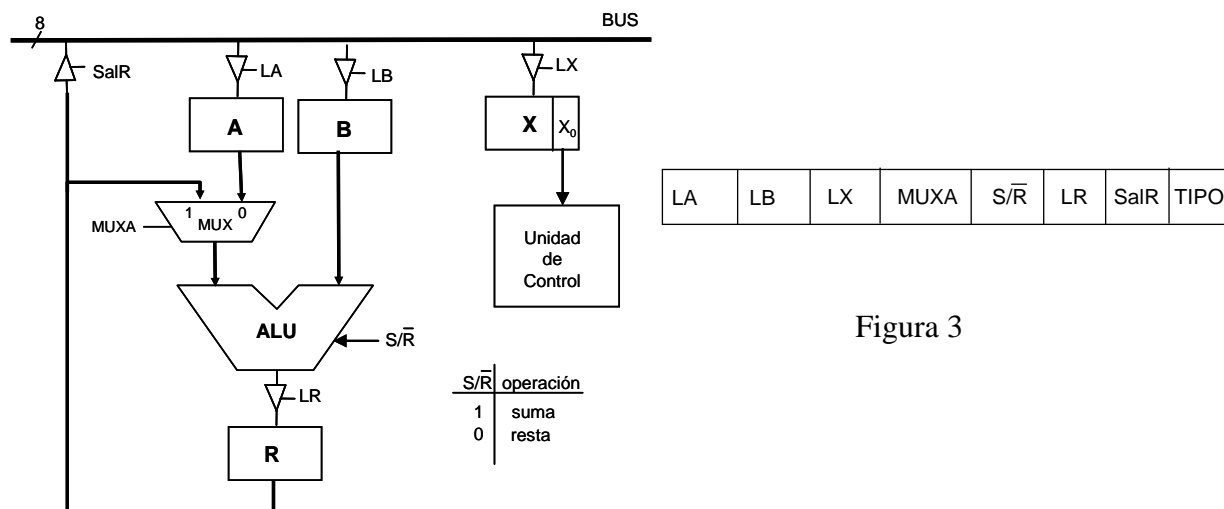


Figura 3

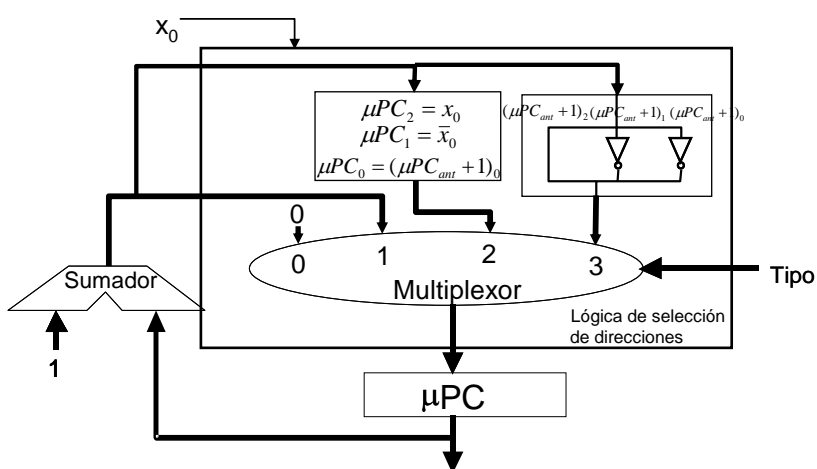


Figura 2

Dirección de Memoria (Hex)	μInstrucción
0 _h	101 _h
1 _h	081 _h
2 _h	042 _h
3 _h	009 _h
4 _h	004 _h
5 _h	019 _h
6 _h	03B _h

Figura 4

Se pide:

- (1.5 puntos) Obtener el grafo de estados o diagrama de fase que implementa la Unidad de Control microprogramada detallando las acciones que se realizan en cada una de ellas.
- (0.5 puntos) Describir el algoritmo que implementa la Unidad de Control.