

Estructuras de los Computadores (34010)

Tema 3. Unidad de Memoria

Soluciones de Problemas

Solución problema 1

a)

Debemos realizar un mapa de memoria de 512Kx32, teniendo en cuenta que la memoria que nos proporciona es una CYM1846 de 512Kx32 organizada de acuerdo al diagrama de bloques de la **¡Error! No se encuentra el origen de la referencia.**, necesitaremos una única pastilla, concatenando los bits de su salida I/O₀ a I/O₃₁ para conseguir los 32 bits de datos, además y de acuerdo a la tabla de verdad que nos indica el funcionamiento de dicho dispositivo, deberán unirse todas las patillas de selección de chip $\overline{CS}_1, \overline{CS}_2, \overline{CS}_3, \overline{CS}_4$ en una única a la que llamaremos \overline{CS} y que será la encargada de habilitarlo.

Además como el μP genera la señal R/\overline{W} debemos tener en cuenta que la lectura y escritura se hacen de acuerdo a la tabla antes mencionada por lo que a la señal \overline{WE} de la memoria le llegará directamente R/\overline{W} y a \overline{OE} invertida.

La tabla con el mapa de memoria sería la siguiente

A ₁₉	A ₁₈	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀	Dirección
0	0	0	0	0	0	0	0	0	0	0	00000h
0	1	1	1	1	1	1	1	1	1	1	7FFFFh

Con la línea A₁₉ podemos realizar la decodificación, e incluso prever la posible ampliación de memoria a 1Mx32 de manera que las conexiones se realizarían de la siguiente manera.

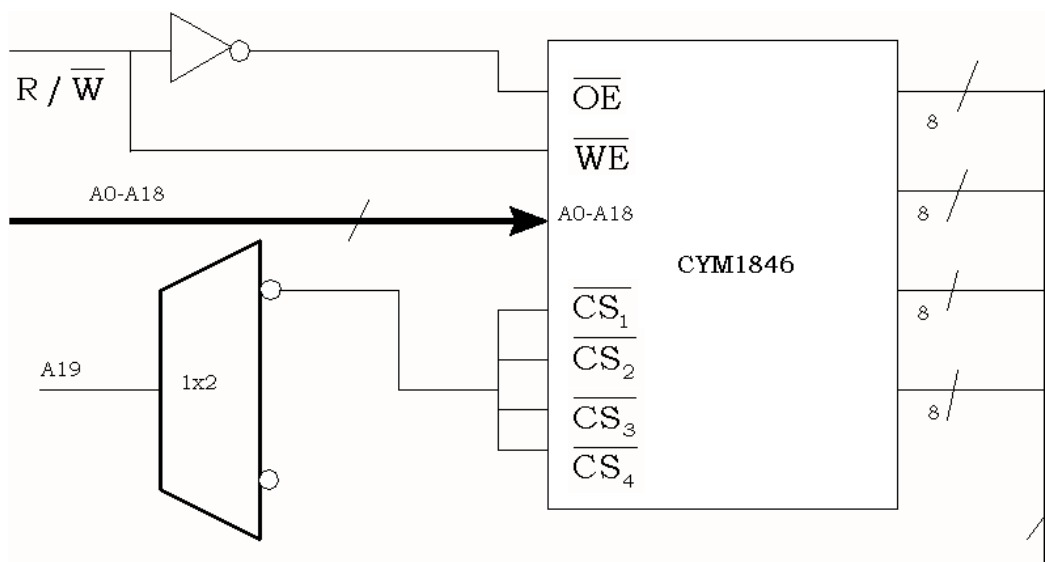


Diagrama de conexiones para conseguir una memoria de 512kx32

b)

Ahora hay que implementar una memoria de 1Mx16. Precisamente el diagrama interno de la memoria nos permite observar que, con una única memoria CYM1846 se puede conseguir la memoria solicitada, para lo cual será necesario unir dos a dos las líneas $\overline{CS}_1, \overline{CS}_2, \overline{CS}_3, \overline{CS}_4$, de manera que:

Uniendo \overline{CS}_1 y $\overline{CS}_2 = \overline{CS}_x$ conseguiremos una memoria de 512kx16 sin más que concatenar los bits de salida I/O₀ a I/O₁₅

Uniendo \overline{CS}_3 y $\overline{CS}_4 = \overline{CS}_y$ conseguiremos una memoria de 512kx16 sin más que concatenar los bits de salida I/O₁₆ a I/O₃₁

La señal R/\overline{W} debemos tener en cuenta que se controlará igual que en el apartado anterior, de acuerdo a la tabla de verdad, por lo que a la señal \overline{WE} de la memoria le llegará directamente R/\overline{W} y a \overline{OE} invertida.

La tabla con el mapa de memoria sería la siguiente

A ₁₉	A ₁₈	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀	Dirección
0	0	0	0	0	0	0	0	0	0	0	00000h
0	1	1	1	1	1	1	1	1	1	1	7FFFFh
1	0	0	0	0	0	0	0	0	0	0	80000h
1	1	1	1	1	1	1	1	1	1	1	FFFFFh

Con la línea A₁₉ podemos realizar la decodificación

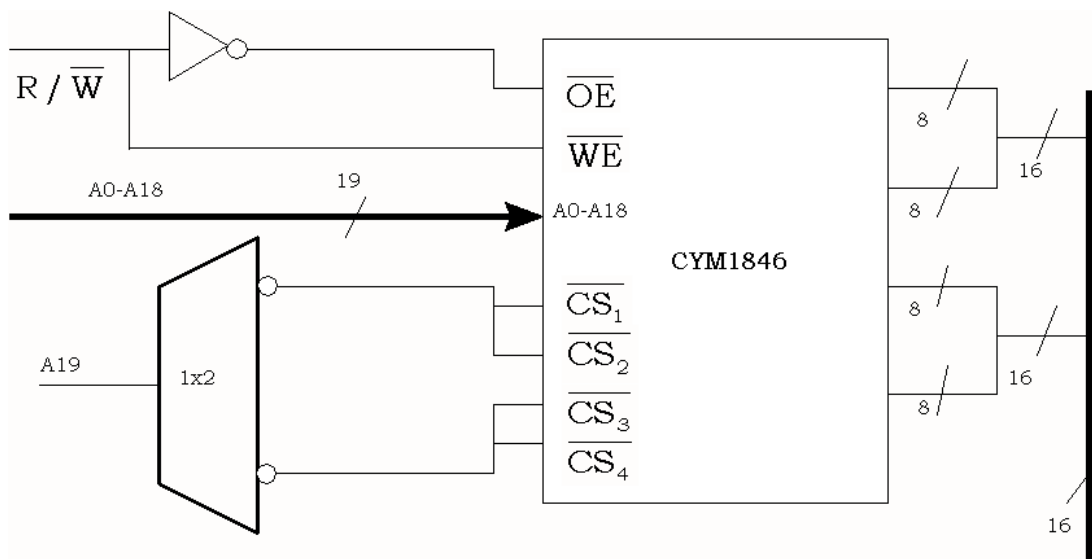


Diagrama de conexiones para conseguir una memoria de 1Mx16

- c) Ahora debemos implementar una memoria de 512Kx8 y que empiece en la dirección 80000h, lo que podremos hacer con una CYM1846 debido a que se encuentra constituida por bloques de 512Kx8.

Si construimos la tabla de verdad para el mapa de memoria pedido,

A ₁₉	A ₁₈	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀	Dirección
0	0	0	0	0	0	0	0	0	0	0	00000h
0	1	1	1	1	1	1	1	1	1	1	7FFFFh
1	0	0	0	0	0	0	0	0	0	0	80000h
1	1	1	1	1	1	1	1	1	1	1	FFFFFFh

Observamos que la dirección 80000h se puede controlar con A₁₉, de manera que cuando A₁₉=1 es cuando debemos habilitar uno de los cuatro bloques de la memoria CYM1846, luego el sistema de decodificación puede estar constituido por una simple puerta inversora (o por un decodificador en el que la salida 1 será la que utilicemos para habilitar el bloque de memoria). Las conexiones serán las siguientes.

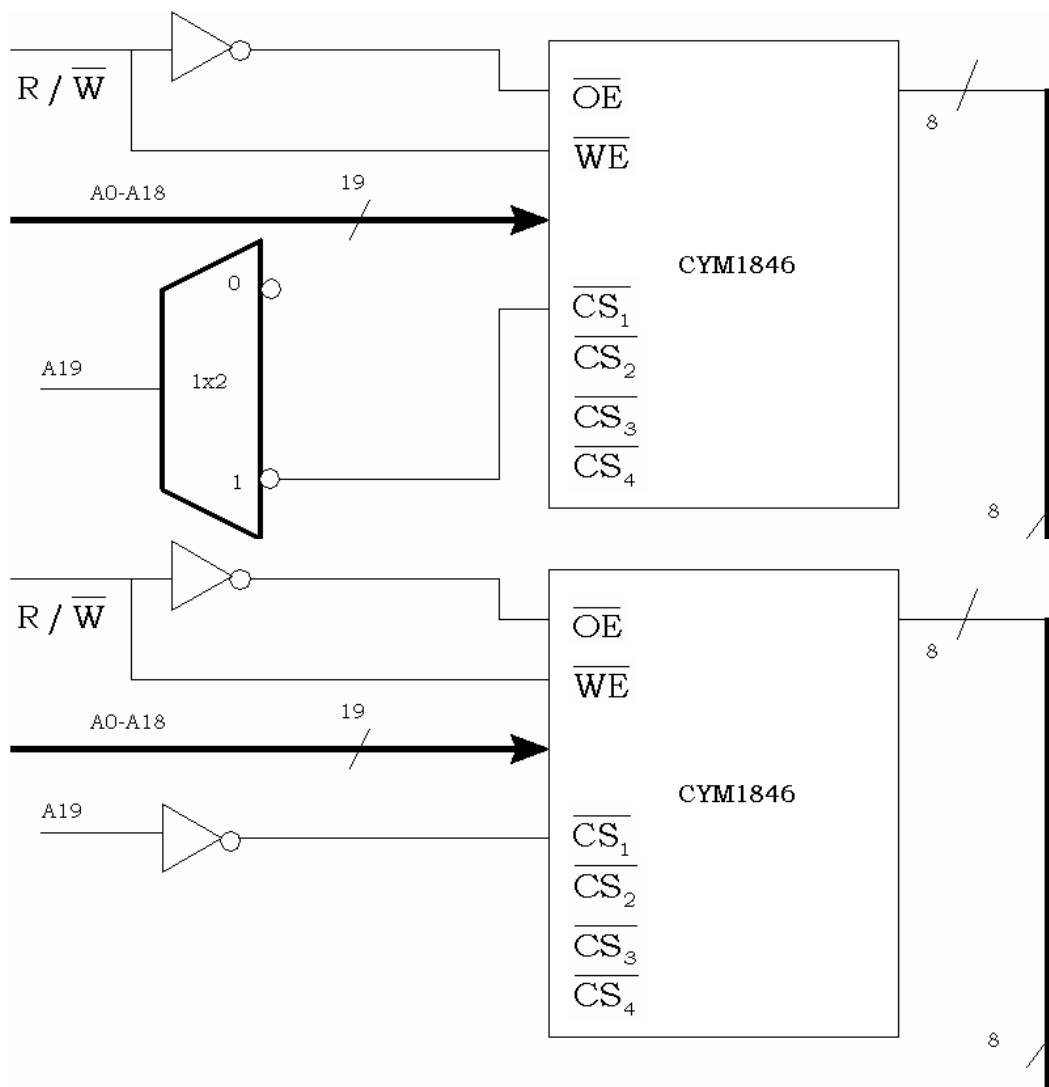


Diagrama de conexiones para conseguir una memoria de 512Kx8

Solución problema 2

a)

La memoria suministrada, CYM1841A, es de 256Kx32 lo que nos obliga a utilizar dos memorias de este tipo para conseguir los 512Kx32 pedidos, teniendo en cuenta que será necesario unir todas las patillas de selección de chip $\overline{CS}_1, \overline{CS}_2, \overline{CS}_3, \overline{CS}_4$ en una única a la que llamaremos \overline{CS} y que será la encargada de habilitarlo.

Además como el μP genera la señal R/\overline{W} debemos tener en cuenta que la lectura y escritura se hacen de acuerdo a la tabla antes mencionada por lo que a la señal \overline{WE} de la memoria le llegará directamente R/\overline{W} y a \overline{OE} invertida.

La tabla con el mapa de memoria sería la siguiente

Líneas de dirección de la memoria												Dirección	
A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀		
0	0	0	0	0	0	0	0	0	0	0	0	00000h	256K
0	0	1	1	1	1	1	1	1	1	1	1	3FFFFh	
0	1	0	0	0	0	0	0	0	0	0	0	40000h	256K
0	1	1	1	1	1	1	1	1	1	1	1	7FFFFh	

Observando la tabla podemos comprobar que con las líneas A₁₉ y A₁₈ se puede realizar la selección de cada una de las memorias de 256Kx32 (CYM1841A). Además, teniendo en cuenta que la capacidad de direccionamiento total del μP con el que estamos trabajando, es de 1Mx32, si realizamos la decodificación mediante un decodificador de 2x4 podremos asegurarnos una posible ampliación de memoria.

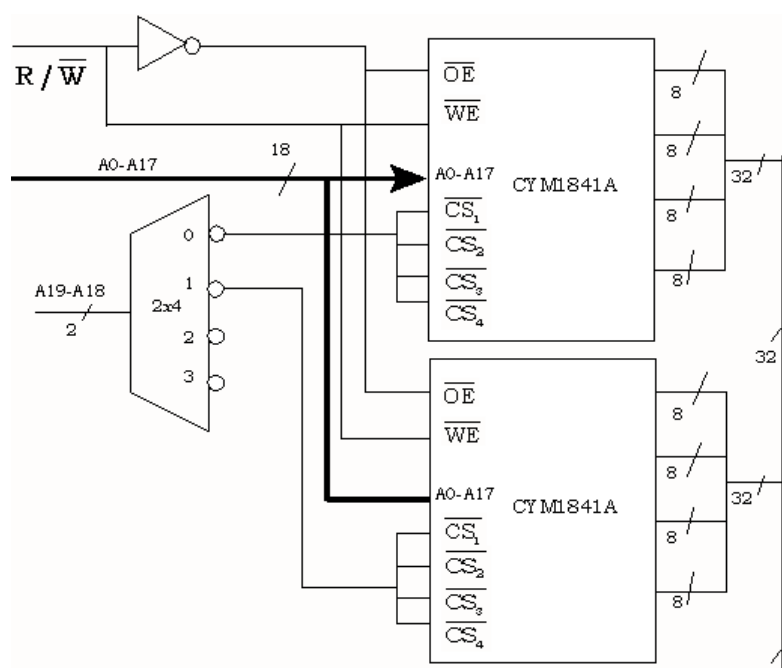


Diagrama de conexiones para una memoria de 512Kx32

b)

Debido a la estructura interna de la CYM1841A, se puede conseguir implementar una memoria de 1Mx8, para ello utilizaremos cada una de las líneas de selección \overline{CS}_x como líneas de habilitación de los bloques de memoria de 256Kx8, de manera que la tabla de verdad nos queda de la siguiente forma:

Líneas de dirección de la memoria												Dirección	
A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀		
0	0	0	0	0	0	0	0	0	0	0	0	00000h	256K
0	0	1	1	1	1	1	1	1	1	1	1	3FFFFh	
0	1	0	0	0	0	0	0	0	0	0	0	40000h	256K
0	1	1	1	1	1	1	1	1	1	1	1	7FFFFh	
1	0	0	0	0	0	0	0	0	0	0	0	80000h	256K
1	0	1	1	1	1	1	1	1	1	1	1	BFFFFh	
1	1	0	0	0	0	0	0	0	0	0	0	C0000h	256K
1	1	1	1	1	1	1	1	1	1	1	1	FFFFFh	

Por lo tanto realizaremos la selección mediante un decodificador de 2x4 como indica la **¡Error! No se encuentra el origen de la referencia.**

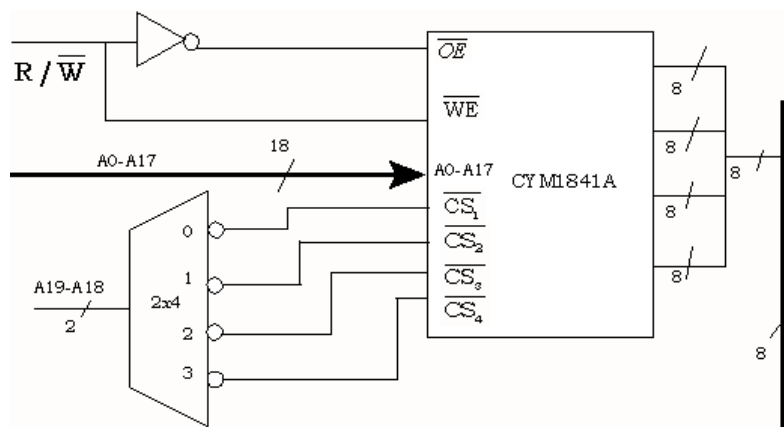


Diagrama de conexión de una memoria de 1Mx8

c)

Ahora debemos implementar una de 512Kx16, para lo cual uniremos dos a dos las señales de habilitación :

Uniendo \overline{CS}_1 y $\overline{CS}_2 = \overline{CS}_x$ conseguiremos una memoria de 512Kx16 sin más que concatenar los bits de salida I/O₀ a I/O₁₅

Uniendo \overline{CS}_3 y $\overline{CS}_4 = \overline{CS}_y$ conseguiremos una memoria de 512Kx16 sin más que concatenar los bits de salida I/O₁₆ a I/O₃₁

La señal R/\overline{W} debemos tener en cuenta que se controlará igual que en el apartado anterior, de acuerdo a la tabla de verdad, por lo que a la señal \overline{WE} de la memoria le llegará directamente R/\overline{W} y a \overline{OE} invertida.

La tabla con el mapa de memoria sería la siguiente

Líneas de dirección de la memoria												Dirección	
A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₂	A ₁₁	A ₈	A ₇	A ₄	A ₃	A ₀		
0	0	0	0	0	0	0	0	0	0	0	0	00000h	256K
0	0	1	1	1	1	1	1	1	1	1	1	3FFFFh	
0	1	0	0	0	0	0	0	0	0	0	0	40000h	256K
0	1	1	1	1	1	1	1	1	1	1	1	7FFFFh	
1	0	0	0	0	0	0	0	0	0	0	0	80000h	256K
1	0	1	1	1	1	1	1	1	1	1	1	BFFFFh	
1	1	0	0	0	0	0	0	0	0	0	0	C0000h	256K
1	1	1	1	1	1	1	1	1	1	1	1	FFFFFh	

Hay que tener en cuenta que nos dicen que la memoria debe empezar en la dirección 80000h, esto nos obliga a utilizar un decodificador de 2x4, cuyas entradas serán las líneas A₁₉ y A₁₈ y con las salidas correspondientes a las combinaciones 10 y 11 controlar la habilitación de la memoria.

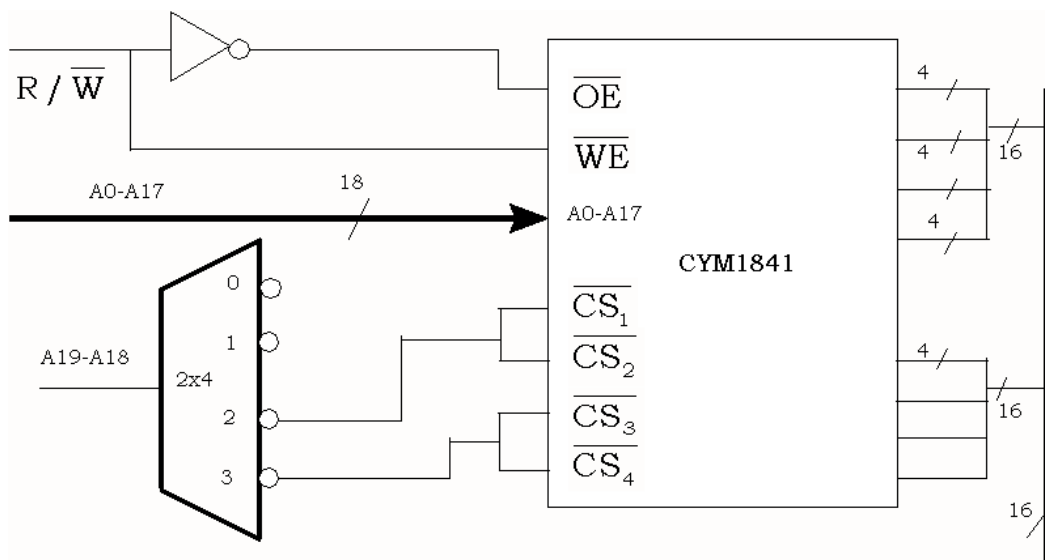


Diagrama de conexiones de una memoria de 512x16 a partir de la 80000h