



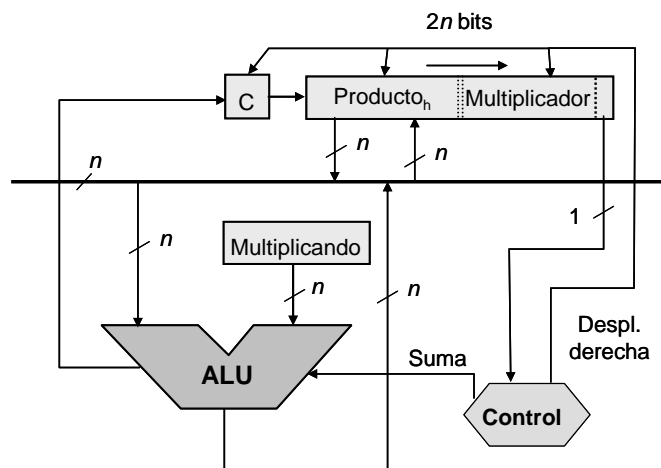
## Estructuras de Computadores – (9166)

### Examen (9 de Febrero de 2007)

#### Pregunta 1.

(1 punto)

El siguiente circuito permite realizar la multiplicación de números binarios sin signos.



- A) (0,5 puntos) Escribir el algoritmo que debe seguir el circuito para que se puedan multiplicar dos números de  $n$  bits.
- B) (0,5 puntos) Suponer que se desean multiplicar los números de 4 bits  $A=1001$  y  $B=0101$ . Rellenar una tabla con la traza de la multiplicación cuya cabecera sea como la que se adjunta.

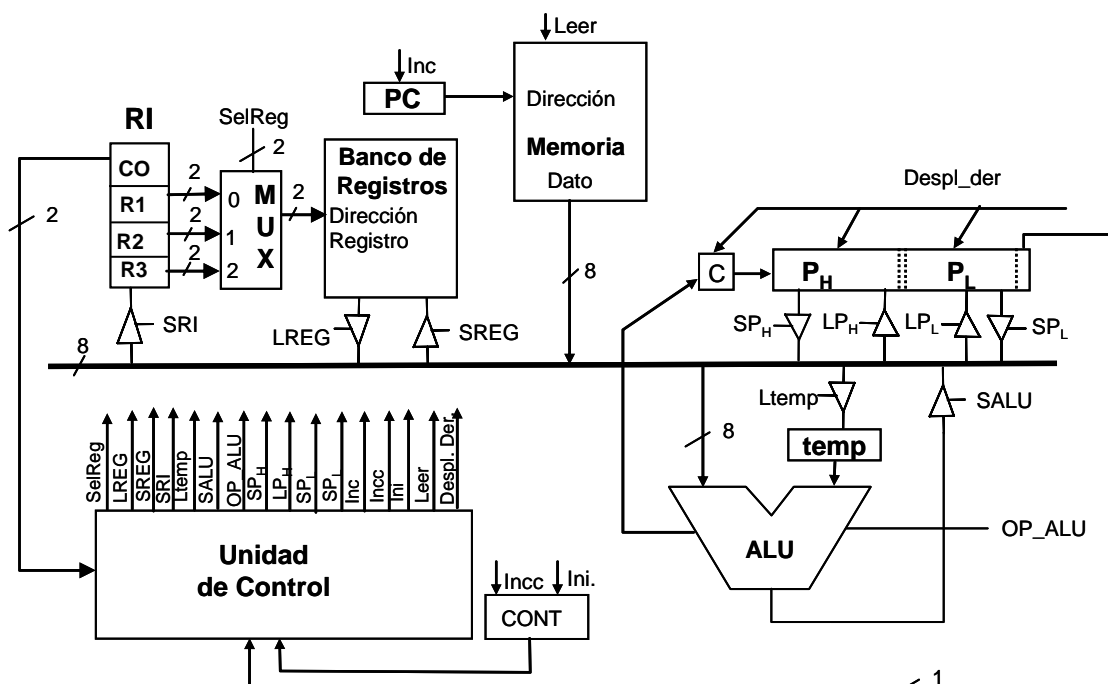
Iteración	C	Multiplicando	Producto <sub>h</sub>	Multiplicador	Acción
0					Valores iniciales

#### Pregunta 2.

(2 puntos)

Suponer ahora la siguiente ruta de datos de 8 bits que incluye el circuito multiplicador anterior. Se ha añadido un registro adicional (CONT) para poder conocer la iteración en la que nos encontramos durante la multiplicación; este registro tiene dos señales de control que permiten poner a cero o incrementar su contenido. Suponer que el tiempo de acceso al banco de registros es **despreciable**, es decir, la ruta permite realizar operaciones con la ALU y acceso al Banco de Registros en el mismo ciclo de reloj. A la memoria solo se puede acceder para leer.

En la figura también se muestra las tres instrucciones que puede ejecutar la ruta, el formato de las instrucciones y las señales de control a la ALU. Fijaros que el resultado de la multiplicación se guarda en dos registros distintos,  $R_1$  y  $R_2$ , en el primero la parte alta del resultado y en el segundo la parte baja.



CO	Operación	Acción
00	Suma	$R_1 \leftarrow R_2 + R_3$
01	Resta	$R_1 \leftarrow R_2 - R_3$
11	Multiplicación	$R_1 \& R_2 \leftarrow R_2 \times R_3$ $\left( R_1 \leftarrow (R_2 \times R_3)_H \right)$ $\left( R_2 \leftarrow (R_2 \times R_3)_L \right)$

Formato de instrucción			
CO	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>
2 bits	2 bits	2 bits	2 bits
OP_ALU		Operación ALU	
0		Operando + TEMP	
1		Operando - TEMP	

Se pide:

- (0,5 puntos) Organigrama de las fases de ejecución de las instrucciones con lenguaje de transferencia de registros (ej:  $PC \leftarrow PC+1$ ). Suponer que cada fase se ejecuta en un ciclo de reloj.
- (0,5 puntos) Rellenar la función de salida para la instrucción SUMA. (en la siguiente hoja)
- (0,5 puntos) Si se quisiera implementar la unidad de control microprogramada con direccionamiento implícito mediante bitoring y con la optimización de la señal FIN. ¿Cómo quedaría la memoria de control?. Suponiendo 4 bits para la dirección de memoria, rellena la memoria con el siguiente encabezamiento:

Dirección memoria	Microinstrucción

- (0,5 puntos) Resuelve los correspondientes micros saltos



Ciclo de reloj Señales de control	1	2	3	4	5	6	7	8
Sel_reg								
Lreg								
Sreg								
SRI								
Ltemp								
SALU								
OP_ALU								
SPH								
LPH								
SPL								
LPL								
Inc.								
Incc.								
Ini.								
Leer								
Despl._der.								

### Pregunta 3.

(1 punto)

Responde brevemente a las siguientes cuestiones.

- (a) ¿Para qué sirve la señal DMA ACK?. (0.25 puntos)
- (b) En un circuito sumador-restador de 4 bits, ¿cómo se detecta el overflow?. (0.25 puntos)
- (c) Desde el punto de vista del transductor del soporte, ¿en qué se diferencia una memoria estática de una dinámica? (0.25 puntos)
- (d) En una memoria asociativa, ¿Qué contiene el registro de marca? (0.25 puntos)



#### Pregunta 4.

(2.5 puntos)

Actualmente se está trabajando en el diseño de un nuevo computador: el EC2007. La especificación del EC2007 determina que será un computador que acepta la multiprogramación (coexistencia de varios programas en memoria). Los programas que puede ejecutar el EC2007 tendrán un máximo de 4.096 instrucciones máquina y la multiprogramación estará limitada a un máximo de 4 programas en ejecución. Las instrucciones máquina tienen una codificación fija y única de 2 bytes que será el tamaño de la palabra de memoria (la memoria será accesible por palabra). Los datos de los programas pueden ser: enteros (2 bytes) o flotantes (4 bytes). Estos datos podrán almacenarse en la memoria con la única restricción de que podrán almacenar hasta un máximo de 16.384 enteros ó 8.192 flotantes. El interfaz de video consta de una pantalla de 256 x 64 píxeles en color de 16 bits con acceso a través de RAM-VIDEO (mapeado en memoria). Por último, el acceso a los dispositivos de E/S no comparten el espacio de direcciones con la memoria (E/S independiente). Al EC2007 podremos conectar hasta 256 dispositivos diferentes. Se pide:

- Mapas de memoria y de entrada/salida especificando los bits de dirección, las direcciones de cada bloque, su capacidad y tipo (0.75 puntos).
- Diseño, con el menor número posible de chips, de las conexiones entre el procesador y las memorias incluyendo todas las conexiones. (1.75 puntos)

Nota: La memoria para datos, programa y video se realiza con una DRAM 8Kx8. Las conexiones con la DRAM deben contemplar el bus de direcciones, el bus de datos y la lógica  $\overline{CS}$ ,  $\overline{OE}$  y  $\overline{WE}$ .

#### Pregunta 5.

(2.5 puntos)

Sea un procesador que trabaja a 100 MHz. Dispone de un sistema de entrada/salida que permite trabajar con varios dispositivos.

- Un lápiz óptico debe ser escrutado 50 veces por segundo para su correcto funcionamiento. Obtener el porcentaje de tiempo de CPU consumido en la operación de escrutinio de E/S controlada por programa sabiendo que en cada operación de escrutinio se necesitan 150 ciclos de reloj. (0.5 puntos)
- Un CDROM que transfiere datos al procesador en unidades de 32 bits a una velocidad de 1200Kbytes/seg es conectado al sistema de entrada/salida mediante E/S controlada por interrupciones. Sabiendo que el CDROM transfiere únicamente el 5% del tiempo de la operación de entrada/salida, obtener la fracción consumida por el procesador en la operación de entrada/salida teniendo en cuenta que el gasto para cada transferencia, incluyendo la interrupción, es de 150 ciclos de reloj. (1 punto)
- Un disco duro que transfiere datos al procesador a una velocidad de 100 Mbytes/seg en bloques de 64 Kbytes es conectado al sistema de entrada/salida mediante E/S controlada por DMA. Sabiendo que inicialmente una transferencia de DMA utiliza 1000 ciclos de reloj para el procesador y que el tratamiento de la interrupción a la terminación de un DMA necesita 500 ciclos de reloj para el procesado, ¿qué fracción del procesador se consume si el disco está transfiriendo activamente el 100% del tiempo? (1 punto)

#### Pregunta 6.

(1 punto)

Completar la siguiente tabla, empleando el algoritmo de Booth, que permite realizar la multiplicación de 3 por -2.

Producto	$q_{-1}$	Acción	Iteración
00001110	0	Inicio	0