



Estructuras de Computadores – (34010)

Examen (8 de Junio de 2017)

Pregunta 1.

(2 puntos)

Se cuenta con un sumador con anticipación de acarreo por pasos. Se desean sumar los dos número de 16 bits siguientes representados en binario.

A = 0001 1010 0011 0011 y B=1110 0101 1110 1011

Calcúlense los valores de los gi, pi y del acarreo C4. Se supone un acarreo de entrada c0=1.

Pregunta 2.

(2 puntos)

- Describe los tres buses de un computador. Indican qué interconectan cada uno y qué contienen (0.5 puntos).
- ¿Qué diferencias hay entre el acceso aleatorio y el acceso directo? Pon un ejemplo de cada tipo. (0.5 puntos).
- Dibuja el diagrama de conexiones interno y externo del banco de registros de MIPS 32 bits. (1 punto).

Pregunta 3.

(2 puntos)

Un computador posee una CPU de 20 bits de bus de direcciones, de 32 bits de longitud de palabra y señal de lectura/escritura: \overline{R}/W . Se desea conectar esta CPU a una memoria con las siguientes características:

- 128K x 32 de memoria ROM empezando en la posición 30000H de la memoria del computador.
- 64K x 32 de memoria VRAM comenzando a continuación de la memoria ROM anterior.
- 256K x 32 de memoria RAM comenzando en la posición 70000H de la memoria del computador.

Se dispone de los siguientes tipos de chips de memoria para elegir:

RAM	ROM	VRAM
512K x 1	128K x 16	32K x 16
128K x 4	64K x 8	16K x 32
64K x 16	32K x 8	
Selección chip RAM: CS Señal de Lectura RAM: \overline{OE} Señal de Escritura: \overline{WE}	Selección chip ROM: \overline{CS} Señal de Lectura ROM: OE	Selección chip RAM: \overline{CS} Señal de Lectura RAM: \overline{OE} Señal de Escritura: WE

Se pide:

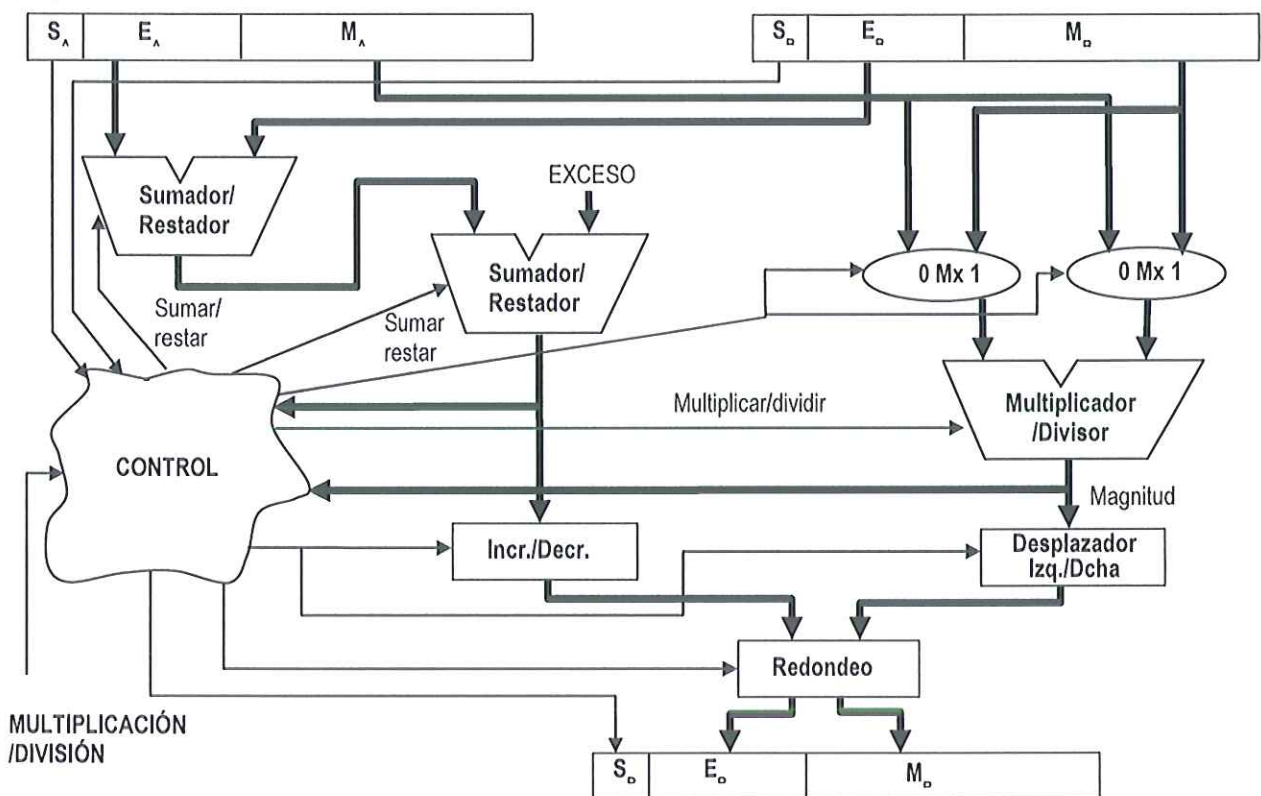
- Diseñar el mapa de memoria del problema utilizando el menor número de chips posible de entre que aparecen en el cuadro anterior (según el tipo de memoria necesaria) e indicando, en hexadecimal, las direcciones de comienzo y fin de la RAM, de la VRAM y de la ROM. (1 pto.)
- Realizar el diagrama de conexiones completo de la CPU con esta memoria utilizando decodificadores y las puertas lógicas necesarias. (1 pto.)



Pregunta 4.

(2 puntos)

Se quiere utilizar un esquema como el de la figura correspondiente a un multiplicador/divisor de números expresados en coma flotante para realizar A/B . La expresión decimal de los números a operar es: $A=18.75$ y $B=-15$. Su representación hexadecimal en IEEE754 en simple precisión se corresponde con 41960000 y C1700000, respectivamente.



Indica los pasos que se llevarían a cabo en este circuito para realizar de forma correcta la operación y los valores que irían quedando en cada uno de los registros que la componen durante la ejecución hasta su finalización.



Pregunta 5.

(2 puntos)

5.1.- (0,8) Se quiere ejecutar la siguiente instrucción con formato tipo I y código de operación 8_{10} en la ruta de datos monociclo: $addi\ rt,\ rs,\ imm\ \#rt \leftarrow rs + imm$

En particular, el contenido de la posición de memoria de instrucciones 1996_{10} es $0x21EF0004$. Se quiere mostrar lo que ocurre durante su ejecución en la ruta de datos de la figura 1, para ello rellena las partes del diagrama señaladas con el símbolo ? con los valores **en decimal** que contendrán. Si no se conoce el valor, coloca una X. Supón el siguiente contenido en decimal de los registros:

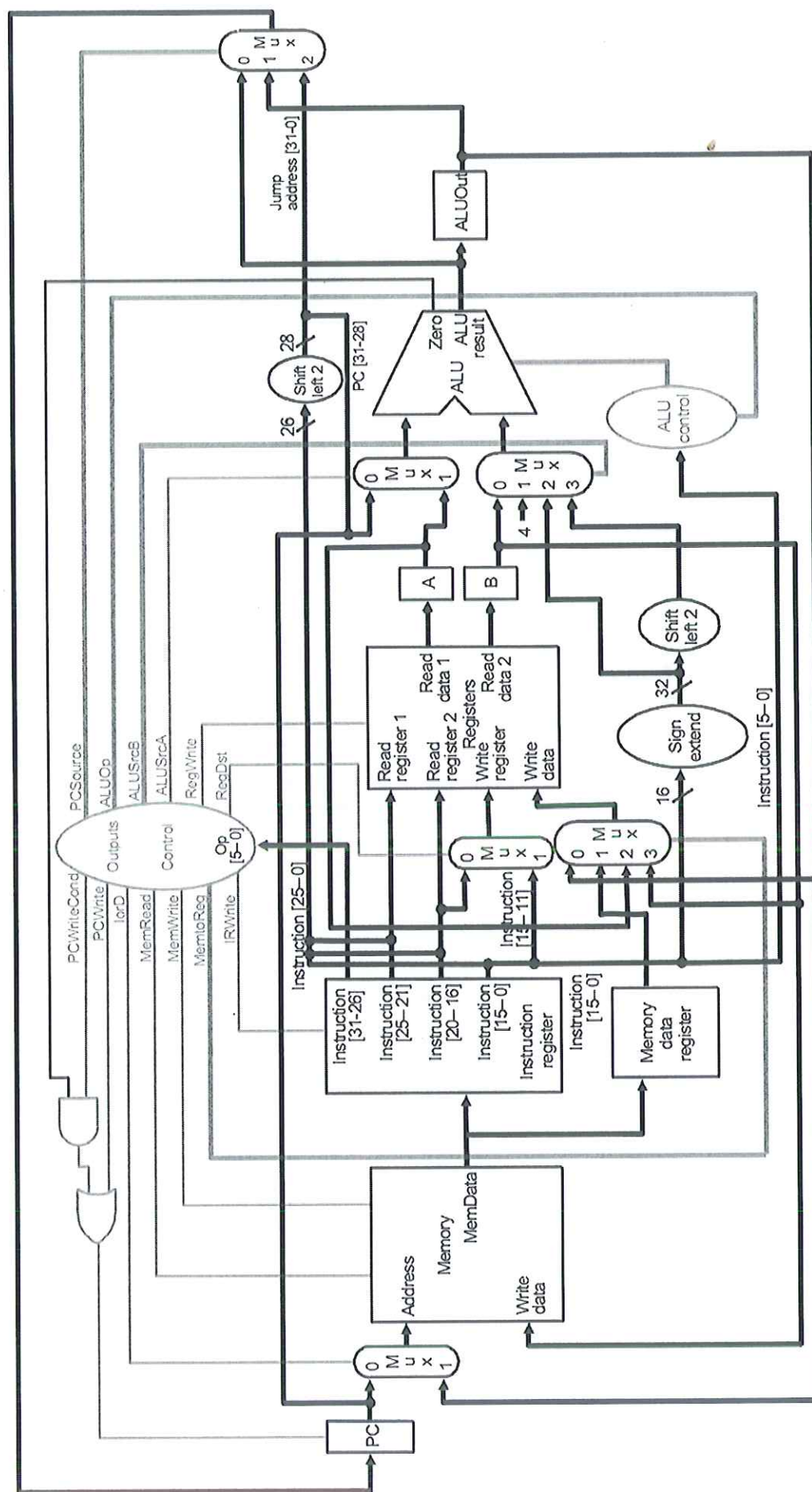
\$0	\$1	\$2	\$3	\$12	\$13	\$15	\$16	\$20	\$31
0	1	-2	32	4	100	19	26	-32	-1

Indica también el valor de las señales de control para que se ejecute la instrucción.

5.2.- (1.2 puntos) En la figura 2 se muestra la ruta de datos multiciclo del MIPS a la que se han realizado unas pequeñas modificaciones para que se pueda ejecutar también una nueva instrucción, **swap**, que permite intercambiar los valores de dos registros. La instrucción sigue el formato tipo R en el que $rd=rs$ y tiene la siguiente forma general:

swap rs, rt # $rt \leftarrow rs$
 # $rs \leftarrow rt$

- Obtén las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: $PC \leftarrow PC + 4$) así como el valor de las señales de control que se activarán en la ejecución de la nueva instrucción. Intenta que la instrucción se ejecute con el menor número posible de ciclos de reloj. (0,8 puntos)
- ¿Influyen los cambios realizados en la ruta de datos en el diseño de la unidad de control en la ejecución del resto de las instrucciones?. Es decir, ¿cambiarán las acciones a realizar en cada ciclo y la activación de las señales de control? Razona la respuesta (Considera que las instrucciones que se pueden ejecutar en la ruta de datos son swap, add, sub, lw, sw y beq) (0,4 puntos)





R	op	rs	rt	rd	shamt	funct
I	op	rs	rt		displ	
J	op				direcc	

Formatos de instrucción

HOJA DE SOLUCIONES A ENTREGAR

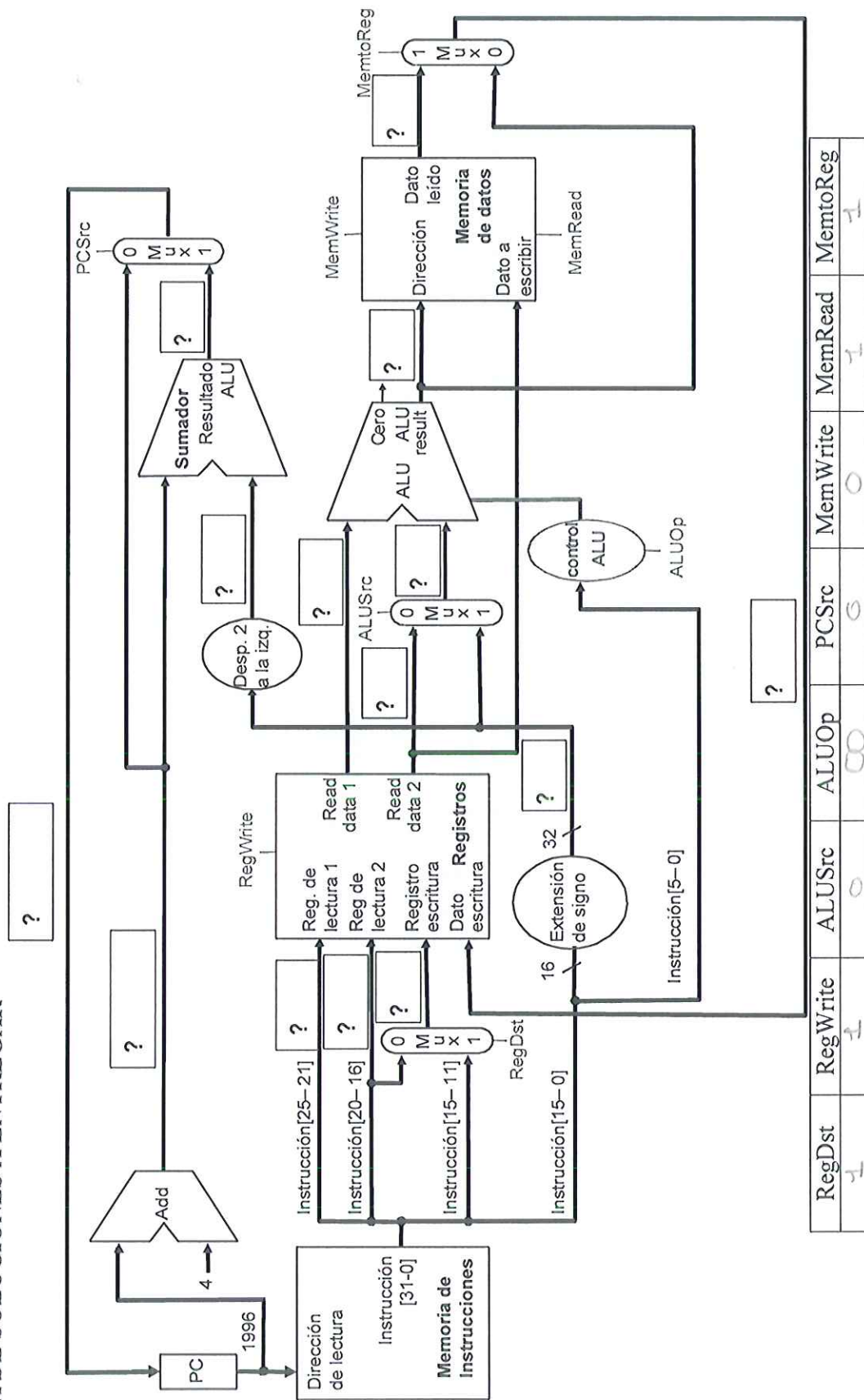


Figura 1. Ruta de datos monoprocesador y tabla de señales de control a rellenar.

Estructuras de Computadores – (34010)

Examen (4 de Julio de 2017)

Pregunta 1.

(2 puntos)

Obtener el resultado de la operación $A+B$ y $A \times B$ en el formato IEEE 754 de los siguientes números representados en este formato. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de suma y multiplicación estudiado para números representados en el IEEE 754. Expresar el resultado en hexadecimal:

A= 0x41982000

B=0xBE8C0000

A 01000001100110000010 0000 0000 0000
B 10111101001110000000 0000 0000 0000

BIO A
 101 B
 1100 C
 1101 D
 1100 E
 1101 F

Pregunta 2.

(2 puntos)

- a) Describe dos métodos en los que puede estar basada la implementación de una unidad de control (1 punto).
- b) Describe el algoritmo LRU. Teniendo en cuenta que la memoria cache tiene 6 líneas, aplica el algoritmo a las siguientes referencias a bloques: 1,2,3,4,2,1,5,6,2,1,2,3,7,6,8,2,1,9,3,6 (1 punto).

Pregunta 3.

(2 puntos)

Un computador posee una CPU de 19 bits de bus de direcciones y de 32 bits de longitud de palabra y señal de lectura/escritura: R/\overline{W} . Se desea conectar esta CPU a una memoria con las siguientes características:

- 128K x 32 de memoria ROM situada en las primeras posiciones (empezando en 00000H) de la memoria del computador.
- 256K x 32 de memoria RAM situada a continuación de la ROM del computador.

Se dispone de los siguientes tipos de chips de memoria para elegir:

RAM	ROM
256K x 1	64K x 32
128K x 8	128K x 4
32K x 16	
Selección chip RAM: CS Señal de Lectura RAM: \overline{OE} Señal de Escritura: \overline{WE}	Selección chip ROM: \overline{CS} Señal de Lectura ROM: \overline{OE}

Se pide:

- Diseñar el mapa de memoria descrito utilizando el menor número de chips posible de entre los que aparecen en el cuadro anterior. (1 pto.)
- Realizar el diagrama de conexiones completo de la CPU y la memoria según la especificación, utilizando sólo 1 decodificador y las puertas lógicas necesarias. (1 pto.)



Pregunta 4.

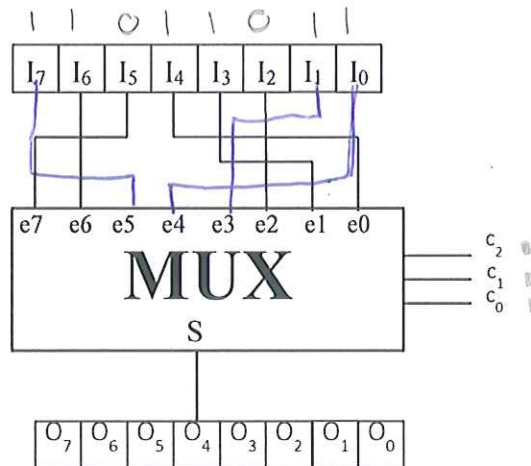
(2 puntos)

El circuito de la figura representa uno de los ocho elementos que conforman un desplazador lógico construido con multiplexores para trabajar con datos de tamaño byte. En concreto, el correspondiente al bit O_4 . El desplazador utiliza las entradas de selección del multiplexor (C_2, C_1, C_0) para indicar el número de lugares a desplazar utilizando notación en complemento a 2. Un valor positivo colocado en ellas indica directamente el número de lugares a desplazar a la izquierda; un valor negativo indica la cantidad a desplazar a la derecha. Si colocamos en las entradas ($I_7, I_6, I_5, I_4, I_3, I_2, I_1, I_0$) el valor 11011011, indica **razonadamente** (en otro caso no se valorará) qué valor obtendríamos en bit O_4 de la salida y a qué entrada I_x corresponde para los siguientes casos:

- a) $C_2, C_1, C_0 = 001$ 129 1
- b) $C_2, C_1, C_0 = 111$ Der 9
- c) $C_2, C_1, C_0 = 101$ Der 1

10110111 bit $O_4 = 1$
01110111 bit $O_4 = 1$
11011011 bit $O_4 = 0$

Realiza un circuito con puertas lógicas que realice la misma función que el multiplexor y que lo pueda sustituir.





Pregunta 5.

(2 puntos)

5.1 (0.8 puntos) El código de operación de las instrucciones lw, sw y beq es respectivamente 0x23, 0x2B y 0x04. Suponiendo que el contenido del registro Contador de Programa es 2000₁₀, muestra lo que ocurrirá en la ruta de datos monociclo de la figura 1 con la instrucción que se va a ejecutar. Para ello rellena las partes del diagrama señaladas con el símbolo ? con los valores **en decimal** que contendrán. Si no se conoce el valor, coloca una X.

Considera que toda la memoria de datos está iniciada a cero y que el contenido de los registros (en decimal) y de la memoria de instrucciones (en hexadecimal) es el siguiente:

Registros										Memoria	
\$0	\$1	\$2	\$3	\$12	\$13	\$15	\$16	\$20	\$31	Dirección	Valor
0	1	-2	32	4	100	19	26	-32	-1	1996 ₁₀	0x21EF0004
										2000 ₁₀	0xADAF0008
										2004 ₁₀	0x8C431010

Indica también el valor de las señales de control para que se ejecute la instrucción.

5.2.- (1.2 puntos) En la figura 2 se muestra la ruta de datos multiciclo del MIPS a la que se han realizado unas pequeñas modificaciones para que se pueda ejecutar también una nueva instrucción, **Ldoble** que permite leer los datos de dos posiciones consecutivas de la memoria y guardarlos en dos registros especificados. La instrucción sigue el formato tipo R y tiene la siguiente forma general:

Ldoble rt, rd, rs # rt ← M[rs];
 # rd ← M[rs + 4];

- Obtén las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: PC ← PC + 4) así como el valor de las señales de control que se activarán en la ejecución de la nueva instrucción. Intenta que la nueva instrucción se ejecute **con el menor** número posible de ciclos de reloj. (1 punto)
- ¿Cambiarán las acciones a realizar o las señales de control que se han de activar en cada ciclo de reloj para la instrucción Lw?. (0,2 puntos)

Pablo Gemedes Serrano

