



Estructuras de Computadores – (9166)

Examen (10 de Julio de 2008)

Pregunta 1.

(2.5 puntos)

Dado un computador de 32 bits que trabaja a 100 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina y cada operación de lectura o escritura en memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia, en bytes por segundo, para los siguientes casos:

- (a) Entrada/Salida controlada por programa y empleando 5 instrucciones en transferir cada palabra.
- (b) Un sistema de DMA con estrategia de transferencia por ráfagas.
- (c) Un sistema de DMA con estrategia de transferencia por robo de ciclos.
- (d) Un sistema de DMA con estrategia de transferencia transparente y suponiendo que en cada instrucción en promedio hay 1 ciclo en el cual la CPU no emplea el bus.

Pregunta 2.

(1 punto)

Dada una memoria compartida de 4 elementos de proceso:

- (a) Dibuja el esquema de la memoria e indica qué hace cada componente. (0.5 puntos)
- (b) ¿Cuál es la tabla de asignación de la menor prioridad mediante rotación de prioridades si estuviera la siguiente serie de petición no consecutiva 2; 1,3; 2,3,4? (0.5 puntos)

Pregunta 3.

(1 punto)

Obtener el resultado de la operación $A+B$ y $A \times B$ en el formato IEEE 754 de los siguientes números representados en este formato. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de multiplicación y suma estudiado para números representados en el IEEE 754. Dar el resultado en hexadecimal.

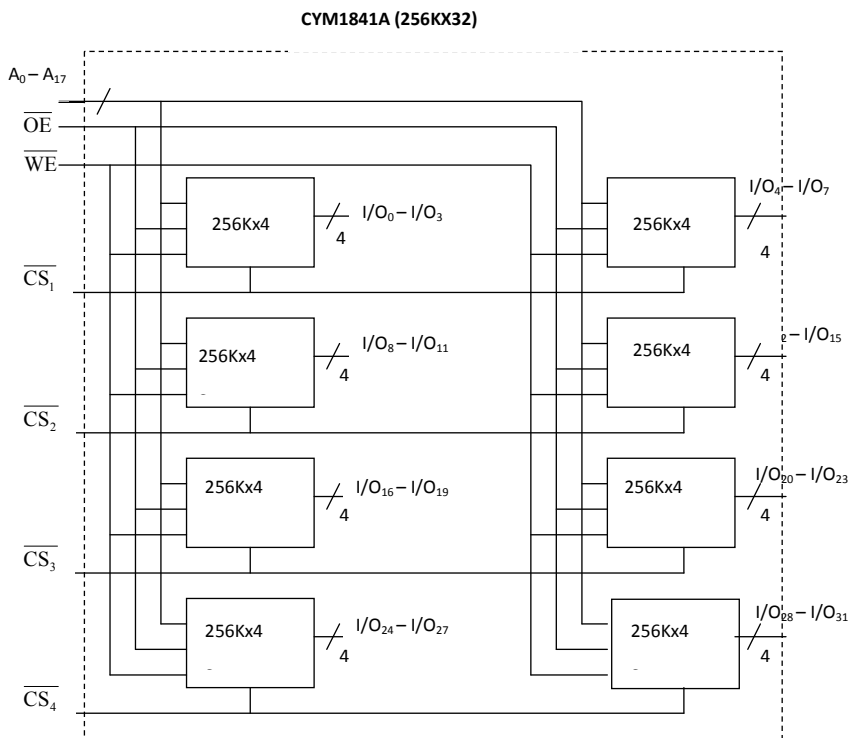
$A=41982000$

$B=BE8C0000$

Pregunta 4.

(1.5 puntos)

Disponemos de una memoria del tipo CYM1841A (256Kx32), cuyas características y tabla de funcionamiento se muestra anteriormente. Si el procesador al que debemos conectarla posee 20 líneas para generar las direcciones y una línea de lectura/escritura. Se pide:



a) Diseñar el mapa de memoria, mediante decodificadores para direccionar 512Kx32, cuya primera dirección sea la 00000H.

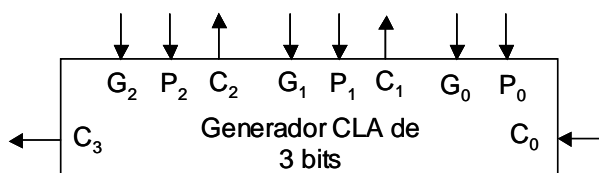
b) Diseñar el mapa de memoria, mediante decodificadores para direccionar 1Mx8, cuya primeradirección sea la 00000H.

c) Diseñar un mapa de memoria, mediante decodificadores para direccionar 512Kx16, cuya primera dirección sea la 80000H.

Pregunta 5.

(1.5 puntos)

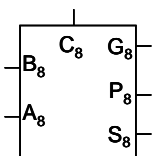
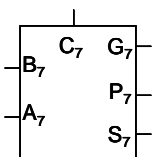
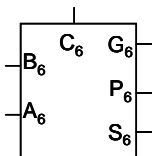
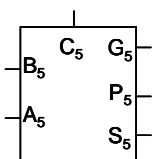
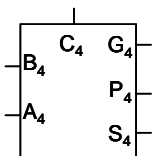
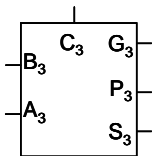
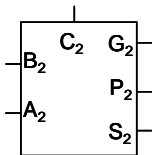
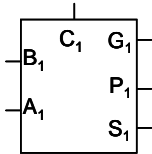
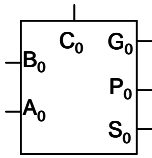
a) Diseñar el generador de acarreo anticipado de 3 bits de la figura. Tiene como entradas las funciones P_i y G_i para $i=0,1,2$, el acarreo inicial C_0 y genera C_1 , C_2 y C_3 . No es necesario que dibujes el circuito, solo escribes las correspondientes ecuaciones suponiendo que se dispone de puertas lógicas de cualquier número de entradas. (0.6 puntos)



b) Dibuja cuidadosamente las conexiones para construir un sumador de 9 bits utilizando el generador de acarreo anticipado que has diseñado. Etiqueta todas las salidas de los CLA y sumadores con el retardo correspondiente para obtener el tiempo que se tarda en obtener la suma, suponiendo que todas las puertas tienen el mismo retardo T y los sumadores completos están implementados con semisumadores. (0.9 puntos)



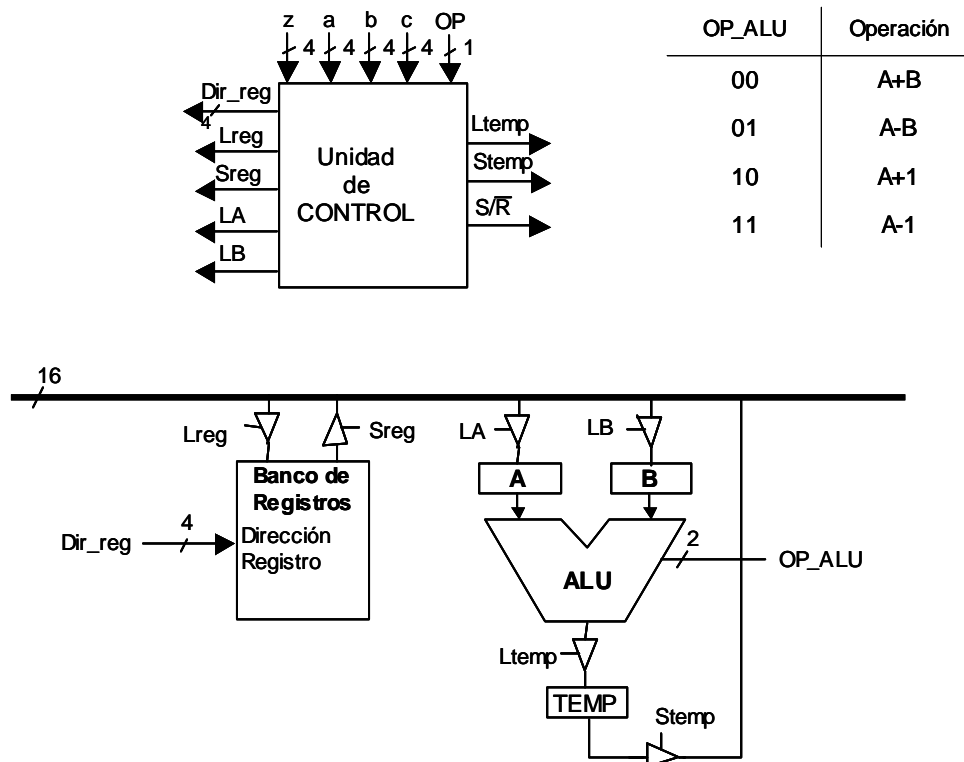
Pregunta 5. Apartado b)



Pregunta 6.

(2.5 puntos)

La ruta de datos de figura consta únicamente de un banco de registros con 16 registros y una ALU capaz de realizar operaciones dependiendo del valor de la señal de control OP_ALU, tal como se indica en la figura. La Unidad de Control tiene 5 entradas, z, a, b y c de cuatro bits (que serán los registros con los que se va a operar) y OP de 1 bit.



La ruta de datos debe implementar el siguiente algoritmo en función del valor de la entrada OP.

Si OP = 0 entonces $z = a + b + c$
 Si OP = 1 entonces $z = a + b - c$
 fin si
 $c = c + 1$

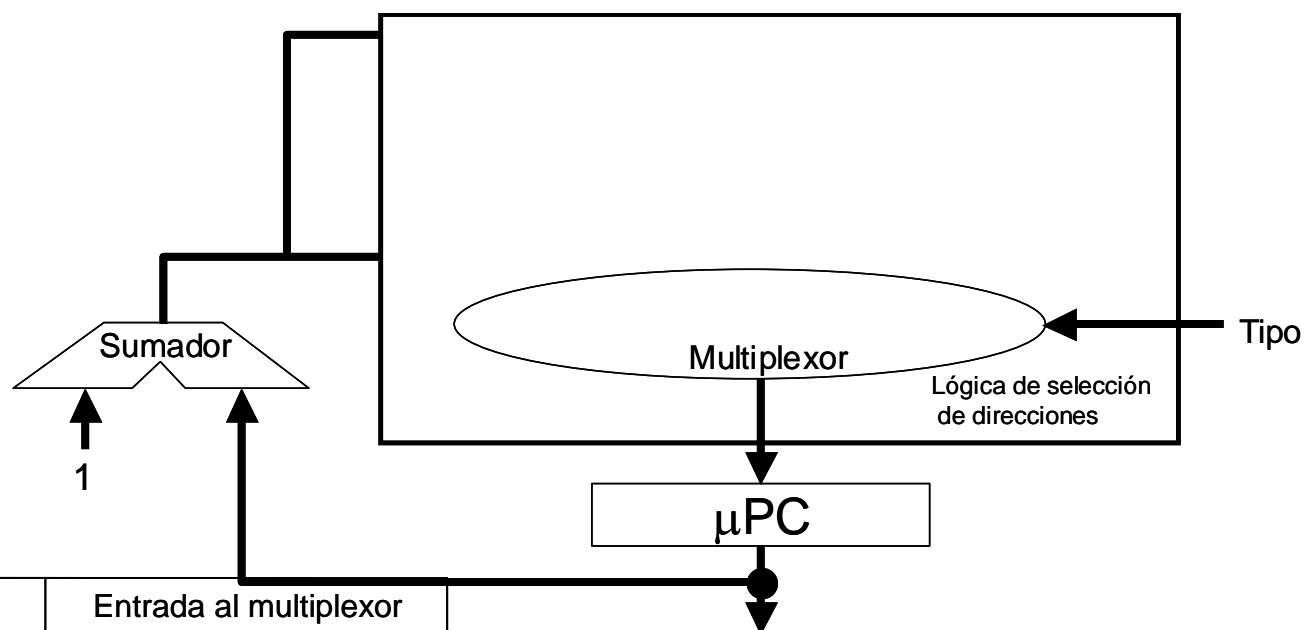
- Dibujar el diagrama de estados para la Unidad de Control con el **menor** número de estados posibles. Numea los estados comenzando por 0. (0,5 puntos)
- Rellenar la tabla adjunta donde aparezca el estado, la acción que se realiza y las señales de control que se deben activar. (0,7 puntos)
- Se quiere implementar la unidad de control microprogramada con direccionamiento implícito mediante la optimización del sumador. ¿Cómo quedaría la memoria de control?. Suponiendo que el microprograma comienza en la posición 0 y utilizando una memoria con el **menor** tamaño posible, rellenar la tabla adjunta. Completar la figura de la lógica de selección de direcciones y rellenar la tabla del significado de la variable tipo. (0,7 puntos)
- Resolver los correspondientes micros saltos y calcular el tamaño de la memoria que se ha usado. (0,6 puntos)

[illegible]



Pregunta 6. Apartado c

Dirección memoria (Bin)	Microinstrucción	Tipo
00000		
00001		
00010		
00011		
00100		
00101		
00110		
00111		
01000		
01001		
01010		
01011		
01100		
01101		
01110		
01111		
10000		
10001		
10010		



Tipo	Entrada al multiplexor