

Estructuras de Computadores – (34010)

Examen (12 de Julio de 2011)

Pregunta 1.

(2 puntos)

Disponemos del procesador MaNoTaS de la figura, se pide:

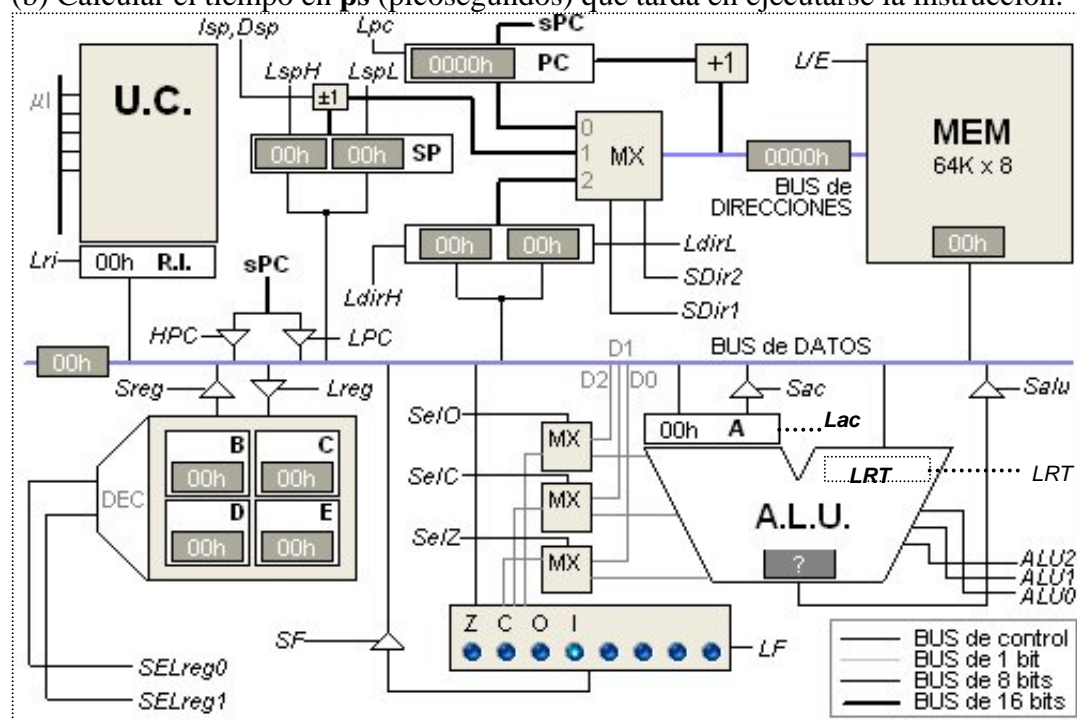
(a) Cronograma, **con el menor número posible de periodos de reloj**, de la instrucción **ADDMX** *dir* que ocupa **tres bytes** en memoria (Cop *dirL dirH*) y se define como:

$$M(D\&E) \leftarrow M(\text{dir}) + Ac$$

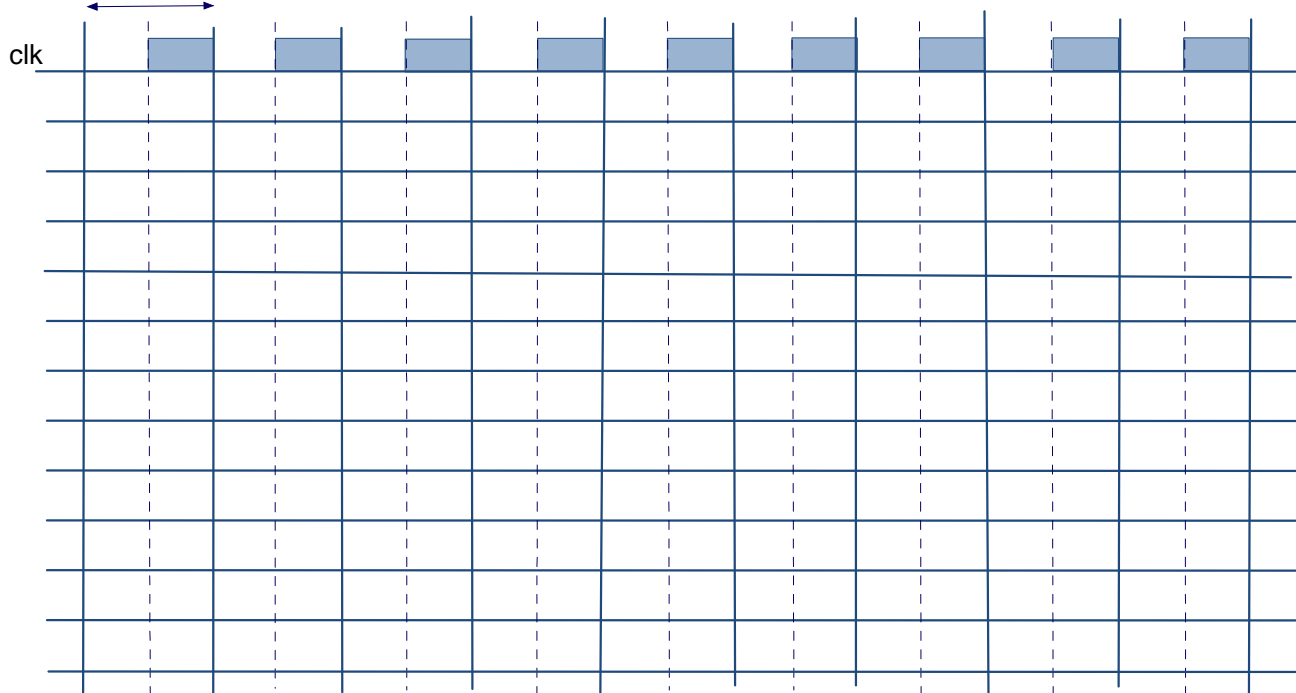
(1,75ptos)

(b) Calcular el tiempo en **ps** (picosegundos) que tarda en ejecutarse la instrucción.

(0,25ptos)



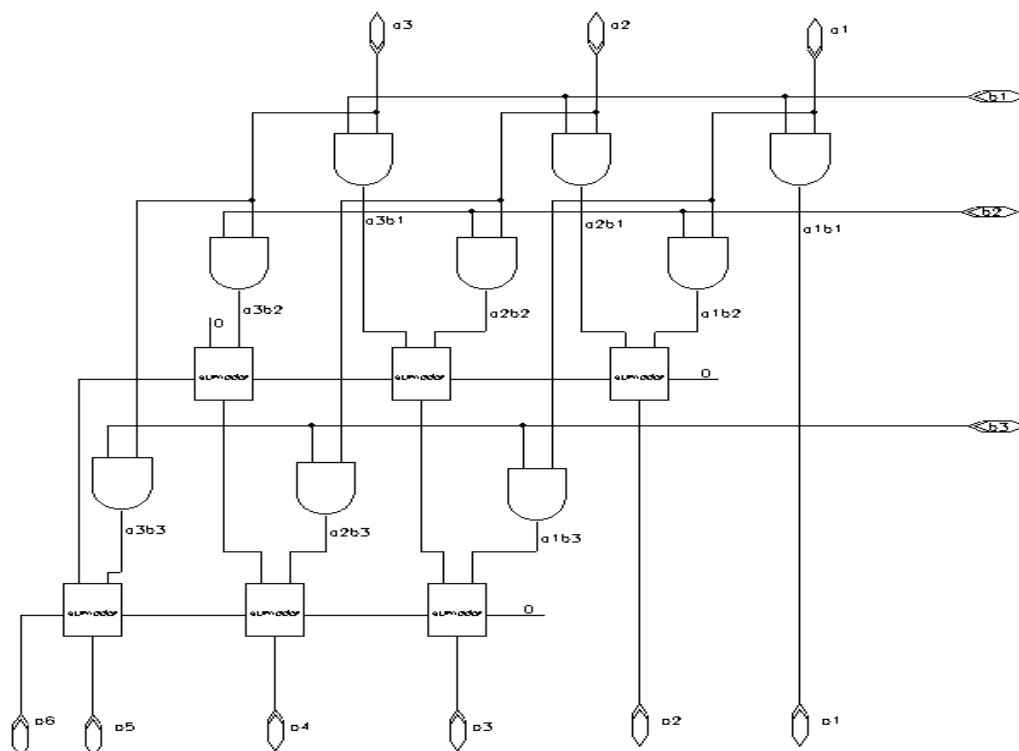
f=5GHz



Pregunta 2.

(2 puntos)

Dados el siguiente multiplicador sin signo combinacional



Suponiendo que los sumadores están implementados con semisumadores y que el retardo de la puerta AND es 1 T, se pide:

- Obtener el retardo del circuito (0.5 puntos)
- Obtener el retardo del circuito suponiendo que multiplique números de 4 bits. (1.5 puntos)

Pregunta 3.

(2 puntos)

(0.5 puntos) Escribe el algoritmo y dibuja el circuito lógico para realizar la división mediante el algoritmo con restauración.

(0.8 puntos) Aplica el algoritmo anterior para dividir 27:5 utilizando registros de 5 bits para el divisor.

(0.4 puntos) Si en el circuito anterior, las operaciones de suma y resta se implementan mediante un circuito sumador/restador construido con CPA's en el que los sumadores completos se han construidos con puertas lógicas, obtener el tiempo total invertido en la división anterior en estas operaciones. Suponer que el retardo de cada puerta es de T u.t.

(0.3 puntos) Obtener el tiempo invertido en una suma o resta al sustituir el CPA por un CLA construido con CLA's de 4 bits donde los sumadores se implementan utilizando puertas lógicas. El retardo de las puertas no varía.

Pregunta 4.

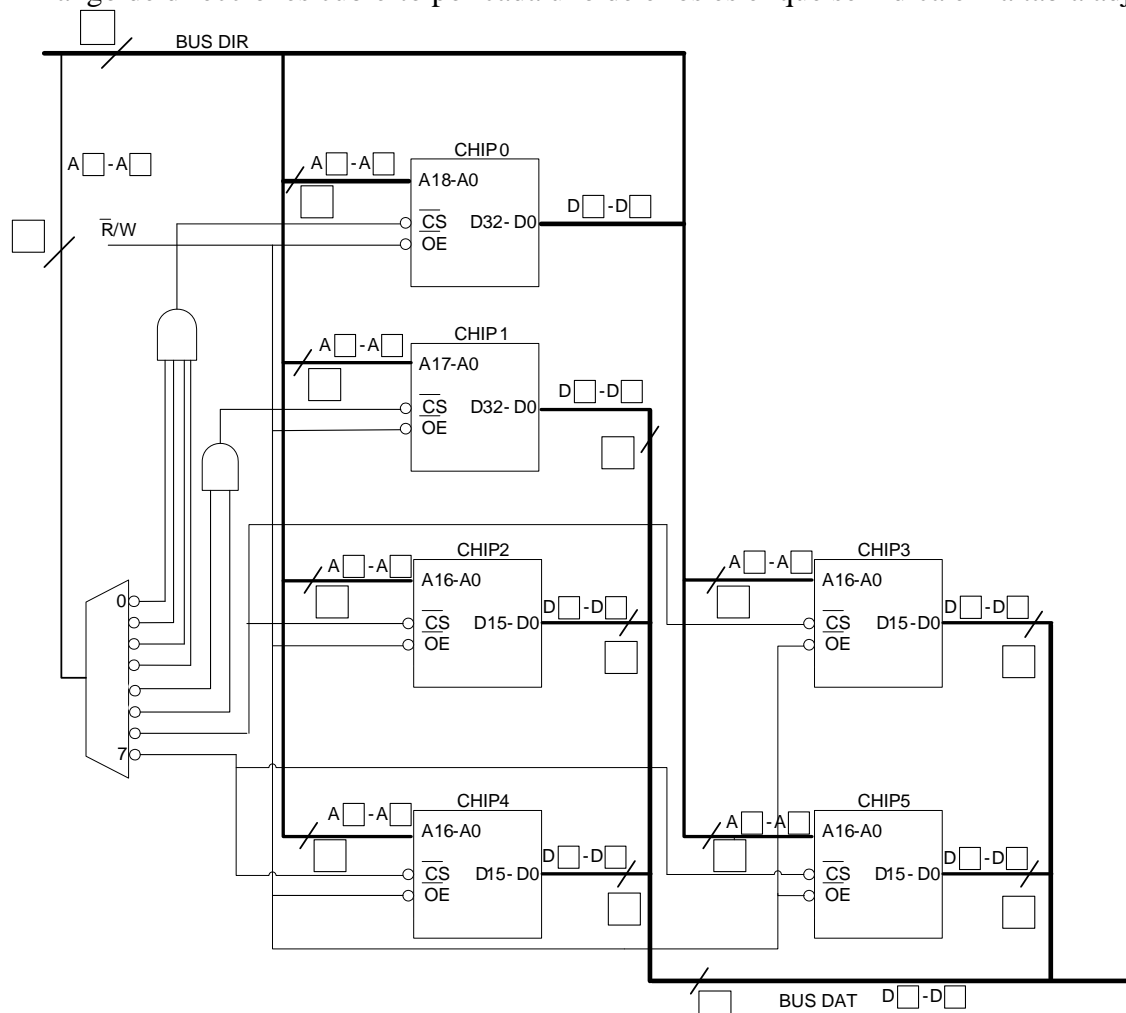
(2 puntos)

- Indica cuales son las ventajas de un proceso E/S dirigido por Interrupciones frente al proceso de E/S programado.(0.75 puntos).
- Explica es que consiste las transferencias DMA por **Ráfagas**, por **Robo de Ciclos** y **Transparente**. (1.25 puntos)

Pregunta 5.

(2 puntos)

El mapa de memoria de la figura corresponde a una memoria de un tamaño total de 1M palabras de 32 bits. En él, el CHIP 0 es de 512K x 32, el CHIP 1 de 256K x 32 y los CHIPS 2, 3, 4 y 5 son de 128Kx16. El rango de direcciones cubierto por cada uno de ellos es el que se indica en la tabla adjunta.



A19	A18	A17	A16	A15-A12	A11-A8	A7-A4	A3-A0	Dir. Hex.	Chip Seleccion.
0	0	0	0	0000	0000	0000	0000	00000	CHIP 0
0	1	1	1	1111	1111	1111	1111	7FFFF	CHIP 0
1	0	0	0	0000	0000	0000	0000	80000	CHIP 1
1	0	1	1	1111	1111	1111	1111	BFFFF	CHIP 1
1	1	0	0	0000	0000	0000	0000	C0000	CHIP 2
1	1	0	1	1111	1111	1111	1111	DFFFF	CHIP 2
1	1	0	0	0000	0000	0000	0000	C0000	CHIP 3
1	1	0	1	1111	1111	1111	1111	DFFFF	CHIP 3
1	1	1	0	0000	0000	0000	0000	E0000	CHIP 4
1	1	1	1	1111	1111	1111	1111	FFFFFF	CHIP 4
1	1	1	0	0000	0000	0000	0000	E0000	CHIP 5
1	1	1	1	1111	1111	1111	1111	FFFFFF	CHIP 5

a) Completa los cuadros blancos de la figura indicando:

1. El tamaño del bus de direcciones BUSDIR y el rango de las líneas de dirección que debe recibir cada CHIP
2. El número y el rango de las líneas de dirección que recibe el decodificador.
3. El tamaño del bus de datos y el rango de líneas de este bus que sale de cada chip.

b) Se pretende ampliar el tamaño de memoria hasta 4Mx32.

1. ¿cuántas líneas de direcciones deberíamos como mínimo tener para que fuera posible?
2. Para la ampliación solo disponemos de chips de 512Kbytes. ¿cuántos necesitamos añadir para completarla?