



Estructuras de Computadores – (34010)

Examen (7 de Julio de 2015)

Pregunta 1.

(2.5 puntos)

Realizar el diagrama de bloques del circuito de una unidad aritmético lógica con dos operandos de 4 bits (OPA y OPB) y 4 operaciones.

Las operaciones que se realizarán son: suma, resta, complemento a 2 (Ca2) y complemento a 1 (Ca1). Para seleccionar una operación se dispone de 4 pulsadores: BTN0: realiza la suma $S=OPA+OPB$ BTN1: realiza la resta. $S=OPA-OPB$ BTN2: devuelve el complemento a 2 de OPB BTN3: devuelve el complemento a 1 de OPB. Siendo BTN0 la operación de mayor prioridad, y BTN3 la de menor (para el caso en que se pulsen más de un botón a la vez). Por ejemplo, si se pulsan a la vez BTN1 y BTN2 el circuito devolverá la resta y no el Ca2. Como salida se tendrá la señal RESUL de 4 bits.

Para realizar el diagrama de bloques del circuito se podrá emplear cualquiera de los siguientes bloques sin necesidad de describirlos en puertas (no todos son necesarios): multiplexores, sumadores, codificadores, decodificadores, demultiplexores y comparadores. Todos ellos de uno o varios bits. Además se podrá emplear cualquier tipo de puertas lógicas. Cualquier otro bloque deberá ser descrito en función de los bloques citados o en puertas.

Pregunta 2.

(2.5 puntos)

Un computador posee una CPU de 19 bits de bus de direcciones y de 16 bits de longitud de palabra y señal de lectura/escritura: R/\overline{W} . Se desea conectar esta CPU a una memoria con las siguientes características:

- 128K x 16 de memoria ROM en las primeras posiciones (direcciones más bajas) de la memoria del computador.
- 128K x 16 de memoria RAM en las últimas posiciones (posiciones más altas) de la memoria del computador.

Se dispone de los siguientes tipos de chips de memoria para elegir:

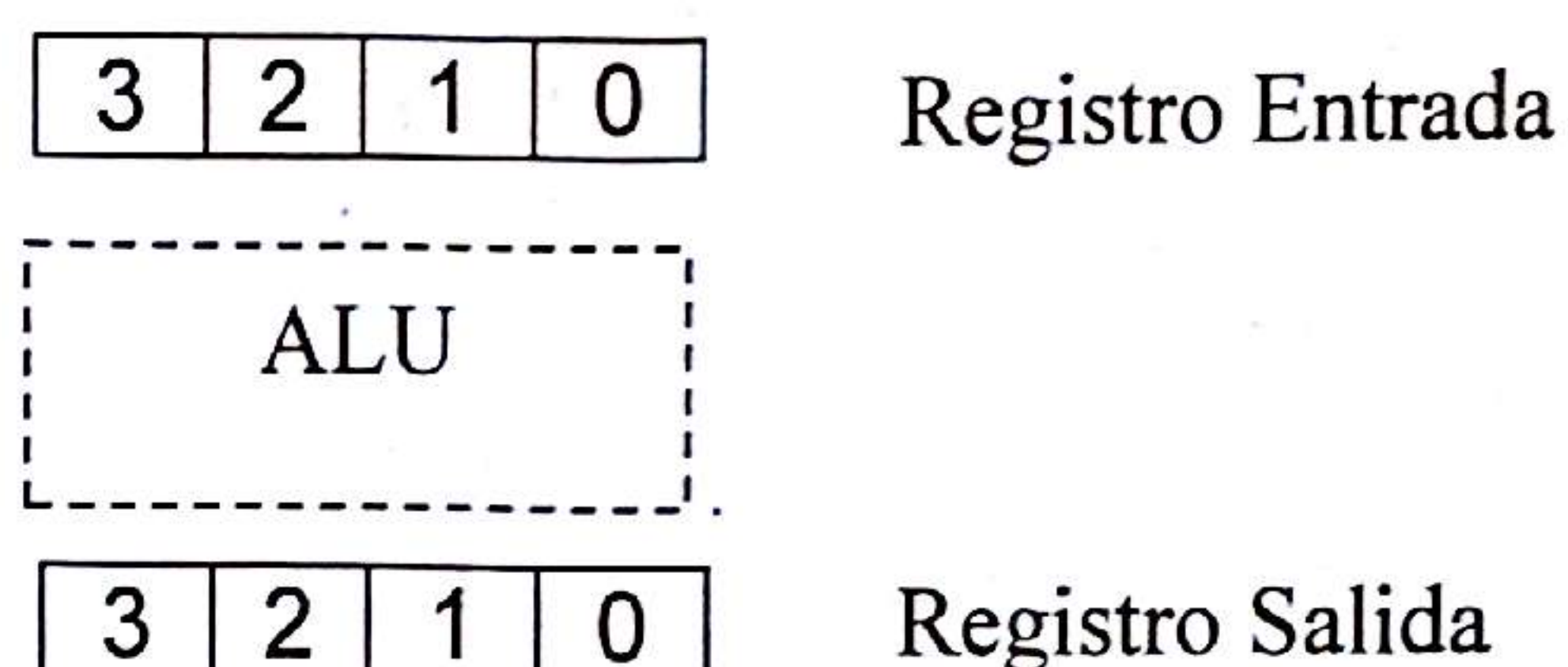
RAM	ROM
128K x 8	64K x 8
64K x 16	32K x 16
Selección chip RAM: CS	Selección chip ROM: \overline{CS}
Señal de Lectura RAM: \overline{OE}	Señal de Lectura ROM: OE
Señal de Escritura: \overline{WE}	

Se pide:

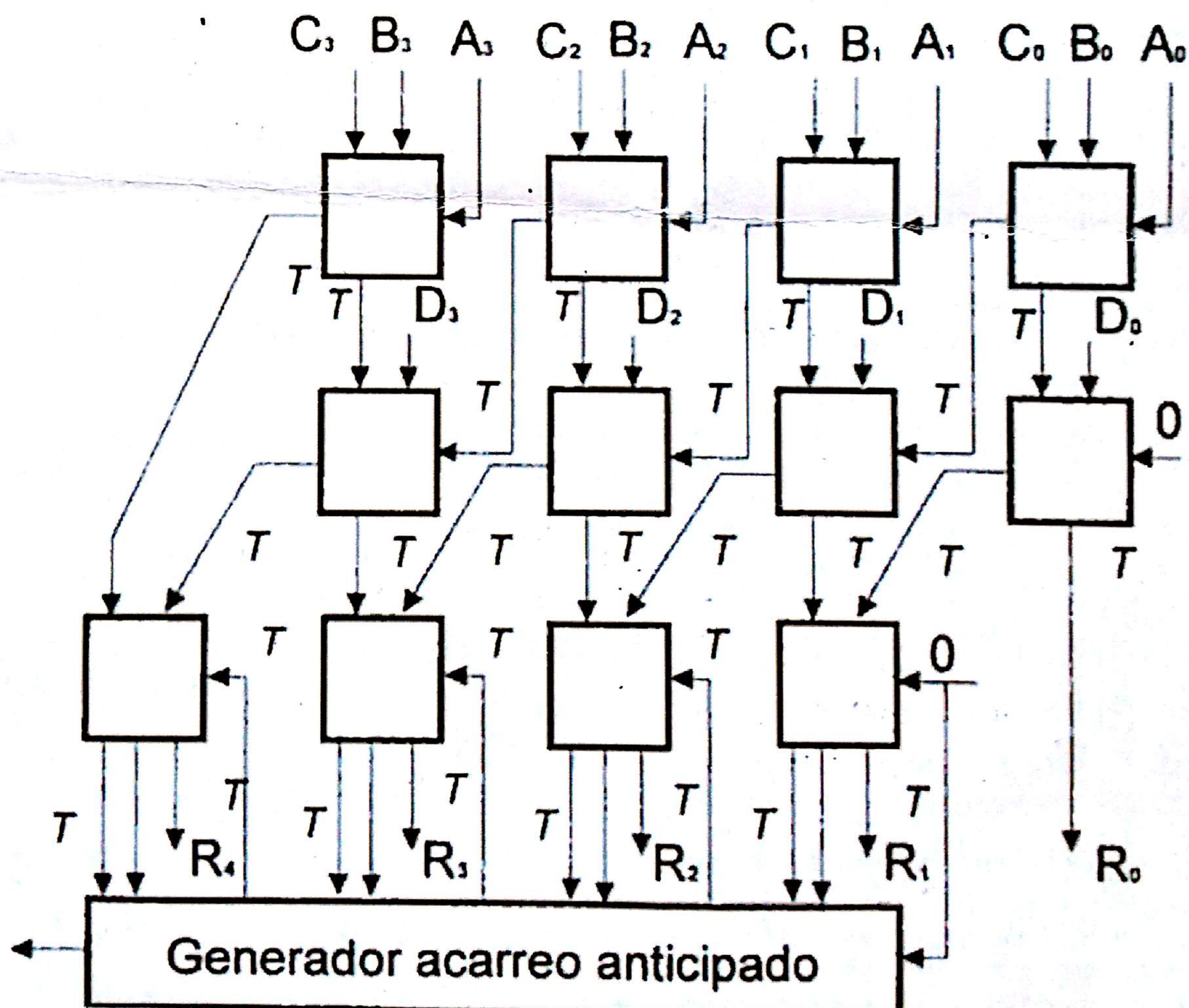
- ¿Cuánta memoria total puede direccionar el computador del ejercicio? Justifica la respuesta (0.5 ptos.)
- Diseñar el mapa de memoria descrito utilizando el menor número de chips posible de entre los que aparecen en el cuadro anterior. (1 pto.)
- Realizar el diagrama de conexiones completo de la CPU y la memoria, utilizando decodificadores. (1 pto.)

(2.5 puntos)

- | OP1 | OP0 | Operación |
|-----|-----|-----------|
| 0 | 0 | 0 Despl. |
| 0 | 1 | 1 Despl. |
| 1 | 0 | 2 Despl. |
| 1 | 1 | 3 Despl. |



- b) Suponiendo que los sumadores están implementados con semisumadores, obtener el retardo del siguiente circuito que suma 4 sumandos (A, B, C y D) de 4 bits. Para ello, al lado de cada T poner el valor del retardo. (1.5 puntos)





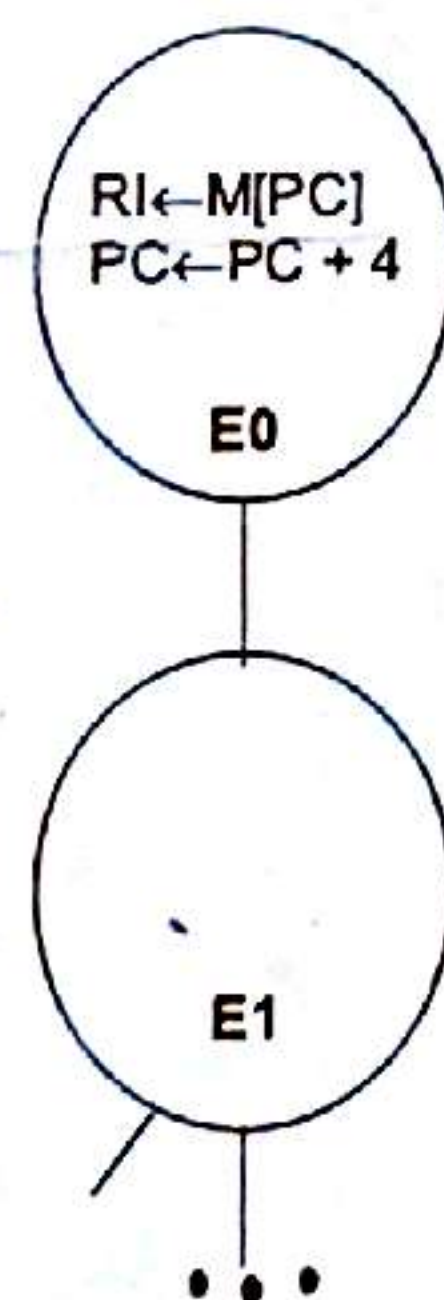
Pregunta 4.

(2.5 puntos)

En la ruta de datos multiciclo del MIPS de la figura se han realizado unas pequeñas modificaciones respecto a la ruta de datos estudiada en clase. El banco de registros de esta ruta de datos sólo tiene un puerto de lectura por lo que solo se puede leer un registro en cada ciclo de reloj, por esta razón se han añadido señales de control nuevas. Suponed que en esta nueva ruta de datos se ejecutan instrucciones aritmético-lógicas (**add**, **sub**, **and**, **or** y **slt**) con formato tipo R, la instrucciones **beq** con formato tipo I y la instrucción **j** con formato tipo J. Además se quiere que se ejecuten dos nuevas instrucciones de carga y almacenamiento con autoincremento, **Nlw** y **Nsw**. Estas nuevas instrucciones son de tipo R y tienen las siguientes formas generales:

Nlw rd, rs, rt	# $rd \leftarrow M[rs+rt]$ # $rs \leftarrow rs + 4$
Nsw rt, rs, rt	# $M[rs+rt] \leftarrow rd$ # $rs \leftarrow rs + 4$

- a) Completa el diagrama de la máquina de estados finitos de la figura en el que en cada estado aparezcan las acciones a realizar (en lenguaje de transferencia de registros, por ejemplo: $PC \leftarrow PC + 4$) en cada ciclo de reloj para que las instrucciones anteriores (Aritmético-Lógicas, **beq**, **j**, **Nlw** y **Nsw**) se ejecuten en la nueva ruta de datos en el menor número de ciclos de reloj posible. (1 punto)



- b) Indica las señales de control que se han de activar en cada ciclo reloj. (Puedes referenciar directamente al estado que has puesto en el apartado anterior). (1 punto)
- c) Si el procesador funciona a 500 MHz, indicar en nanosegundos cuánto tarda en ejecutarse el siguiente programa (0.5 puntos):

```
Nlw $t0, $t5, $a0
Nlw $t1, $t5, $a0
Nlw $t2, $t5, $a0
Add $t3, $t1, $a2
Sub $t3, $t0, $t3
Nsw $t3, $t5, $a1
```