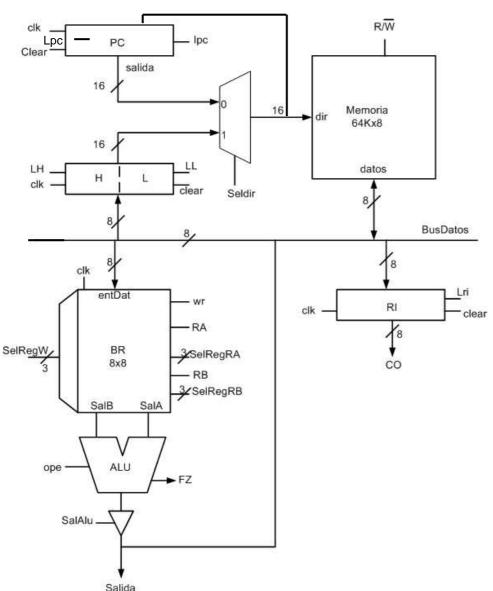


Tiempo: 2:30h Apellidos: Nombre:

1. Disponemos de la ruta de datos de la figura



a) ¿Se puede ejecutar en esta ruta de datos la instrucción *jmp dir*, definida como PC ← dir ?

Poner una cruz donde corresponda (0,25ptos)

SÍ NO

b) Cronograma, con el menor número posible de periodos de reloj, de la instrucción *jmp dir*, definida como PC ← dir (1,75ptos)

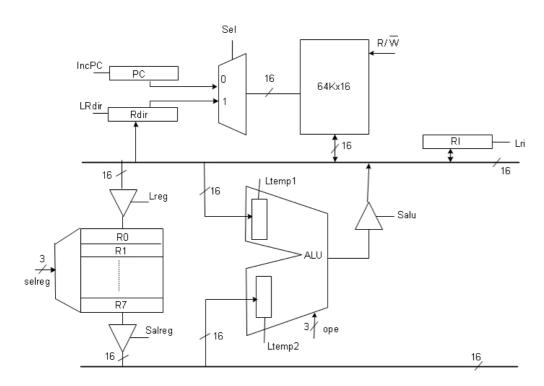
- 2. Teniendo en cuenta que disponemos de memorias de 128Kx16 y un bus de direcciones de 20 líneas. Diseñar un mapa de memoria de 512Kx16. Las memorias disponen de una línea de selección $\overline{\text{CS}}$ y dos líneas de de control para leer y escribir $\overline{\text{OE}}$ y $\overline{\text{WE}}$ se pide:
 - a) Tabla de direcciones (1pto)
 - b) Esquema de conexiones con todas las líneas de conexión (1pto)

Tiempo: 2:30h

Apellidos:

Nombre:

3. Disponemos de la ruta de datos de la figura siguiente



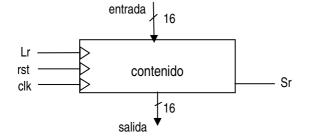
Se pide:

 a) (1,5ptos) cronograma con el menor número de periodos de reloj de la instrucción AddM dir definida de la siguiente manera:

 $M(dir) \leftarrow R1 + R2$

b) **(0,5ptos)** Si la frecuencia del reloj es de 50MHZ calcular el tiempo que tarda en ejecutarse la instrucción anterior en *ms*

4. Describir en VHDL, con la arquitectura de comportamiento, el componente que se muestra en la figura, registro de 8 bits controlado por la señales:



Clk: reloj

rst: señal **síncrona** que pone a cero el contenido del registro **Lr**: señal **sincronizada** con el flanco de subida del reloj que carga la entrada de 16 bits en el **contenido** del registro.

Sr: señal **asíncrona** por nivel **uno** que permite que en la salida del registro se obtenga **su contenido**, si no está activa la salida será alta impedancia.

NOTA: Los nombres de las señales en la entity deben ser los que se indican en la figura.

(2ptos)

5. Describir en VHDL el circuito que muestra el cronograma de la figura (2ptos)

