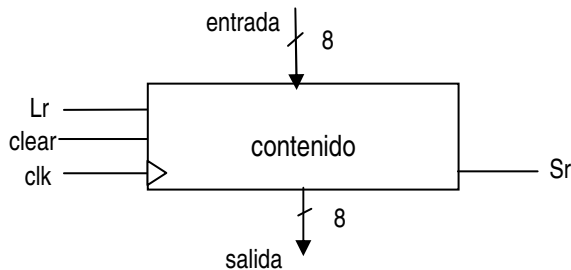


Apellidos:

Nombre:

1. Describid en VHDL, con la arquitectura de comportamiento, el componente que se muestra en la figura, registro de 8 bits controlado por la señales:



Clk: reloj

Clear: señal asíncrona que pone a cero el contenido del registro

Lr: señal sincronizada con el reloj que carga la entrada de N bits en el **contenido** del registro.

Sr: señal asíncrona por nivel uno que permite que en la salida del registro se obtenga **su contenido**, si no está activa la salida será alta impedancia.

En la descripción utilizad dos procesos uno para escribir y otro para leer. Los nombres de las señales en la entity deben ser los que se indican en la figura. (2ptos)

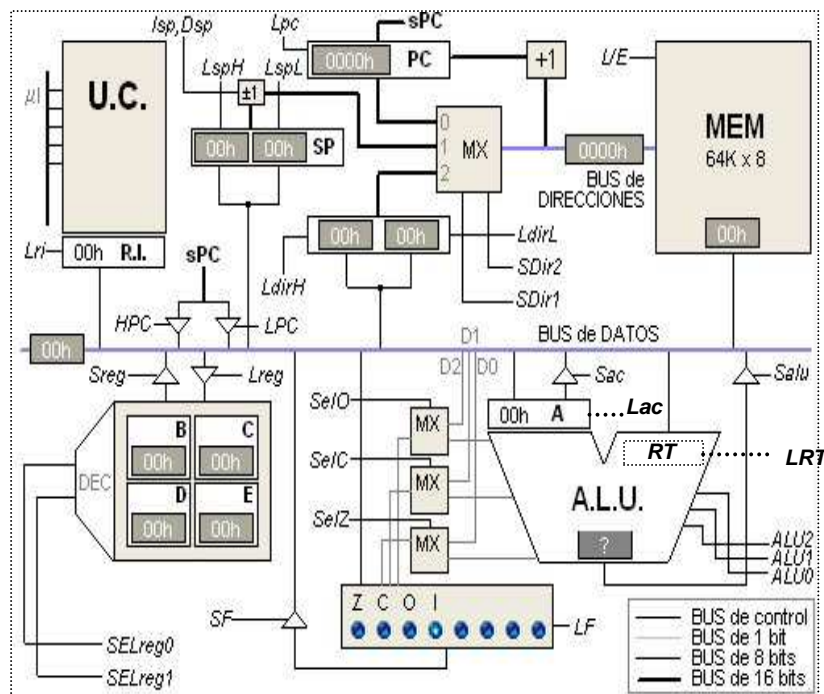
2. Disponemos del procesador MaNoTaS, y queremos que se pueda ejecutar la instrucción **LdaXP**, definida como:

Primero: $A \leftarrow M(D \& E);$

Segundo: $E \leftarrow E-1$

se pide:

- a) Cronograma, **con el menor número posible de periodos**, de la instrucción (1,5 pts)
- b) Si la frecuencia del reloj es de 2GHz. Calcular en **ps (picosegundos)**, cuanto tiempo tardará en ejecutarse la instrucción. (0,5pts)



Apellidos:

Nombre:

3. Disponemos de una memoria del tipo CYM1846 (512Kx32), cuyas características y tabla de funcionamiento se muestra en la figura. Si el procesador al que debemos conectarla posee 20 líneas para generar las direcciones y una línea de lectura/escritura R/\overline{W} . Se pide:
- a) Tabla de verdad y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar una memoria de 512Kx32, cuya primera dirección sea la 80000H. **(0,5ptos)**
 - b) Tabla de verdad y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar una memoria de 1Mx16, cuya primera dirección sea la 00000H. **(0,5ptos)**
 - c) Tabla de verdad y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar una memoria de 256Kx32, cuya primera dirección sea la 40000H. **(1pto)**

CYM1846 (512KX32)

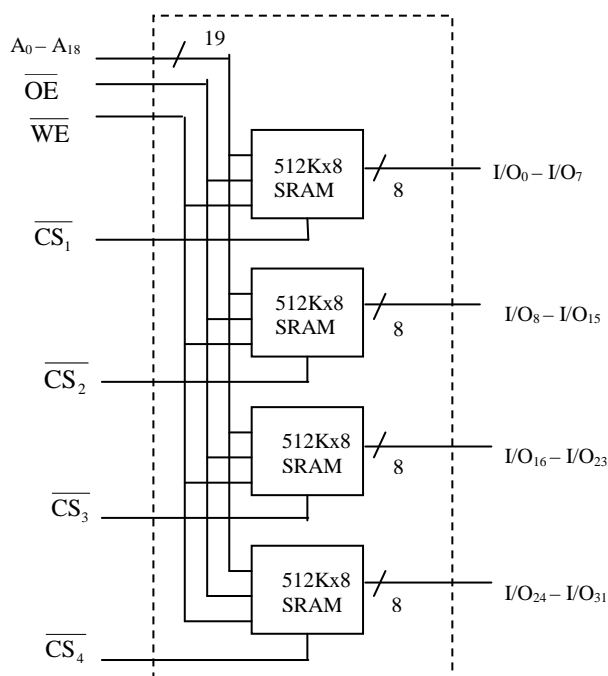


TABLA DE FUNCIONAMIENTO

| CS | WE | OE | E/S | Modo |
|----|----|----|-----------------|----------------------------|
| H | X | X | Alta impedancia | Deshabilitada / Power-Down |
| L | H | L | Salida | Lectura |
| L | L | X | Entrada | Escritura |
| L | H | H | Alta impedancia | Deshabilitada |

4. Describid en VHDL, con la arquitectura de comportamiento, un multiplexor de 4 entradas (e3,e2,e1,e0 de 8 bits cada una), una entrada de habilitación (enable) y una salida (sal de 8 bits). Su comportamiento es el siguiente:
- Si no esta activa la señal de habilitación, la salida será alta impedancia.
 - Si la señal de habilitación está activa, (enable=1) entonces la salida out será la que determinen las señales de selección (sel).

Se pide:

- a) Calcular el número de señales de selección (sel) que son necesarias (0,25ptos)
- b) Describir en VHDL con arquitectura de comportamiento el multiplexor descrito anteriormente (0,75ptos)

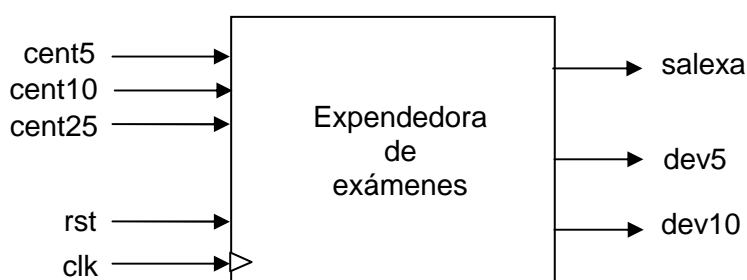


Apellidos:

Nombre:

5. Nos hemos encontrado una máquina llena de exámenes de EC, sin embargo para poder sacarlos tenemos un problema, tiene estropeada la Unidad de Control que permite la salida de exámenes. Pero, a pesar de todo todavía existe esperanza pues sabemos las especificaciones que debe cumplir dicha unidad de control y por lo tanto podremos realizar la máquina de estados finita, implementarla en una FPGA y obtener el examen de la próxima convocatoria. Las especificaciones de la UC son las siguientes:

- Tiene tres entradas cent5, cent10, cent25 para las monedas, además del reloj (clk) y el reset (rst)
- El precio de un examen es de 25cts
- Solo admite monedas de 5cts, 10cts y 25cts
- Cuando detecta el importe exacto saca el examen.
- Si el importe es superior saca el examen y devuelve el cambio



NOTA1: En la descripción VHDL utilizad los nombres numéricos para los estados.

NOTA2: Se parte del estado cero, que es el de reposo, y en él se espera a que se introduzca una moneda de 5, 10 ó 25 céntimos para que comience el proceso.

NOTA3: 1 < número de estados < 11

Se pide:

- | | |
|--|------------|
| a) Grafo de estados, con el menor número de estados posible, | (1,25ptos) |
| b) Tabla con la función de salida | (0,5ptos) |
| c) Descripción VHDL de la máquina de estados | (1,25ptos) |