

Estructuras de Computadores – (34010)

Examen (15 de Junio de 2018)

Pregunta 1.

(2.5 puntos)

- Dibuja el circuito de un generador de acarreo anticipado de 4 bits indicando los retardos a la salida de cada puerta (1 punto).
- ¿Qué es la organización interna de la memoria? Indica los tipos (0.5 puntos).
- ¿Qué es el algoritmo de sustitución en la memoria caché?. Describe 3 tipos de algoritmos. (1 punto).

Pregunta 2.

(2.5 puntos)

Un computador posee una CPU de 20 bits de bus de direcciones y de 16 bits de longitud de palabra y señal de lectura/escritura: R/\overline{W} . Se desea conectar esta CPU a una memoria con las siguientes características:

- 128K x 16 de memoria ROM en las primeras posiciones (direcciones más bajas) de la memoria del computador.
- 256K x 16 de memoria RAM en las últimas posiciones (direcciones más altas) de la memoria del computador.

Se dispone de los siguientes tipos de chips de memoria para elegir:

RAM	ROM
→ 128K x 8 64K x 16	→ 64K x 8 32K x 16
Selección chip RAM: CS Señal de Lectura RAM: \overline{OE} Señal de Escritura: \overline{WE}	Selección chip ROM: \overline{CS} Señal de Lectura ROM: OE

Se pide:

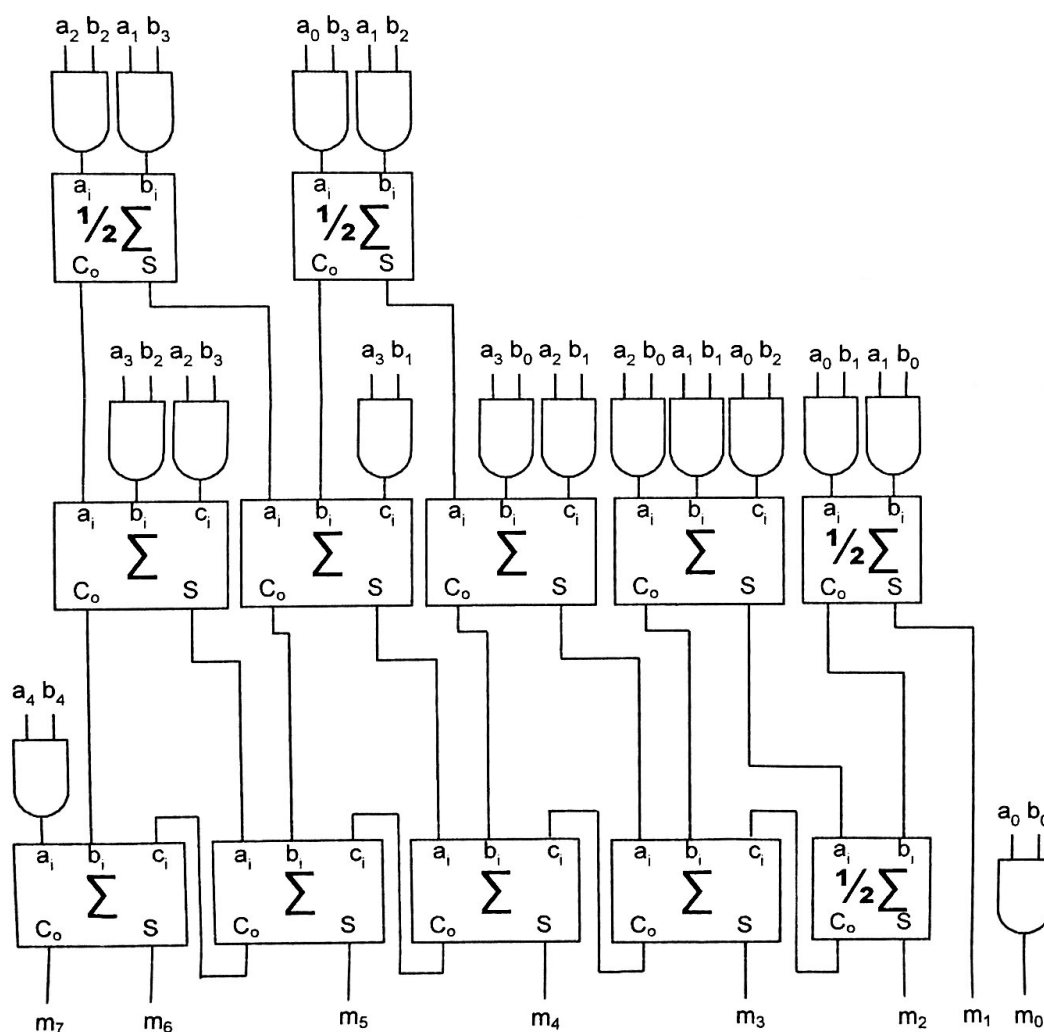
- Diseñar el mapa de memoria descrito utilizando el menor número de chips posible de entre los tipos que aparecen en el cuadro anterior. (1.25 pts.)
- Realizar el diagrama de conexiones completo de la CPU y la memoria, utilizando solo un decodificador y las puertas lógicas necesarias. (1.25 pts.)

Pregunta 3.

(2.5 puntos)

El circuito de la figura representa un circuito capaz de realizar el producto $M(m_7m_6m_5m_4m_3m_2m_1m_0)$ de dos números $A(a_3a_2a_1a_0)$, y $B(b_3b_2b_1b_0)$ de 4 bits.

- Sabiendo que los circuitos sumadores están contruidos mediante semisumadores y que todas las puertas introducen un retardo de $1T$, ¿cuánto tiempo transcurrirá hasta que obtengamos el resultado de la multiplicación?
- La última etapa de sumadores constituye un sumador de acarreo propagado de 5 bits. Si habilitamos en los sumadores completos que lo componen las salidas g_i y p_i y añadimos un anticipador de acarreo ¿cuál será el nuevo tiempo de respuesta?



Pregunta 4.**(2.5 puntos)**

4.1 (1 punto) Se quiere ejecutar la siguiente instrucción con formato tipo I y código de operación 0x2B en la ruta de datos monociclo: sw \$15, 8(\$13)

La posición de memoria 2000₁₀ contiene dicha instrucción, es decir contiene el valor 0xADAF0008. Se quiere mostrar lo que ocurre durante su ejecución en la ruta de datos de la figura 1, rellena para ello las partes del diagrama señaladas con el símbolo ? con los valores **en decimal** que contendrán. El contenido de los registros en decimal es el siguiente:

Registros									
\$0	\$1	\$2	\$3	\$12	\$13	\$15	\$16	\$20	\$31
0	1	-2	32	4	100	19	26	-32	-1

Indica además el valor de las señales de control en la ejecución de la instrucción.

4.2.- (1.5 puntos) En la figura 2 se muestra la ruta de datos multiciclo del MIPS a la que se han realizado unas pequeñas modificaciones para que se pueda ejecutar también una nueva instrucción, **SWdoble** que permite guardar en dos posiciones consecutivas de la memoria los datos contenidos en dos registros especificados. La instrucción sigue el formato tipo R y tiene la siguiente forma general:

SWdoble rs, rt, rd # M[rs] ← rt;
 # M[rs + 4] ← rd;

- Obtén las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: PC ← PC + 4) y rellena la tabla de salida de la figura 3 con el valor de las señales de control en cada ciclo de ejecución de la nueva instrucción (Tacha las columnas que no necesites y rellena la tabla con 0, 1... o X si no importa el valor de la señal) . Intenta que la nueva instrucción se ejecute **con el menor** número posible de ciclos de reloj. (1.2 puntos)
- ¿Cambiarán las acciones a realizar o las señales de control que se han de activar en cada ciclo de reloj para la instrucción SW? ¿Qué ciclos de reloj se verían afectados y cómo?. (0.3 puntos)



R	op	rs	rt	rd	shamt	funct
I	op	rs	rt		displ	
J	op				direcc	

Formatos de instrucción

HOJA DE SOLUCIONES A ENTREGAR

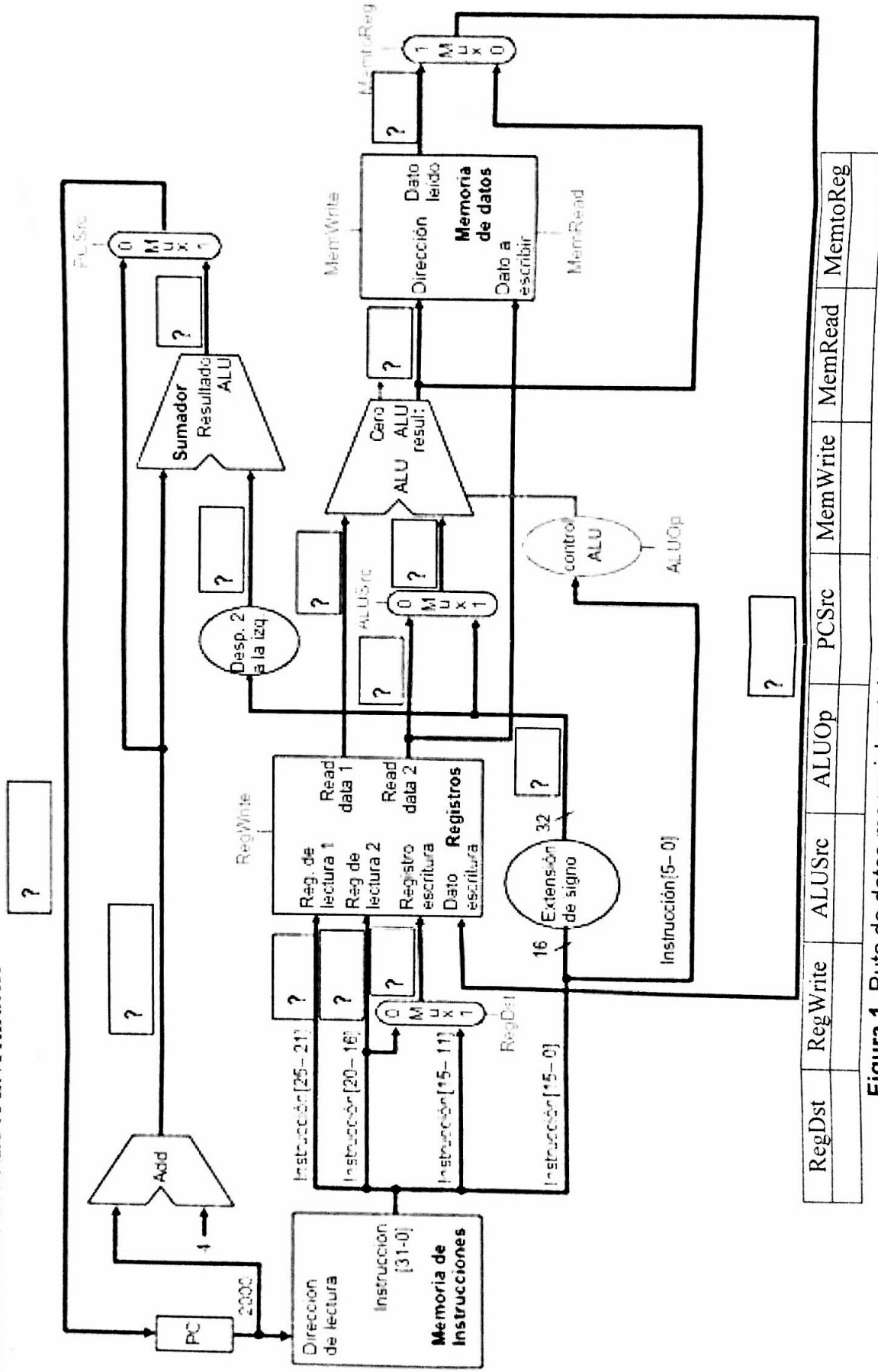


Figura 1. Ruta de datos monociclo y tabla de señales de control a rellenar.

Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	Ciclo 7	Ciclo 8	Ciclo 9	Señales de control
									PCWriteCond
									PCWrite
									lOrd
									MemRead
									MemWrite
									MemToReg
									IRWrite
									PCSource
									ALUOp
									ALUSrcB
									ALUSrcA
									RegWrite
									RegDst
									RegSrc

Figura 3. Tabla de salida para SWdouble

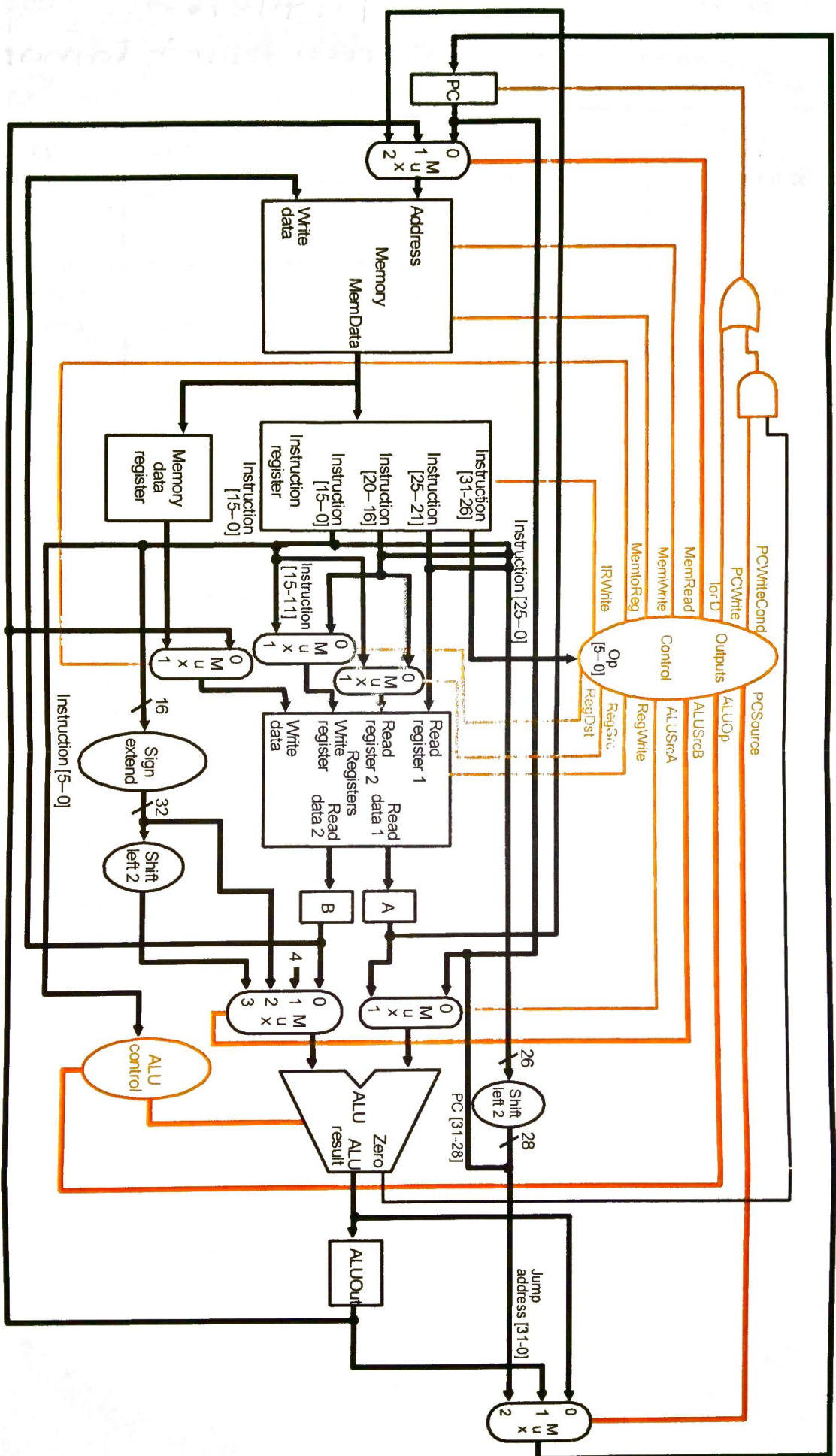


Figura 2. Ruta de datos multiciclo modificada