



## Estructuras de Computadores – (9166)

### Examen (13 de Enero de 2009)

#### Pregunta 1.

(2 puntos)

Dados los siguientes multiplicadores sin signo secuencial y combinacional:

Repetir n veces

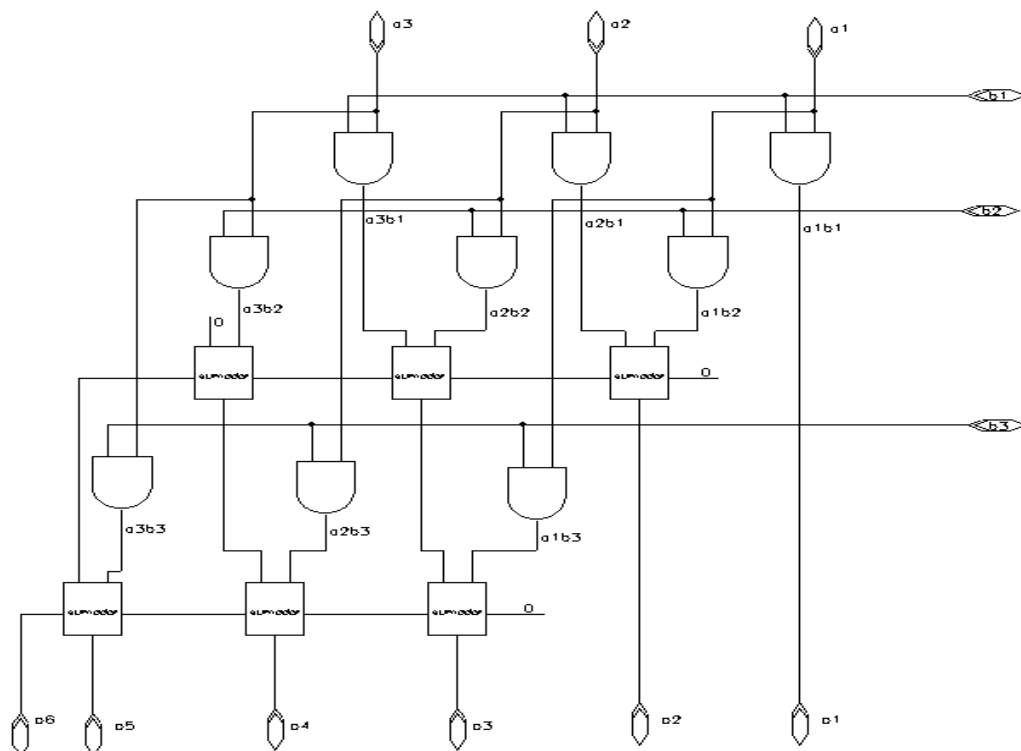
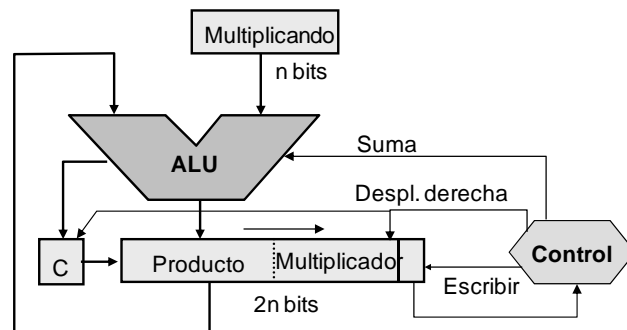
Si el bit 0 del registro producto=1 entonces

Sumar el multiplicando a la mitad izquierda del producto y colocar el resultado en la mitad izquierda del producto.

Fin entonces

Desplazar 1 bit a la derecha el registro producto

Fin repetir



Calcular el retardo, en el peor de los casos, de los multiplicadores para números de 4 bits teniendo en cuenta las siguientes consideraciones:

- Multiplicando y multiplicador están cargados inicialmente en los registros.
- La suma se realiza con un CLA.
- Las operaciones de carga, desplazamiento y decodificación tienen un coste de 1 T.
- Retardo de la puerta AND 1 T.
- Los sumadores están implementados con semisumadores.



**Pregunta 2.**

**(1 punto)**

Describe la secuencia de pasos en el tratamiento de una petición de interrupción.

**Pregunta 3.**

**(2 puntos)**

En el diseño de un nuevo computador para tratamiento de imágenes, se ha especificado que necesitamos ubicar con criterios de optimización y de posible ampliación del sistema: una memoria ROM de 512Mp; el interfaz de video está mapeado en memoria con acceso a través de RAM-VIDEO de 512 Mp; el acceso a los 512 millones de posibles dispositivos de E/S no comparten el espacio de direcciones con la memoria; y, por último, se contempla inicialmente una memoria RAM para datos e instrucciones de 2 Gp. El tamaño de la palabra para el bus de datos y direcciones es de 32 bits.

Se pide:

- Mapas de memoria y de entrada/salida especificando los bits de dirección, las direcciones inicial y final en hexadecimal de cada bloque, su capacidad y tipo. (1 punto).
- Diseño, con el menor número posible de chips, de las conexiones entre el procesador y las memorias incluyendo todas las conexiones. (1 punto).

Nota:. La memoria para datos, instrucciones y video se realiza con una DRAM 256Mx16 y la memoria ROM utiliza bloques de 128Mx8. Las conexiones deben contemplar el bus de direcciones, el bus de datos y la lógica  $R/\overline{W}$ ,  $\overline{CS}$ ,  $\overline{OE}$  y  $\overline{WE}$ .

**Pregunta 4.**

**(0.5 puntos)**

Utilizando el algoritmo de la división con restauración, realiza la operación 0101010:0111. Utiliza un registro de 8 bits para el dividendo.

**Pregunta 5.**

**(1 punto)**

Obtener el resultado de la operación  $A \times B$  y  $A+B$  de los siguientes números representados en el formato IEEE 754. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de multiplicación y suma estudiado para números representados en el IEEE 754. Dar el resultado en hexadecimal.

$A = 46D80000$

$B = BEE00000$

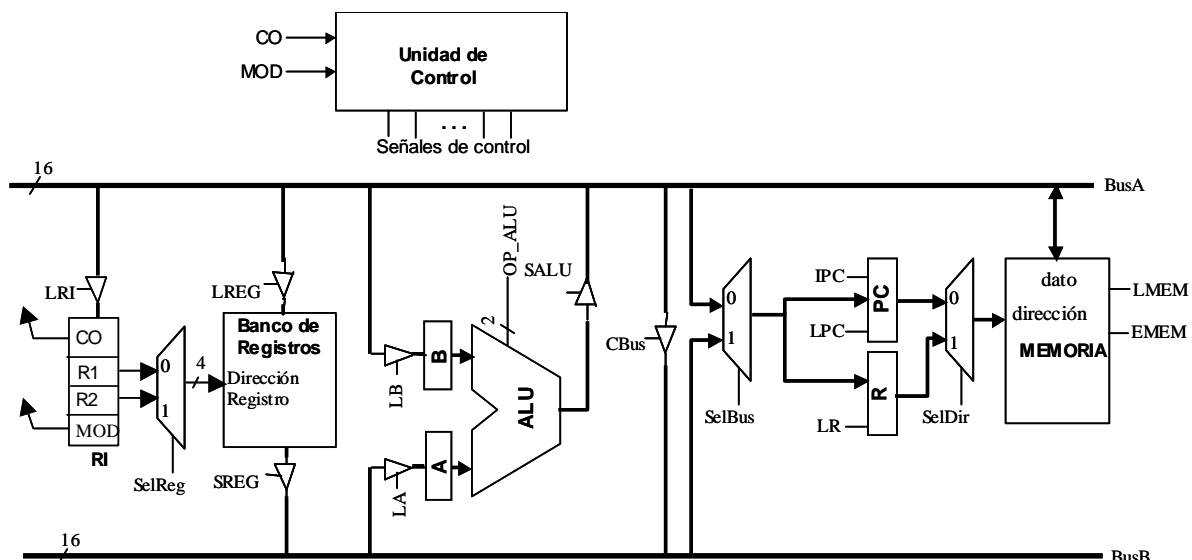
### Pregunta 6.

**(2 puntos)**

En la figura 1 se muestra una ruta de datos de dos buses de 16 bits. Dispone de 16 registros de propósito general visibles al usuario agrupados en un banco, dos registros temporales A y B a la entrada de la ALU, el registro contador de programa (PC), el registro de instrucción (RI) y un registro R que nos permite comunicarnos con la memoria. El PC está cableado de forma que su incremento ( $PC \leftarrow PC+1$ ) se realiza directamente a través de la señal de control IPC. En la figura 2 se muestra la descripción de algunas instrucciones que puede ejecutar. Todas ellas siguen un mismo formato que además del código de operación posee dos campos para indicar el número de los registros a utilizar y un campo para el modo de direccionamiento.

La ALU permite realizar las operaciones de suma, resta y transparente a A según el valor de la señal de control OP\_UAL. El número de registro del Banco de Registros al cual queremos acceder se encuentra cableado directamente con el Registro RI a través de un multiplexor.

Para la realización del problema suponer que el coste del acceso a la memoria es de un ciclo de reloj ( $T$ ) y que el acceso al banco de registros y las operaciones de la ALU se realizan en  $1/2T$ . (en una fase pueden coincidir como máximo dos operaciones con coste  $1/2T$  realizadas en serie ). El coste del resto de los elementos de la ruta de datos es despreciable. Suponer que las escrituras en los registros se realizan por flanco de bajada.



### Figura1: Ruta de datos

Instrucción	MOD	Descripción
ADDIN R1,R2	01	$R1 \leftarrow R1 + M(R2)$
MOVIN R1,R2	01	$R1 \leftarrow M(R2)$
JMP R1	01	$PC \leftarrow M(R1)$

16bits			
CO	R1	R2	MOD
6bits	4bits	4bits	2bits

OP_ALU	Resultado ALU
00	A+B
01	A-B
10	A
11	No utilizada

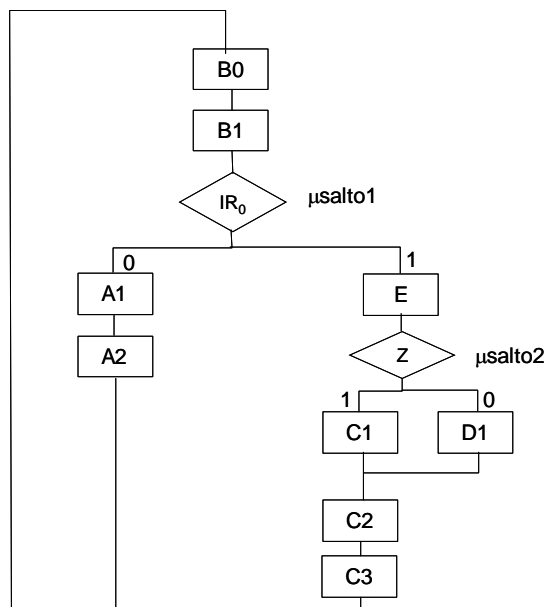
Describe las acciones (ejemplo  $PC \leftarrow PC + 1$ ) y las señales de control que se activan para cada una de las instrucciones de la figura 2 con el menor número posible de ciclos de reloj.

**Figura 2: Descripción de las instrucciones, formato de instrucción y señales de control a la ALU**

### Pregunta 7.

(1.5 puntos)

Se pretende diseñar la unidad de control microprogramada para el organigrama de la figura. Suponer que las direcciones octales en la memoria de control de las microinstrucciones A1 y E son 10 y 14 respectivamente y las direcciones octales de C1 y D1 son 20 y 25. Suponer que la memoria de control comienza en la dirección 0.



A) Suponiendo bitoring además de la optimización con la señal FIN:

A1) (0,4 puntos) Rellena la memoria de control con el siguiente encabezamiento:

Dirección memoria	Microinstrucción

A2) (0,4 puntos) Resuelve los correspondientes circuitos de Bitoring.

A3) (0,2 puntos) Describe los distintos campos de las microinstrucciones de salto y especifica como quedarían las microinstrucciones de salto anteriores.

B) Suponer que ahora se implementa la unidad de control microprogramaza mediante la optimización del sumador.

B1) (0,3 puntos) Rellena la memoria de control con el siguiente encabezamiento:

Dirección memoria	Microinstrucción	Tipo

B2) (0,2 puntos) Muestra la estructura hardware de la lógica de selección de direcciones.