



Estructuras de Computadores – (9166)

Examen (15 de Diciembre de 2006)

Pregunta 1.

(2.5 puntos)

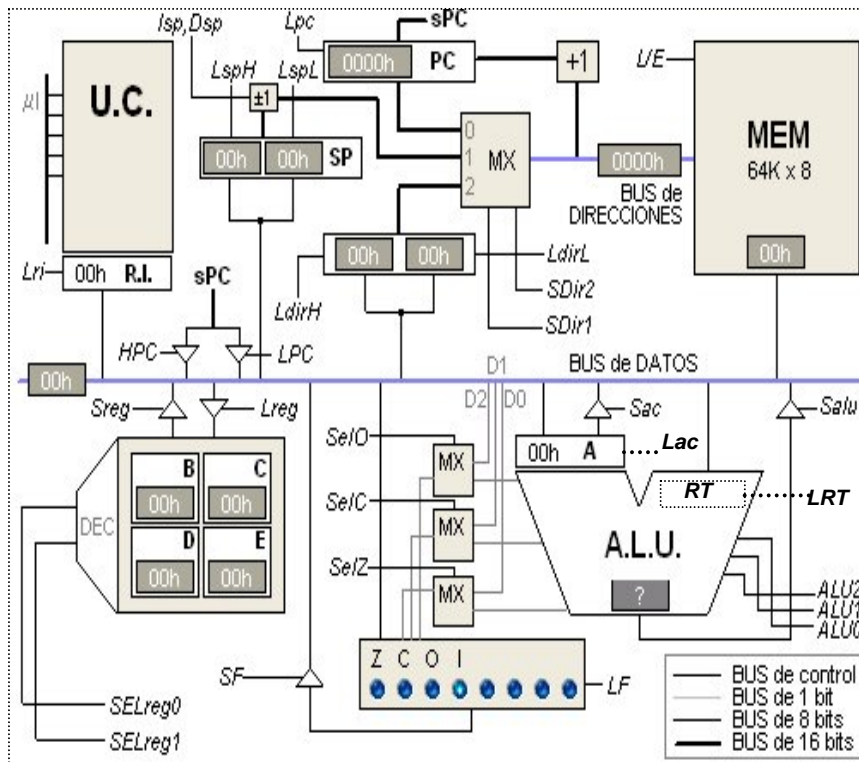
Disponemos del procesador MaNoTaS. Queremos que se puedan ejecutar las siguientes instrucciones

- 1.- ADDMXP ; $M(D\&E) \leftarrow A + M(D\&E); E \leftarrow E+1$
- 2.- ADDR B,C ; $B \leftarrow B+C;$

Se pide para cada instrucción:

a) Cronograma, con el menor número posible de periodos, de la instrucción. (2 pts)

b) Si la frecuencia del reloj es de 1GHz. Calcular, en ns (nanosegundos), cuanto tiempo tarda en ejecutarse la instrucción. (0.5 pto)



Pregunta 2.

(2 puntos)

Dados los números $A=0.5$ y $B=0.4375$ en base 10.

- a) Obtener su representación en el formato IEEE 754 en simple precisión. (1 punto)
- b) Obtener el resultado de la operación $A+B$ según este formato. (0.5 puntos)
- c) Obtener el resultado de la operación $A*B$ según este formato. (0.5 puntos)

Pregunta 3.

(2.5 puntos)

Se dispone de dos módulos de memoria de 256Kx8 de capacidad cada uno, que poseen las señales de control \overline{CS} para la habilitación y R/W para la de lectura/escritura. Estos módulos se necesitan ubicar en un mapa de memoria de un procesador de 20 líneas en el bus de direcciones y 8 en el de datos. El primer módulo hay que colocarlo al principio del mapa, es decir, en las primeras 256K posiciones, mientras que el segundo hay que colocarlo en las últimas 256K posiciones. Diseñar el esquema de conexionado correspondiente.

Pregunta 4:

(3 puntos)

Se pretende diseñar de forma microprogramada parte de la unidad de control de un cierto procesador. En la figura 1 se muestra la porción de ruta de la ruta de datos que controlará la unidad de control microprogramada. Esta porción de ruta dispone de un bus de 16 bits, 32 registros de propósito general visibles al usuario agrupados en un banco, registros temporales A, B y SALU asociados a la ALU, el registro de instrucción RI y el registro MDR, todos ellos de 16 bits.

Las instrucciones que se pueden ejecutar siguen un mismo formato que se muestra en la figura 2 junto con su descripción. Este formato, además del código de operación, posee dos campos para indicar el número de los registros a utilizar y un campo de 16 bits que alberga el dato inmediato.

La ALU permite realizar las operaciones indicadas en la figura 2 según el valor de la señal de control OP_UAL. El número de registro del Banco de Registros al cual queremos acceder se encuentra cableado directamente con el Registro RI a través de un multiplexor.

La lectura de los registros se activa al inicio del reloj y la escritura en cualquiera de los registros se realiza por flanco de subida.

Se supone que siempre encontraremos los primeros 16 bits de la instrucción a ejecutar en el registro RI y los segundos 16 bits en el registro MDR. La Unidad de Control recibe de la ruta de datos el campo CO del registro RI.

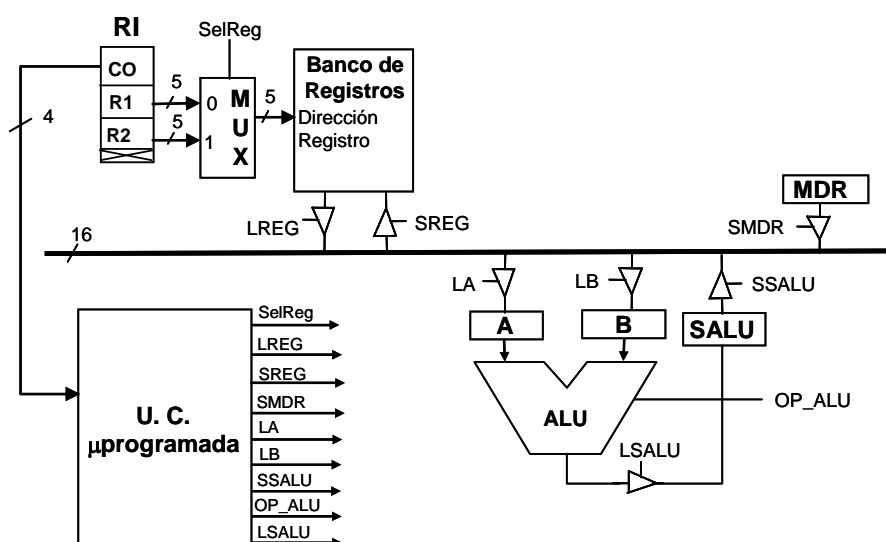


Figura1: Ruta de datos

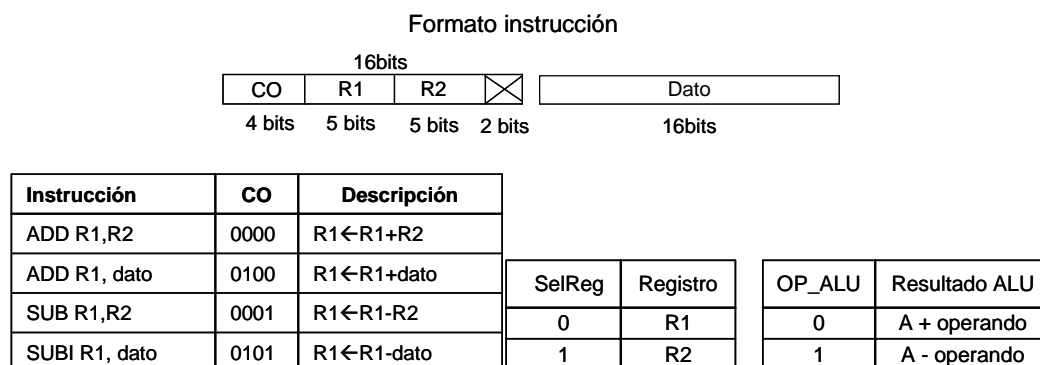


Figura 2: Descripción de las instrucciones, Formato de instrucción y Señales de control al multiplexor y a la ALU

Se pide:

A) (1 punto) Para poder diseñar la Unidad de Control microprogramada, obtener el organigrama de fases para todas las instrucciones, indicando las acciones asociadas a cada fase mediante el lenguaje de transferencia de registros (ejemplo: $PC \leftarrow PC + 1$). Suponer que cada fase se ejecuta en un ciclo de reloj y procurar que el número de fases sea mínimo. Identificar en el organigrama los posibles micros saltos.

A partir del diagrama de fases, habrá que diseñar la unidad de control microprogramada, para ello se dispone de una memoria de de control de 16x16 bits.

B) Suponiendo bitoring y suponiendo además la optimización con la señal FIN.

B1) (0,5 puntos) Rellena la memoria de control con el siguiente encabezamiento:

Dirección memoria	Microinstrucción

B2) (0,5 puntos) Resuelve los correspondientes circuitos de Bitoring.

C) Suponer que ahora se implementa la unidad de control microprogramada mediante la optimización del sumador utilizando la misma memoria de control.

Dirección memoria	Microinstrucción	Tipo

C1) (0,4 puntos) Rellena la memoria de control con el siguiente encabezamiento:

C2) (0,3 puntos) Muestra la estructura hardware de la lógica de selección de direcciones.

C3) (0,3 puntos) Resuelve los correspondientes micros saltos.