



Estructuras de Computadores – (9166)

Examen (27 de Junio de 2009)

Pregunta 1.

(2 puntos)

Dado un computador de 32 bits que trabaja a 100 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina y cada operación de lectura o escritura en memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia, en bytes por segundo, para los siguientes casos:

- Entrada/Salida controlada por programa y empleando 5 instrucciones en transferir cada palabra.
- Un sistema de DMA con estrategia de transferencia por ráfagas.
- Un sistema de DMA con estrategia de transferencia por robo de ciclos.
- Un sistema de DMA con estrategia de transferencia transparente y suponiendo que en cada instrucción en promedio hay 1 ciclo en el cual la CPU no emplea el bus.

Pregunta 2.

(1 punto)

Describe brevemente las técnicas que se utilizan para averiguar la CPU qué periférico ha activado la petición de interrupción (INTR). ¿Qué técnica es más rápida? ¿Cómo se gestiona la prioridad en cada técnica?.

Pregunta 3.

(2 puntos)

En el diseño de un nuevo computador para tratamiento de imágenes, se ha especificado que necesitamos ubicar con criterios de optimización y de posible ampliación del sistema: una memoria ROM de 512Mp; el interfaz de video está mapeado en memoria con acceso a través de RAM-VIDEO de 512 Mp; el acceso a los 512 millones de posibles dispositivos de E/S no comparten el espacio de direcciones con la memoria; y, por último, se contempla inicialmente una memoria RAM para datos e instrucciones de 2 Gp. El tamaño de la palabra para el bus de datos y direcciones es de 32 bits.

Se pide:

- Mapas de memoria y de entrada/salida especificando los bits de dirección, las direcciones inicial y final en hexadecimal de cada bloque, su capacidad y tipo. (1 punto).
- Diseño, con el menor número posible de chips, de las conexiones entre el procesador y las memorias incluyendo todas las conexiones. (1 punto).

Nota:. La memoria para datos, instrucciones y video se realiza con una DRAM 256Mx16 y la memoria ROM utiliza bloques de 128Mx8. Las conexiones deben contemplar el bus de direcciones, el bus de datos y la lógica R/\overline{W} , \overline{CS} , \overline{OE} y \overline{WE} .

Pregunta 4.

(0.5 puntos)

Utilizando el algoritmo de la división **sin** restauración, realiza la operación 0101001:0111. Utiliza un registro de 8 bits para el dividendo.

Pregunta 5.

(1 punto)

Obtener el resultado de la operación $A \times B$ y $A+B$ de los siguientes números representados en el formato IEEE 754. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de multiplicación y suma estudiado para números representados en el IEEE 754. Dar el resultado en hexadecimal.

$$A = C2B00000$$

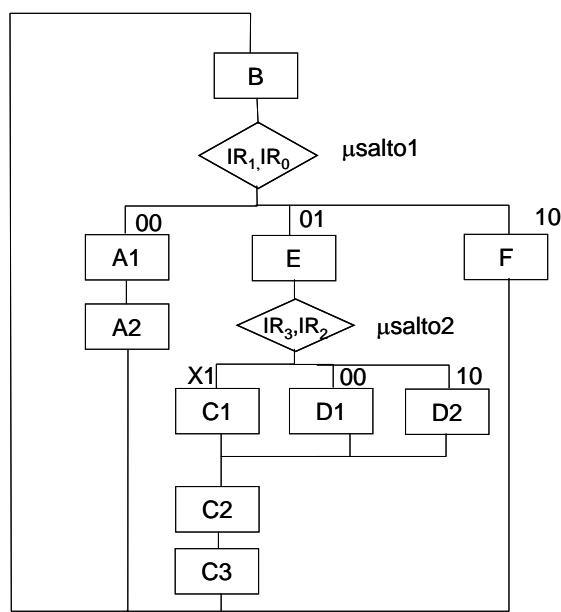
$$B = 3F580000$$



Pregunta 6.

(1.5 puntos)

Se pretende diseñar la unidad de control microprogramada para el organigrama de la figura. Suponer que las direcciones octales en la memoria de control de las microinstrucciones A1, E y F son 10, 14 y 16 respectivamente y las direcciones octales de C1, D1 y D2 son 20, 25 y 27. Suponer que la memoria de control comienza en la dirección 0.



A) Suponiendo bitoring además de la optimización con la señal FIN:

A1) (0,4 puntos) Rellena la memoria de control con el siguiente encabezamiento:

Dirección memoria	Microinstrucción

A2) (0,4 puntos) Resuelve los correspondientes circuitos de Bitoring.

A3) (0,2 puntos) Describe los distintos campos de las microinstrucciones de salto y especifica como quedarían las microinstrucciones de salto anteriores.

B) Suponer que ahora se implementa la unidad de control microprogramada mediante la optimización del sumador.

B1) (0,3 puntos) Rellena la memoria de control con el siguiente encabezamiento:

Dirección memoria	Microinstrucción	Tipo

B2) (0,2 puntos) Muestra la estructura hardware de la lógica de selección de direcciones.

Pregunta 7.

(2 puntos)

En la figura 1 se muestra una ruta de datos de dos buses de 16 bits, los cuales pueden comunicarse a través del enlace CBus. Dispone de 16 registros de propósito general visibles al usuario agrupados en un banco, dos temporales A y B a la entrada de la ALU, el registro contador de programa (PC), el registro de instrucción (RI) y un registro R que nos permite comunicarnos con la memoria. El PC está cableado de forma que su incremento ($PC \leftarrow PC+1$) se realiza directamente a través de la señal de control IPC. En la figura 2 se muestra la descripción de algunas instrucciones que puede ejecutar. Todas ellas siguen un mismo formato que además del código de operación posee dos campos para indicar el número de los registros a utilizar y un campo para el modo de direccionamiento.

La ALU permite realizar las operaciones de suma, resta y transparente a A según el valor de la señal de control OP_ALU. El número de registro del Banco de Registros al cual queremos acceder se encuentra cableado directamente con el Registro RI a través de un multiplexor.

Para la realización del problema suponer que el coste del acceso a la memoria es de un ciclo de reloj (T) y que el acceso al banco de registros y las operaciones de la ALU se realizan en $1/2T$. (en una fase pueden coincidir como máximo dos operaciones con coste $1/2T$ realizadas en serie). El coste del resto de los elementos de la ruta de datos es despreciable. Suponer que las escrituras en los registros se realizan por flanco de bajada.

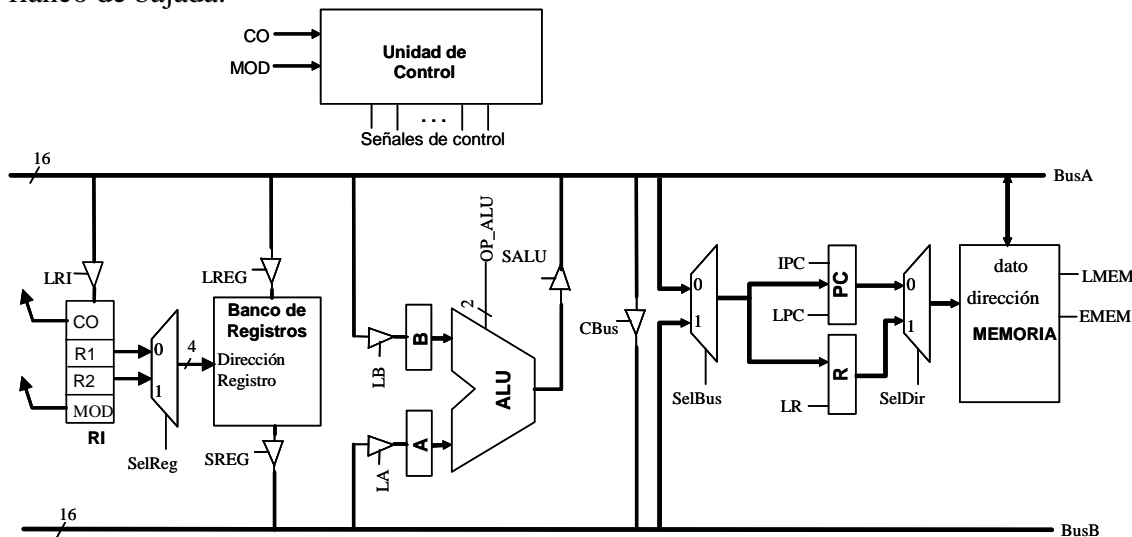


Figura1: Ruta de datos

Instrucción	MOD	Descripción	16bits			
			CO	R1	R2	MOD
ADD R1,R2	00	$R1 \leftarrow R1 + R2$	6bits	4bits	4bits	2bits
ADDM R1,R2	01	$R1 \leftarrow R1 + M(R2)$				
JMP R1	00	$PC \leftarrow R1$				
JMPM R1	01	$PC \leftarrow M(R1)$				

OP_ALU	Resultado ALU
00	A+B
01	A-B
10	A
11	No utilizada

Figura 2: Descripción de las instrucciones, formato de instrucción y señales de control a la ALU

Describe las acciones (ejemplo $PC \leftarrow PC + 1$) y las señales de control que se activan para cada una de las instrucciones de la figura 2 con el **menor** número posible de ciclos de reloj.