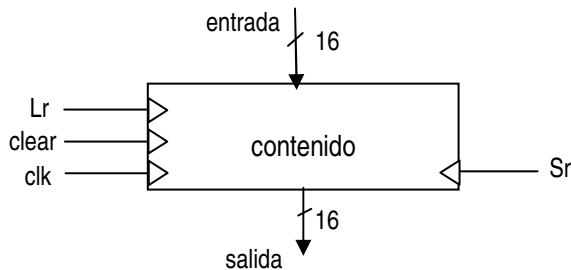


Apellidos:

Nombre:

1. Describid en VHDL, con la arquitectura de comportamiento, el componente que se muestra en la figura, registro de 8 bits controlado por la señales:



Clk: reloj

Clear: señal **síncrona** que pone a cero el contenido del registro

Lr: señal **sincronizada** con el reloj que carga la entrada de 16 bits en el **contenido** del registro.

Sr: señal **síncrona** por nivel **cero** que permite que en la salida del registro se obtenga **su contenido**, si no está activa la salida será alta impedancia.

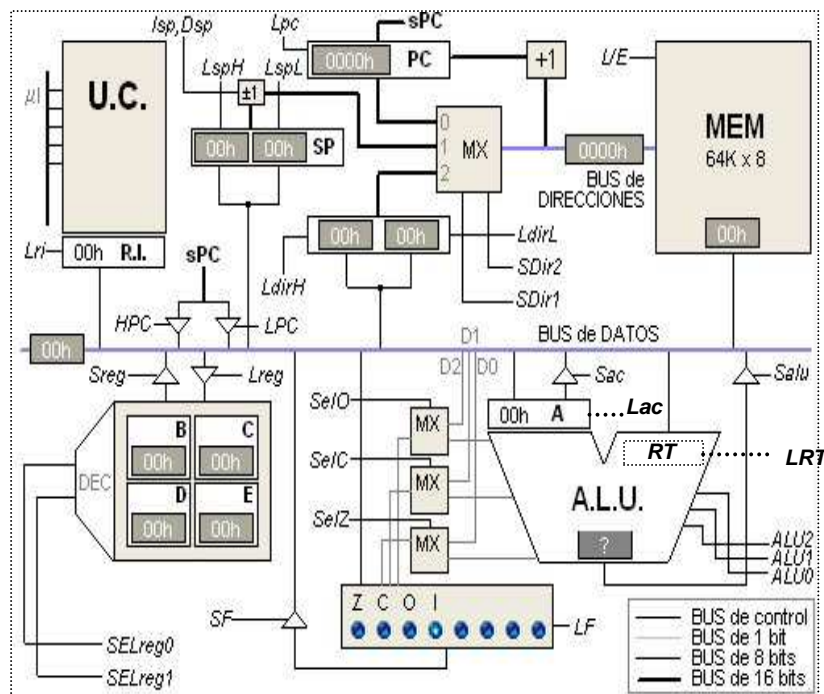
En la descripción utilizad dos procesos uno para escribir y otro para leer. Los nombres de las señales en la entity deben ser los que se indican en la figura. (2ptos)

2. Disponemos del procesador MaNoTaS, y queremos que se pueda ejecutar la instrucción **ADD dir** definida como:

$$A \leftarrow M(\text{dir}) + A$$

se pide:

- a) Cronograma, con el menor número posible de periodos, de la instrucción (1,5 ptos)
- b) Si la frecuencia del reloj es de 1GHz. Calcular en **ns** y **ps**, cuanto tiempo tardará en ejecutarse la instrucción. (0,5ptos)





Apellidos:

Nombre:

3. Disponemos de memorias del tipo CYM1846 (512Kx32), cuyas características y tabla de funcionamiento se muestra en la figura. Si el procesador al que debemos conectarla posee una línea de lectura/escritura R / \overline{W} . Se pide:

- El procesador tiene 20 líneas de direcciones. Escribir la tabla de verdad y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar una memoria de 512Kx32, cuya **última dirección** sea la 7FFFFH. **(1pto)**
- El procesador tiene 21 líneas de direcciones. Escribir la tabla y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar un mapa de memoria de 2Mx16. **(0,5ptos)**
- El procesador tiene 20 líneas de direcciones. Escribir la tabla de verdad y esquema eléctrico (con todas las líneas y mediante decodificadores), para diseñar una memoria de 128Kx32, cuya **última dirección** sea la BFFFFH. **(0,5ptos)**

CYM1846 (512KX32)

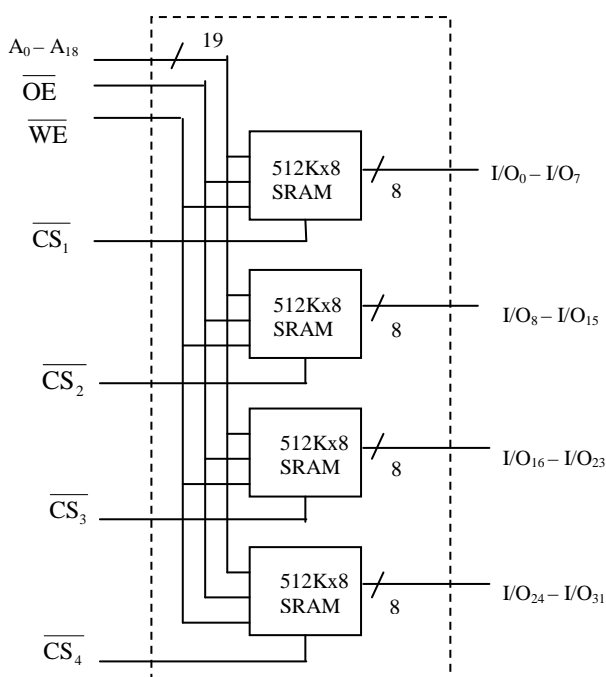
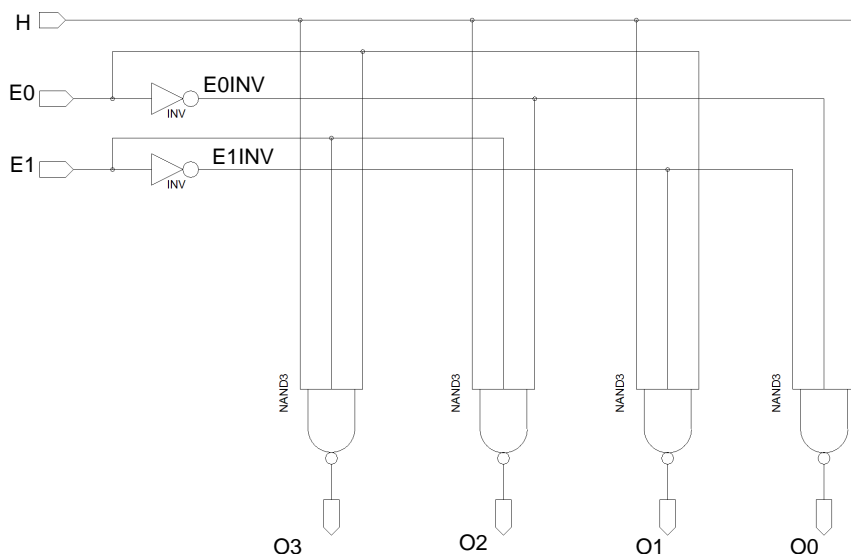


TABLA DE FUNCIONAMIENTO

\overline{CS}	\overline{WE}	\overline{OE}	E/S	Modo
H	X	X	Alta impedancia	Deshabilitada / Power-Down
L	H	L	Salida	Lectura
L	L	X	Entrada	Escritura
L	H	H	Alta impedancia	Deshabilitada

4. Dado el siguiente circuito.



Se pide:

- Escribir en VHDL el PACKAGE **Compo_P4**, con los componentes necesarios para la descripción (0,25ptos)
- Escribir en VHDL la descripción de funcionamiento de cada uno de los componentes (0,25ptos)
- Describir en VHDL con arquitectura **estructural** el circuito dado anteriormente (0,5ptos)



Apellidos:

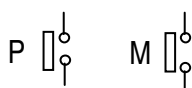
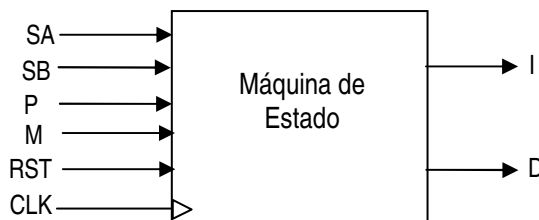
Nombre:

5. Se pretende diseñar un circuito de control de la vagoneta esquematizada en la figura adjunta; el cual se debe comportar de la siguiente manera:
- Mientras no se presione el pulsador (M), la vagoneta se encontrará parada en el punto A.
 - Al activar el pulsador (M), independientemente de que se vuelva a pulsar M, la vagoneta se dirigirá hacia el punto B, y una vez que haya llegado, automáticamente regresará al punto A.
 - De nuevo en el punto A se repetirá el ciclo.
 - Al activar el pulsador (P) la vagoneta se parará en el acto en el sitio en el que se encuentre.

Se sabe además que:

- La detección de la posición de la vagoneta se lleva a cabo mediante dos sensores (SA y SB) colocados en los puntos A y B respectivamente, los cuales toman el valor lógico '1' al detectar la presencia de la vagoneta y el de '0' en caso contrario.
- La detección de las pulsaciones mediante los dos pulsadores (P y M), los cuales toman el valor lógico '1' al ser pulsados y el '0' en caso contrario.
- El sentido del movimiento de la vagoneta se controla mediante la combinación de dos señales digitales (I, D) atendiendo a las siguientes combinaciones:

I	D	Acción
0	0	Motor Parado
0	1	Mover Derecha
1	0	Mover Izquierda
1	1	No válido



Se pide:

- Grafo de estados, para la máquina de Moore, con el menor número de estados posible (1,25ptos)
- Tabla con la función de salida en cada estado. (0,5ptos)
- Descripción VHDL de la máquina de estados tipo Moore (1,25ptos)