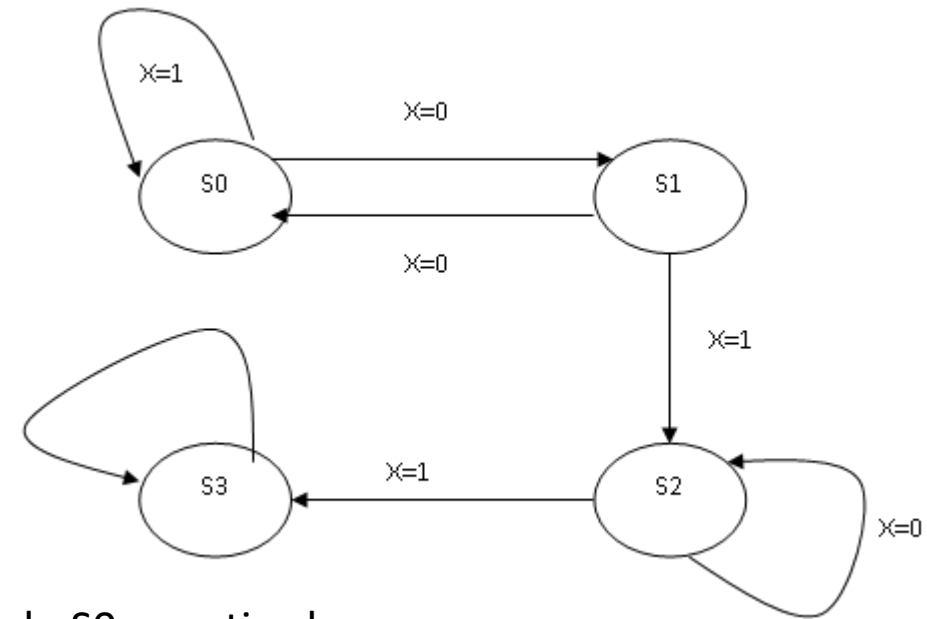


## EJERCICIO DISEÑO UC

Queremos diseñar una Unidad de Control de un sistema digital mediante el método de la tabla de estados finito. El grafo de estados se muestra en la siguiente figura. La unidad de control tiene 1 entrada y 4 salidas. Obtener las tablas de la función de salida y estado siguiente. Diseñar la Unidad de Control mediante una ROM y mediante una PLA.



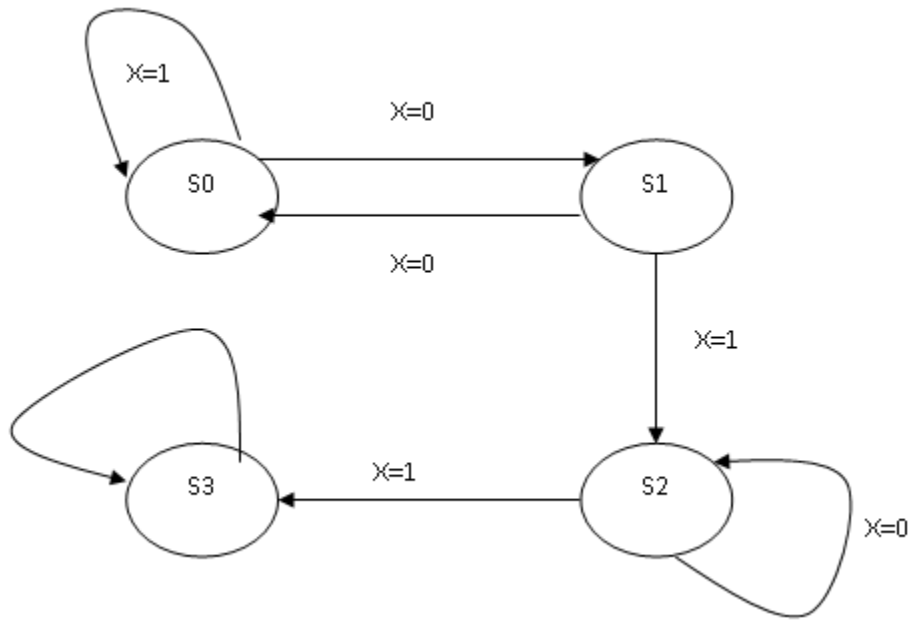
Las salidas se activan de la siguiente forma: estando en el estado S0 se activa la salida w, estando en S1 se activa la salida x, estando en S2 se activa la salida y y estando en el estado S3 se activa la salida z



## EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

Obtenemos la FUNCIÓN DE ESTADO SIGUIENTE y la FUNCIÓN DE SALIDA



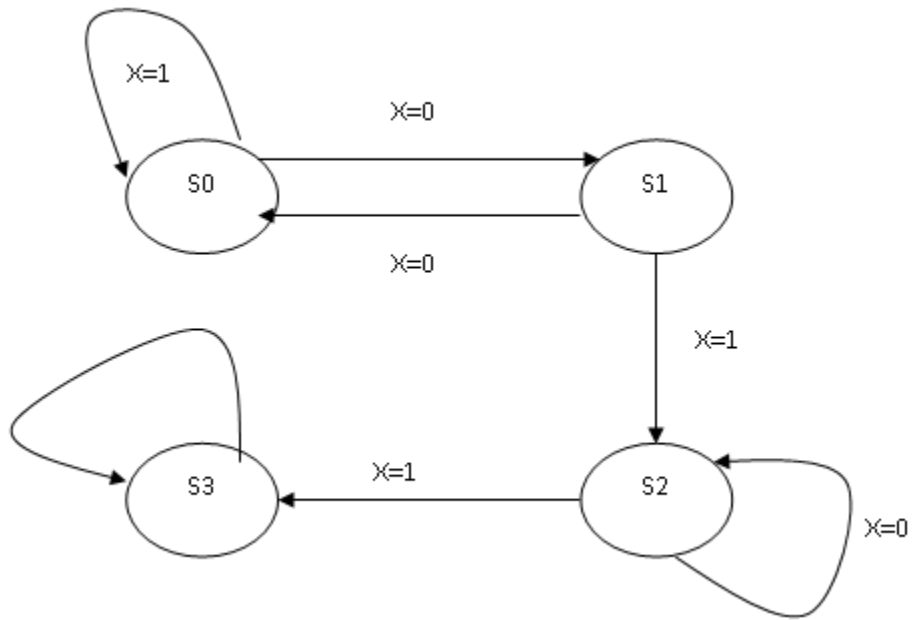
E <sub>1</sub>	E <sub>0</sub>	X	PE <sub>1</sub>	PE <sub>0</sub>	w	x	y	z



## EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

Obtenemos la FUNCIÓN DE ESTADO SIGUIENTE y la FUNCIÓN DE SALIDA



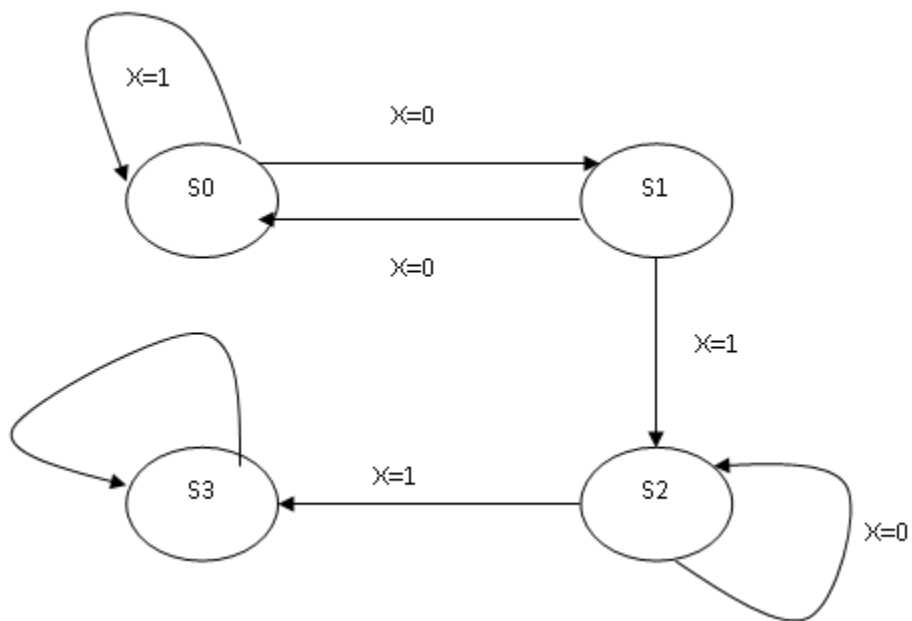
E <sub>1</sub>	E <sub>0</sub>	X	PE <sub>1</sub>	PE <sub>0</sub>	w	x	y	z
0	0	0	0	1	1	0	0	0
0	0	1	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0
0	1	1	1	0	0	1	0	0
1	0	0	1	0	0	0	1	0
1	0	1	1	1	0	0	1	0
1	1	X	1	1	0	0	0	1



## EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

Implementación en ROM



B. DIR			BUS DATOS					
A2	A1	A0	D5	D4	D3	D2	D2	D0
0	0	0	0	1	1	0	0	0
0	0	1	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0
0	1	1	1	0	0	1	0	0
1	0	0	1	0	0	0	1	0
1	0	1	1	1	0	0	1	0
1	1	X	1	1	0	0	0	1

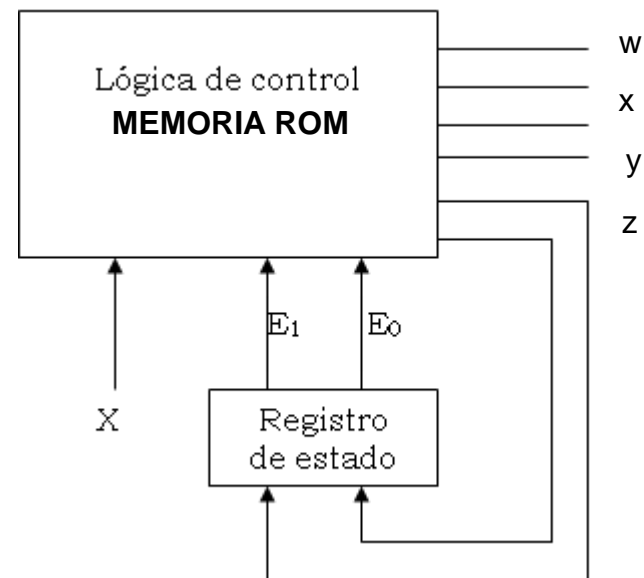
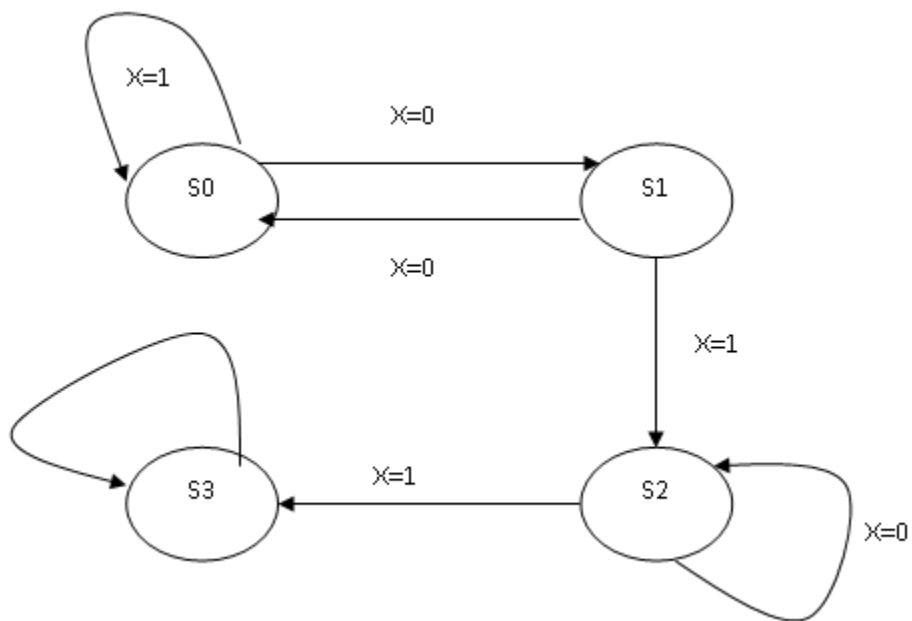
Tenemos una memoria ROM de 8x6 bits



## EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

UC implementada con una MEMORIA ROM

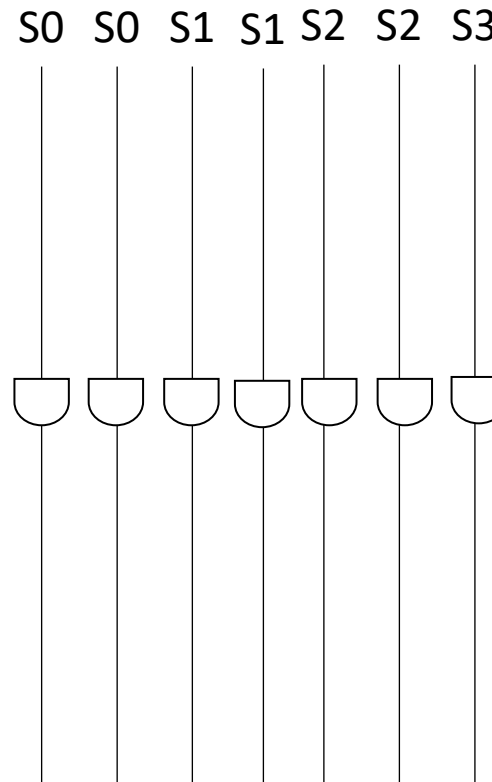
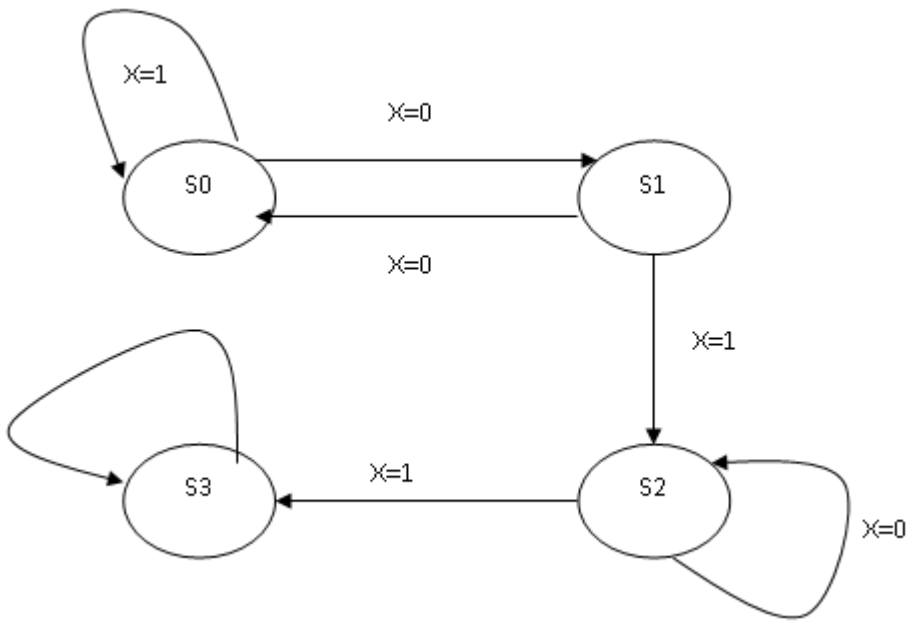


# EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

UC implementada con un PLD.

1. Dibujar una línea vertical por cada arco de salida de cada estado.  
Esta línea representa los productos (puerta AND)



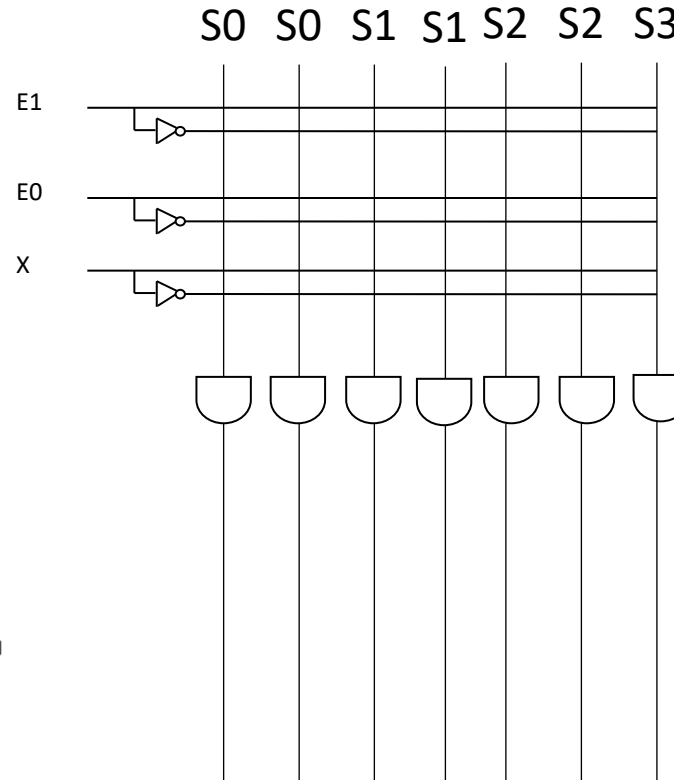
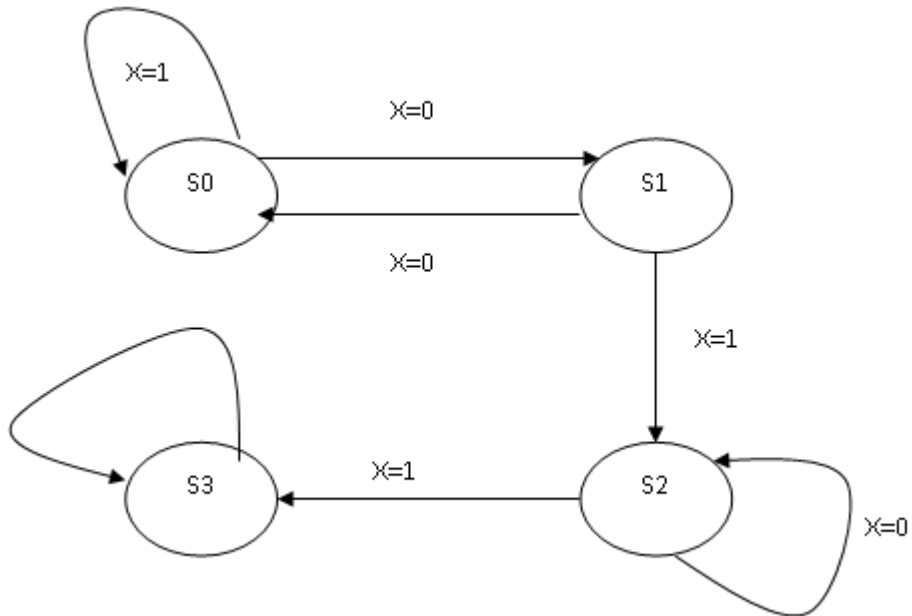
# EJERCICIO DISEÑO UC

## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS



UC implementada con un PLD.

2. Dibujar una línea horizontal positiva y otra negativa por cada entrada de la lógica de control



# EJERCICIO DISEÑO UC

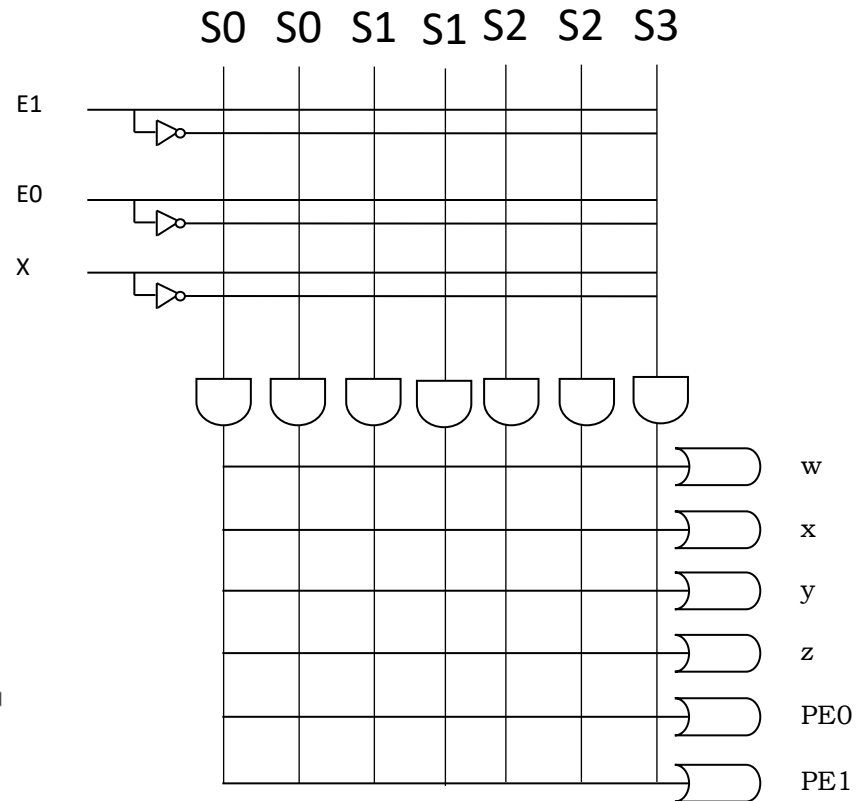
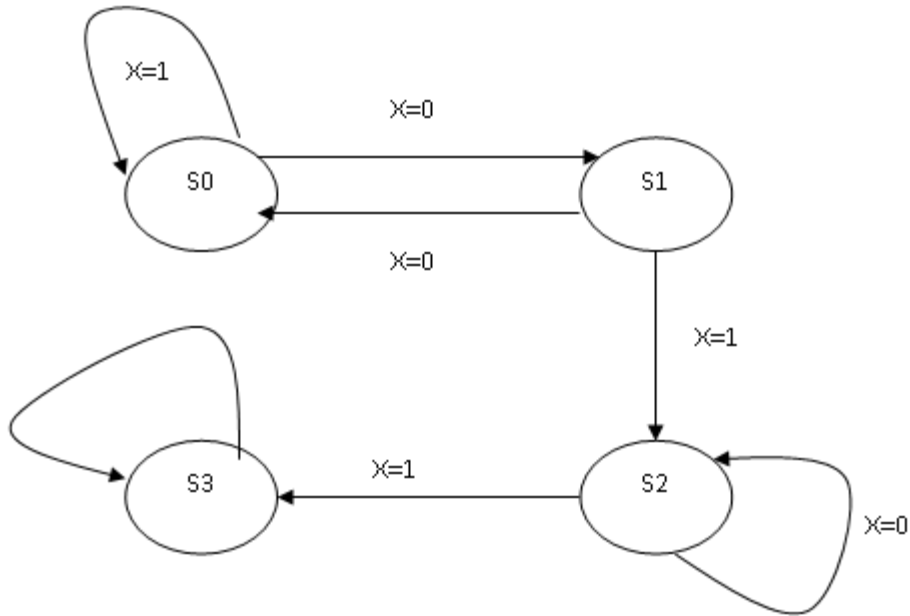
## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS



UC implementada con un PLD.

Señales	Estados			
	0	1	2	3
w	1	0	0	0
x	0	1	0	0
y	0	0	1	0
z	0	0	0	1

2. Dibujar una línea horizontal por cada salida de la lógica de control





# EJERCICIO DISEÑO UC

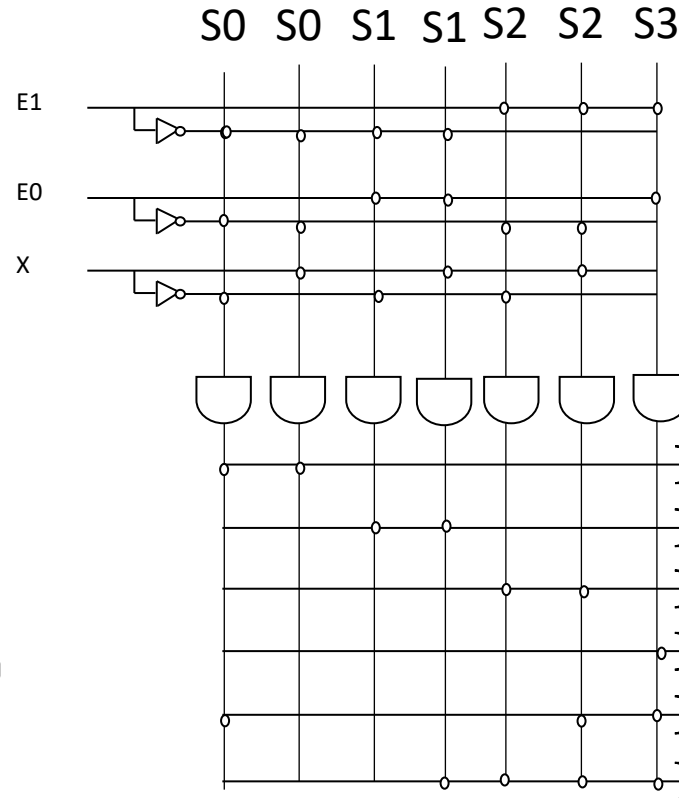
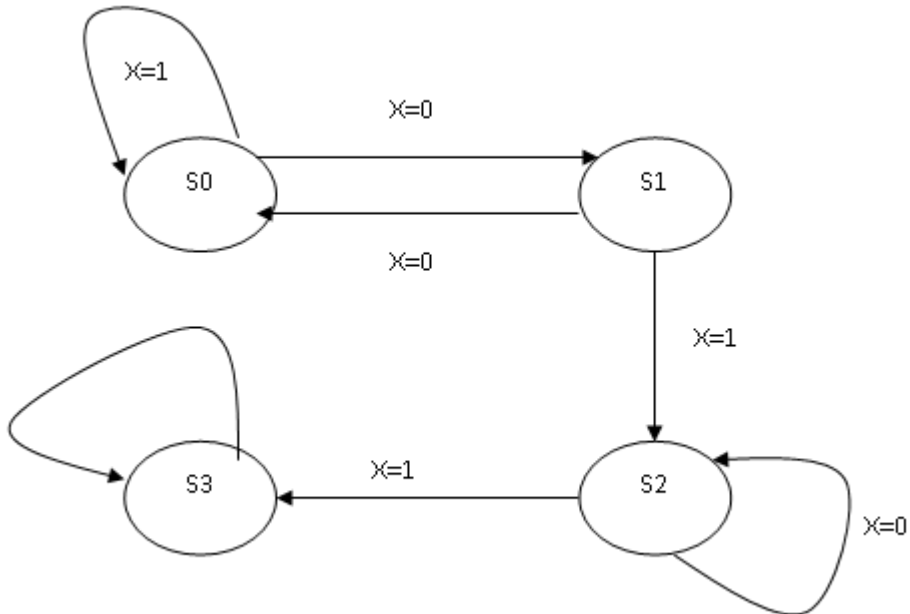
## CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS



UC implementada con un PLD.

Señales	Estados			
	0	1	2	3
w	1	0	0	0
x	0	1	0	0
y	0	0	1	0
z	0	0	0	1

3. Unir las líneas mediante conexiones a partir Función Salida y Función Estado Siguiente



Las salidas son sumas de productos:  
 $w = \overline{E1}E0X + E1E0X$

TAMAÑO=3\*7+6\*7=63 celdas PLD

## EJERCICIO DISEÑO UC

# CONSTRUCCIÓN MÁQUINA DE ESTADOS FINITOS

UC implementada con un PLD.

