



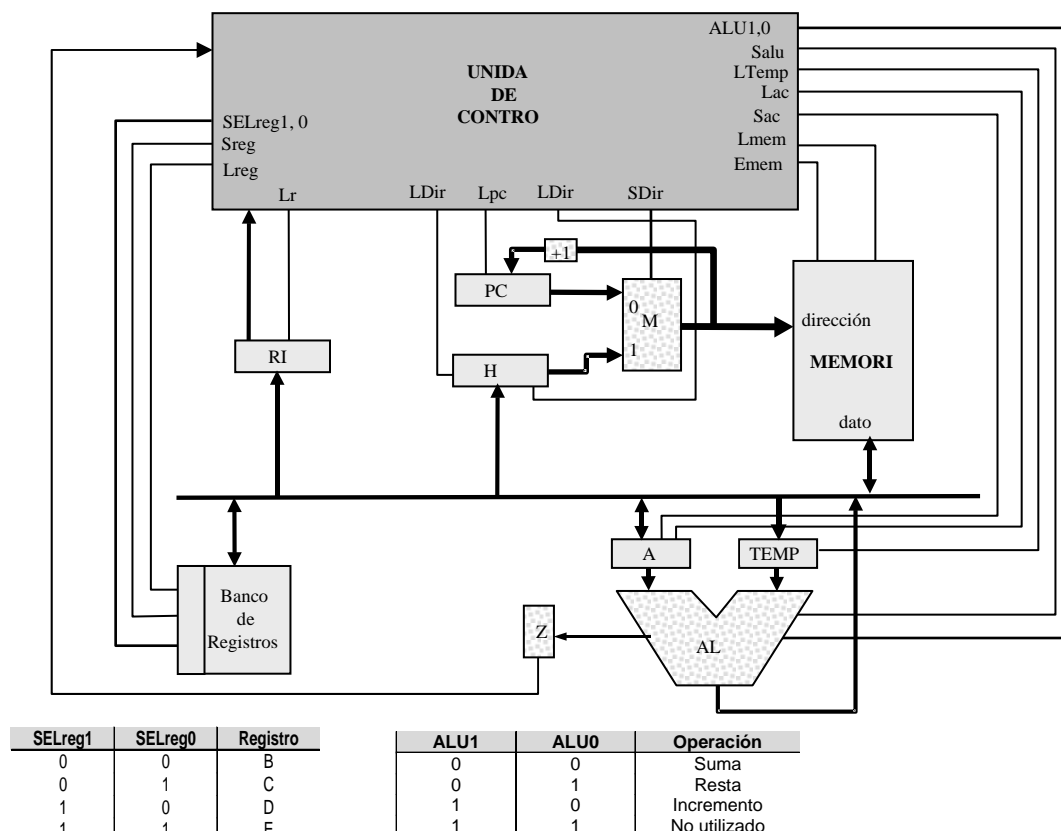
Estructuras de Computadores – (9166)

Examen (7 de Noviembre de 2007)

Pregunta 1.

(2 puntos)

Sea una versión simplificada de la ruta de datos del MANOTAS estudiada en clase de teoría capaz de ejecutar el subconjunto de instrucciones: SUB C, LDAX, STAX, JMP Y JZ. El registro Z contendrá el indicador de resultado cero de la operación efectuada en la ALU.



Se pide:

- (0,5 puntos) Organigrama con el menor número de fases de ejecución de las instrucciones. Utilizar para describir la acción realizada en cada fase el lenguaje de transferencia de registros (ej: $PC \leftarrow PC+1$). Suponer que cada fase se ejecuta en un ciclo de reloj.
- (0,5 puntos) Obtener la función de salida rellenando la tabla que se adjunta. (Indicar en el organigrama anterior el número del estado).
- (0,5 puntos) Si se quisiera implementar la unidad de control microprogramada con direccionamiento implícito mediante bitoring y con la optimización de la señal FIN. ¿Cómo quedaría la memoria de control?. Suponiendo 4 bits para la dirección de memoria, rellena la memoria con el siguiente encabezamiento:

Dirección memoria	Microinstrucción

- (0,5 puntos) Resuelve los correspondientes micros saltos. (Los códigos de operación para las instrucciones SUB C, LDAX, STAX, JMP y JZ son respectivamente 19h, B02h, 90h, 74h y 72h).



Pregunta 2.

(1 punto)

Obtener el resultado de la operación $A \times B$ y $A+B$ en el formato IEEE 754 de los siguientes números representados en el formato IEEE 754: Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de multiplicación y suma estudiado para números representados en el IEEE 754. Dar el resultado en hexadecimal.

$A = 41B40000$

$B = C0580000$

Pregunta 3.

(2.5 puntos)

En el diseño de un nuevo computador para resolver problemas de inspección visual, se ha especificado que necesitamos ubicar con criterios de optimización y de posible ampliación del sistema: una memoria ROM de 512MB; el interfaz de video está mapeado en memoria con acceso a través de RAM-VIDEO de 512 MB; el acceso a los 512 millones de posibles dispositivos de E/S no comparten el espacio de direcciones con la memoria; y, por último, se contempla inicialmente una memoria RAM para datos e instrucciones de 2 GB. El tamaño de la palabra para el bus de datos y direcciones es de 32 bits. Las instrucciones tienen una codificación fija de 32 bits.

Se pide:

- Mapas de memoria y de entrada/salida especificando los bits de dirección, las direcciones de cada bloque, su capacidad y tipo (1).
- Diseño, con el menor número posible de chips, de las conexiones entre el procesador y las memorias incluyendo todas las conexiones. (1.5 puntos)

Nota: La memoria para datos, instrucciones y video se realiza con una DRAM 256Mx16 y la memoria ROM utiliza bloques de 128Mx8. Las conexiones deben contemplar el bus de direcciones, el bus de datos y la lógica \overline{CS} , \overline{OE} y \overline{WE} .

Pregunta 4.

(2 puntos)

En un computador de 16 bits, la CPU realiza 7×10^6 peticiones por segundo a un sistema de memoria con un tiempo de acceso de 200 picosegundos. Se disponen de discos cuya velocidad de transferencia es de 500 Mbytes/seg. Calcular cuántos discos se pueden conectar al sistema sin afectar el rendimiento de la CPU en más de un 10%.

Pregunta 5.

(2.5 puntos)

- Diseñar una UAL de 4 bits que realice las siguientes operaciones: Desplazamientos aritméticos a la derecha (0, 1, 2 y 3), OR-EXCLUSIVA, NAND, NOR, NOT (1.75 puntos).
- Modificar la UAL anterior para que proporcione también el flag cero, el flag negativo, el flag de paridad impar y el flag de resultado impar. (0.75 puntos).