|  |  |  |
| --- | --- | --- |
| Лабораторная работа №2 | M3136 | 2022 |
| Моделирование схем в Verilog | Панюхин Никита Константинович | |
|

**Цель работы:** построение кэша и моделирование системы “процессор-кэш-память” на языке описания Verilog.

**Инструментарий и требования к работе:**весь код пишется на языке Verilog, компиляция и симуляция – Icarus Verilog 10 и новее (полезные материалы: [Verilog.docx](https://docs.google.com/document/u/0/d/179Da-G5IvQp12NpAxpFa0MLwzdFsBTVp/edit)). В отчёте нужно указать, какой версией вы пользовались (можно также приложить ссылку на онлайн-платформу). Использовать SystemVerilog допустимо, главное, чтобы код компилился под Icarus 10, 11 или 12. Далее в этом документе Verilog+SystemVerilog обозначается как Verilog.

**Описание**

<Пишем условие работы TODO Формулировка задачи из условия.>

**Вариант**

1, TODO

# Вычисление недостающих параметров системы.

Параметры из условия для варианта №1:

* Ассоциативность: **CACHE\_WAY = 2**
* Размер тэга адреса: **CACHE\_TAG\_SIZE = 10 бит**
* Размер кэш-линии (полезных данных): **CACHE\_LINE\_SIZE = 16 байт**
* Кол-во кэш-линий: **CACHE\_LINE\_COUNT = 64**
* Размер памяти: **MEM\_SIZE = 512 Кбайт**

Вычислим остальные параметры:

* Размер кэша:

**CACHE\_SIZE = CACHE\_LINE\_SIZE × CACHE\_LINE\_COUNT = 64 \* 16 = 1024**

* Кол-во наборов кэш-линий:

**CACHE\_SETS\_COUNT = CACHE\_LINE\_COUNT / CACHE\_WAY = 64 / 2 = 32**

* Размер индекса в наборе кэш-линий:

**CACHE\_SET\_SIZE = = = 9**

* Размер смещения**:**

**CACHE\_OFFSET\_SIZE = = = 4**

* Размер адреса**:**

**CACHE\_ADDR\_SIZE = = = 19**

Размер частей адреса кэша:

|  |  |  |  |
| --- | --- | --- | --- |
|  | **tag** | **set** | **offset** |
| Размер | **CACHE\_TAG\_SIZE** | **CACHE\_SET\_SIZE** | **CACHE\_OFFSET\_SIZE** |
| **10 бит** | **9 бит** | **4 бита** |
| **32 бита** | | |

Отсюда получим размеры шин **A1** и **A2**:

* **ADDR1\_BUS\_SIZE = =  
  = = 19 бит**
* **ADDR2\_BUS\_SIZE = CACHE\_TAG\_SIZE + CACHE\_SET\_SIZE = 19 бит**

1. Аналитическое решение задачи (решение вида написать код на языке высокого уровня, эмулирующего работу системы, будет засчитано).
2. Моделирование заданной системы на Verilog.
3. Воспроизведение задачи на Verilog.
4. Сравнение полученных результатов.
5. Листинг кода