

与 接口拨木。

等7章 串并行接口技术

主编: 王让定 朱莹

宁波大学信息学院









本章主要内容录



02 • • • •





可编程定时 器计数器 8253/8254 并行通信技术以及可编程并行接口芯片8255A

串行通信 基础

串行通信技术以 及可编程的串行 接口芯片8251A



可编程定时器计数 器8253/8254

PART 01

概述

1、定时与计数

控制系统与计算机中,常常需要有定时信号,以实现定时或延时控制。如定时中断,动态存储器的定时刷新等。此外,还需要有计数功能,以实现对外部事件的计数,当外部事件发生的次数达到规定值后,向计算机发出中断请求,进而实现相应的控制或处理。

定时的本质就是计数,当计数信号是周期信号时,计数就可以用于定时。如以秒为单位计数,则计数60次就是1分,计满60分就是1小时,计满24小时就是1天

2、实现定时和计数的三种方法

- 软件方法:采用软件定时,让计算机执行一个专门的指令序列,由执行指令序列中每条指令所花费的时间构成一个固定的时间间隔,从而达到定时或延时的目的。
- 不可编程的硬件定时:采用电子器件构成定时或延时电路,通过调整电路中定时元件的数值,可实现调整定时或延时的数值和范围。
- 可编程的硬件定时: 在微机系统中采用软硬件结合的方法, 即采用可编程定时的电路器件实现定时。如: Intel 8253/8254, Zilog CTC, MC6840等。8253-5

(5MHz)和8254-2(10MHz)的引脚和功能都是兼容的。



8253/8254的内部结构和引脚

1、8253-PIT的主要功能

Intel 8253-PIT是具有3个16位计数器通道的可编程计数器/定时器芯片,主要功能如下:

- (1) 具有3个独立的16位计数通道;
- (2) 每个计数通道都可按2进制或BCD进制计数;
- (3) 8253-PIT每个计数通道的计数速率最高可达2MHz, 8253-5(5MHz), 8254-2(10MHz);
- (4) 每个通道有6种工作方式,可由程序设置改变;
- (5) 全部输入输出都与TTL电平兼容。

2、8253的结构框图

如图所示8253 由与CPU接口、 内部控制电路 以及三个计数 器通道组成。

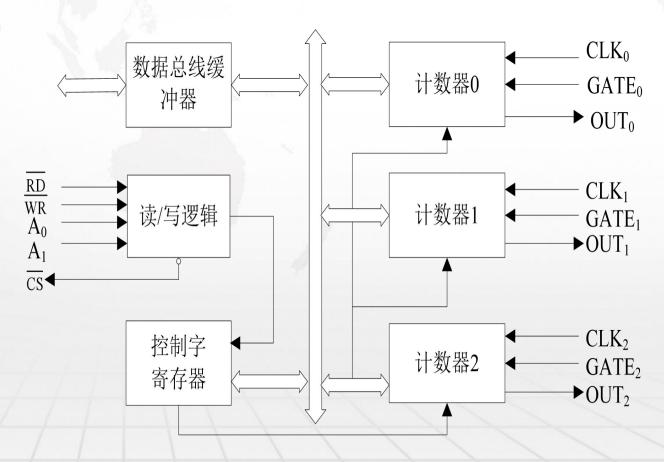


图 Intel 8253结构框图

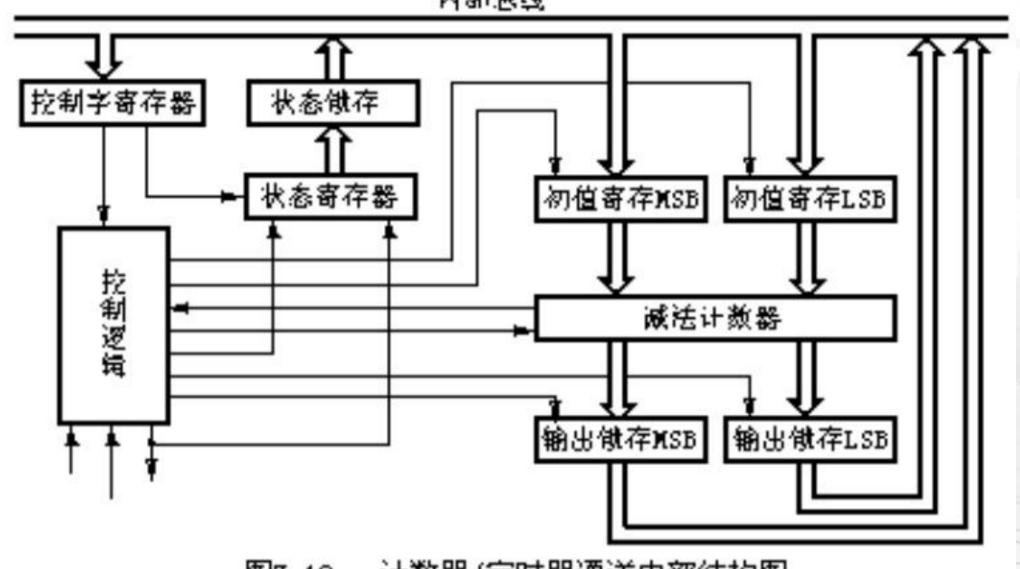


图7.18 计数器/定时器通道内部结构图

- 1) 数据总线缓冲器: CPU用输入输出指令对8253进行读写操作时的所有信息都通过该缓冲器传送。
- 2) 读/写逻辑: 这是8253内部操作的控制电路,它 从系统控制总线上接收输入信号,然后转换成8253内部操作的各种控制信号。
- 3) 控制字寄存器:通过该寄存器CPU可以设置三个 计数器通道的工作方式。
- 4) 计数器0, 1, 2: 这是3个独立的计数/定时通道,是16位的可设置计数初值的减法计数器。如图7.2所示,是每个计数通道的结构。内有计数初值寄存器CR,计数执行部件CE和输出锁存器OL及控制字寄存器。其中CE作减法计数。

计数初值寄存器CR, 计数执行部件CE和输出锁存器OL都是16位的寄存器, 而8253/8254与CPU连接的数据线却是8位的, 因此8253/8254有三种读写格式:

- 只读写低8位,高8位清零。适合 计数初值小于255,如12H
- 只读写高8位,低8位清零。适合 计数初值大于255,但是低8位为 0的情况,如1200H
- 先读写低8位,后读写高8位。适合计数初值大于255,如1234H

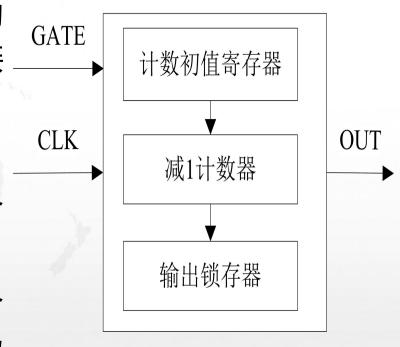


图 计数器的内部结构

3、8253的引脚

8253与CPU接口

的引脚,除了没有复位信号RESET引脚外,其他与8255相同。如图7.3所示,

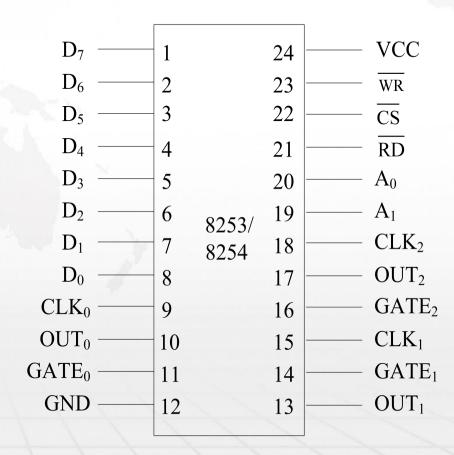


图 8253/8254的引脚

1) CLK

CLK为时钟输入引脚,用以输入计数执行部件CE(减法计数器)的计数脉冲信号。

2) OUT

它是通道输出信号引脚,从功能上来说也可称为"计数到零/定时时间到"输出引脚。8253的基本功能就是对外部输入到CLK引脚的脉冲进行减法计数。

3) GATE

它是门控输入信号引脚,当GATE为低电平时禁止计数器工作,通常GATE为高电平或有上升沿跳变时计数器才能工作。

8253的工作方式

- 8253有6种工作方式,每个通道均可以通过编程选择工作方式。
- 计数启动方式:

软件启动: GATE端为高电平, 置入计数初值后的第2个CLK脉冲的

下降沿就开始计数

硬件启动: GATE端要求有一个上升沿跳变,对应CLK脉冲的下降

沿开始计数

• 工作方式:

(1) 方式0: 计数到零产生中断请求。 软件启动。

(2) 方式1: 硬件可重复触发的单稳态触发器。 硬件启动。

(3) 方式2: 分频器。 软、硬件启动。

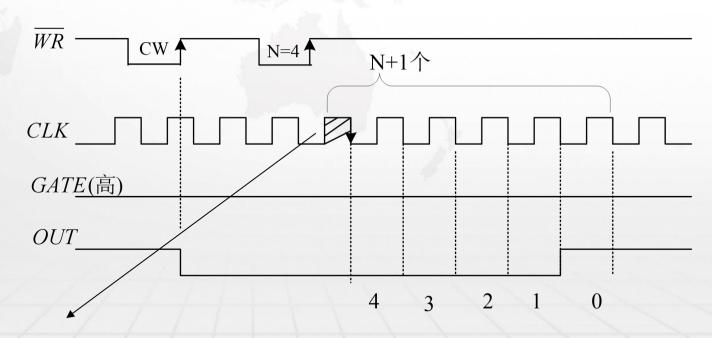
(4) 方式3: 方波发生器(用得最多的方式)。软、硬件启动。

(5) 方式4: 软件触发选通。 软件启动。

(6) 方式5: 硬件触发选通。 硬件启动。

(1)方式0 计数到零产生中断请求

①如图7.4所示,CPU写入控制字CW,在WR的上升沿,OUT输出变低或保持低。



初值由CR到CE

图7.4 方式()时序图

- ② CPU将计数初值N写入计数初值寄存器CR(图中初值为4),在 WR上升沿之后的第一个CLK脉冲的下降沿将CR的内容送入计数执行部件CE。
- ③ 当GATE=1时,在CR内容送入CE后的每一个CLK脉冲下降沿使CE减1计数,在计数过程中OUT一直保持低直到计数为零。
- ④ 计数器减到0时,0UT由低跳到高电平,此输出信号可作为中断请求。
- ⑤在方式0中,当GATA=0时,计数暂停,当GATA变高后就接着计数。如图7.5所示。
- ⑥在计数过程中也可改变计数初值。在写入新的计数初值后,计数器将立即按新的计数值重新开始计数,即改变计数初值是立即有效的,参见图7.6

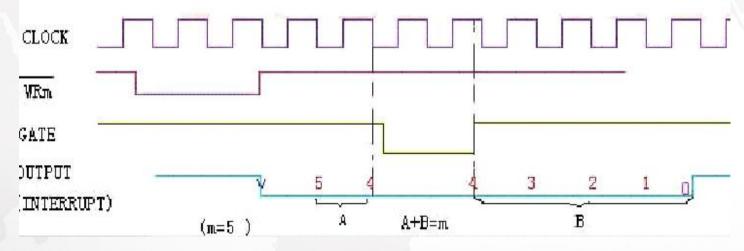


图7.5 当GATA=0时, 计数暂停, 当GATA变高后就接着计数

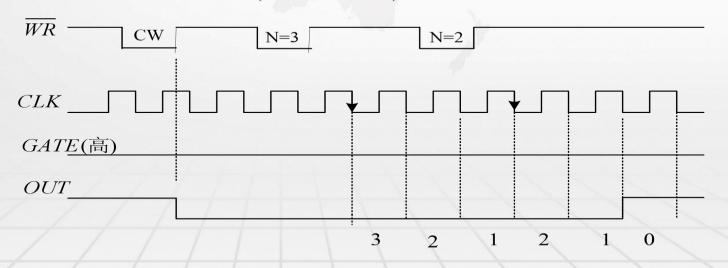


图7.6 方式0计数过程中改变计数初值

(2)方式1 硬件可重复触发的单稳态触发器

- ① 若设置初值为N. 则输出为N个CLK周期宽度的负脉冲。
- ② 计数到零时, 可再次由GATE上升沿触发, 输出同样宽度的负脉冲, 而不必重新写入初值, 即可重复触发如图7.7所示。

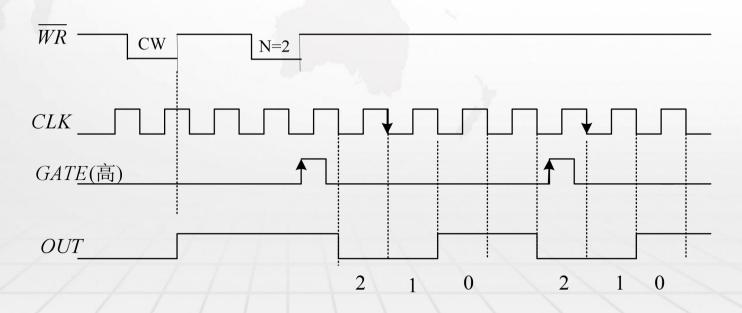


图7.7 方式1时序图

- ③ 在计数过程中(输出负脉冲期间),可由GATE上升沿再触发,如图7.8所示。
- ④ 在计数过程中, CPU可改变初值, 这时计数过程不受影响, 计数到0后输出变高。当再次触发时, 计数器才开始按新的计数初值计数。即改变计数初值是下次有效的。

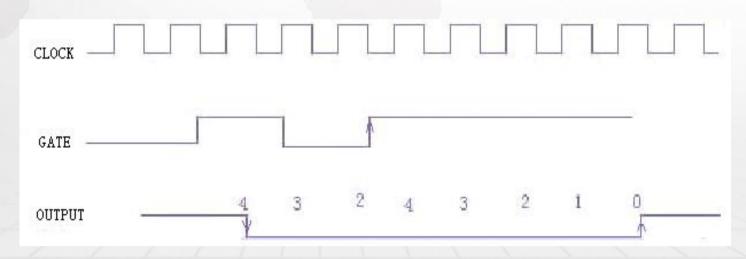
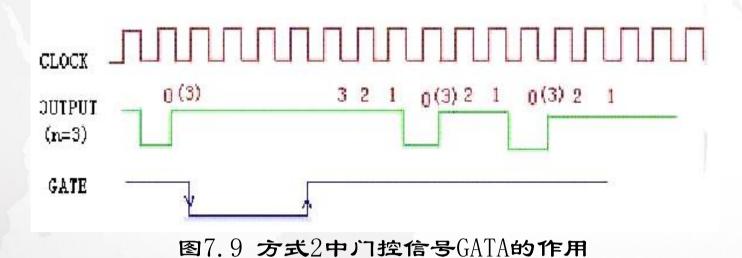


图7.8 计数过程中GATE 的作用

(3) 方式2 分频器

- ① 不用重新设置计数初值,通道能连续工作。如果初值为N,则每输入N个CLK脉冲,输出一个负脉冲,负脉冲的宽度为1个CLK周期,重复周期为N倍的CLK周期。
- ② 计数过程中可由GATE信号控制,当GATE信号变低时,立即暂停现行计数;当GATE信号变高后,从计数初值开始重新计数,如图7.9所示。
- ③ 如果在计数过程中, CPU重新写入计数初值,则对于正在进行的计数无影响,而是从下一个计数操作周期开始按新的计数值改变输出脉冲的频率,如图7.10。



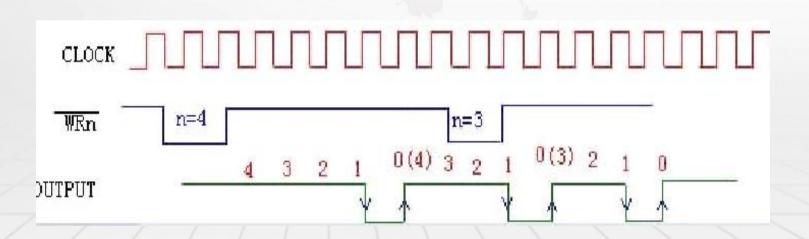


图7.10 方式2计数过程中改变初值

(4) 方式3 方波发生器

① 注意初值N为偶数或奇数时,输出信号的差别。N为偶数时,输出对称方波,周期为N个CLK宽度;N为奇数时,输出有N+1/2个CLK周期的高电平和N-1/2个CLK周期的低电平。

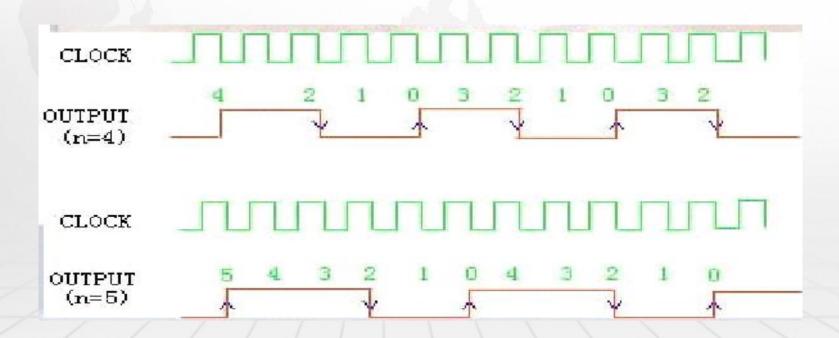


图7.11 方式3时序图

- ② 在计数过程中,GATE信号变低则暂停现行计数过程, 直到GATE变高,将从计数初值开始重新计数。
- ③ 如果要求改变输出方波的频率,则CPU可在任何时候 重新写入初值,并从下一个计数操作周期开始改变输 出方波频率

(5) 方式4 软件触发选通

- ① 若初值为N , 则写入初值后的N+1个CLK脉冲才输出一个负脉冲, 负脉冲的宽度为一个CLK周期, 如图7.12。
- ② 当GATE=1时,允许计数;GATE=0时,禁止计数。
- ③ 在计数过程中改变初值,则按新的初值重新计数,即<mark>改变初值是立即有效的</mark>。

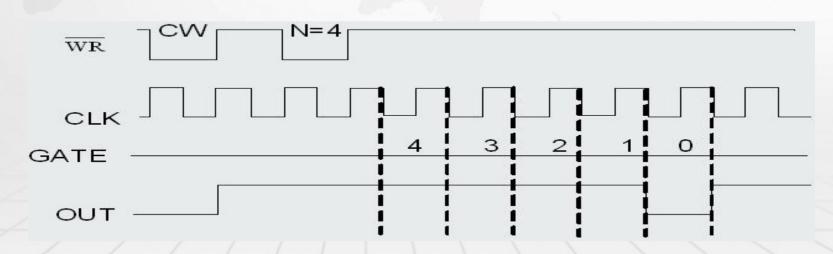


图7.12 方式4时序图

(6) 方式5 硬件触发选通方式

① 初值为N,则在门控GATE上升沿触发后。经过N+1个CLK脉冲,才输出一个CLK周期的负脉冲,如图7.13。

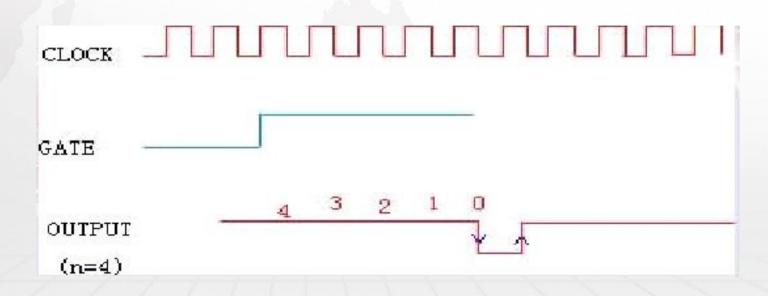


图7.13 方式5时序图

- ② 若在计数过程中再次出现门控GATE触发信号。则将从初值 开始重新计数,但OUT输出的高电平不受影响,如图7.14。
- ③ 若在计数过程中改变初值,只要在计数到0之前不出现新的门控触发信号,则原计数过程不受影响;等计数到0并出现新的门控触发信号后,再按新的计数初值计数。若在写入了新的计数初值后,在未计数到0之前有门控触发信号出现,则立即按新的计数初值重新开始计数。

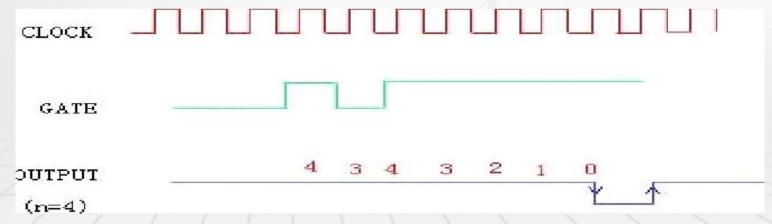


图7.14 方式5中门控信号GATA的作用

(7) 六种工作方式总结

- ① 时钟周期和输出周期的区别
- ② 输出波形在时钟下降沿产生电平变化

计数值N与输出波形的关系

方式	N与输出波形关系	改变计数值	
0	写入计数值N后,经N+1个CLK脉冲,输出变高	下一个CLK周期立即 有效	
1	单稳脉冲的宽度为N个CLK	外部触发以后有效	
2	每N个CLK脉冲输出一个CLK周期的脉冲	计数到1以后有效	
3	前一半为高电平、后一半为低电平的方波	外部触发有效 / 计 数到1有效	
4	写入N后经过N+1个CLK,输出宽度为1个CLK的脉冲	计数到0有效	
5	门控触发后过N+1个CLK,输出宽度为1个CLK的脉冲	外部触发有效	

门控信号GATE的作用

	GATE		
方式	低电平或变低电平	上升沿	高电平
0	禁止计数		允许计数
1	_	启动计数,下一个CLK脉冲	
		使输出为低	
2	禁止计数,立即使	重新装入计数值, 启动计	允许计数
	输出为高	数	
3	禁止计数,立即使	重新装入计数值, 启动计	允许计数
	输出为高	数	
4	禁止计数	-	允许计数
5	_////	启动计数	-

- (1) 方式2(分频器)、方式4(软件触发选通)和方式5(硬件触发选通),它们的输出波形相同,都是宽度为1个CLK周期的负脉冲。区别是:方式2是自动重复工作的,而方式4需要由软件(设置计数初值)触发启动,方式5需要由硬件(门控GATE信号)触发启动。
- (2) 方式5 (硬件触发选通) 与方式1 (硬件触发单稳), 触发信号相同, 但输出波形不同: 方式1输出为宽度是N个CLK周期的负脉冲(计数过程中输出为低), 而方式5输出为宽度是1个CLK周期的负脉冲(计数过程中输出为高)。

- (3) 6种工作方式中,只有方式0,写入控制字后输出为低; 其余5种方式,都是写入控制字后输出为高。
- (4) 6种工作方式中的任何一种方式,只有在写入计数值后才能开始计数。方式0、2、3、4都是写入计数初值后,计数过程就开始了。而方式1和方式5在写入计数初值后,需由外部GATE信号的触发启动,才能开始计数过程。
- (5) 6种工作方式中,只有方式2(分频器)和方式3(方 波发生器)为自动重复工作方式,其他4种方式都是 一次性计数,要继续工作需要重新启动。

图7.15是8253六种工作方式下的输出波形图。

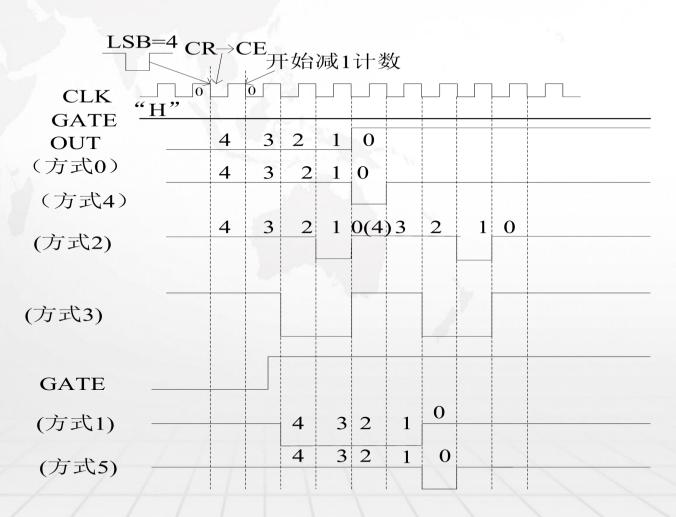
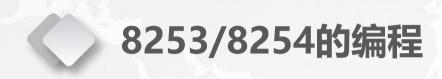
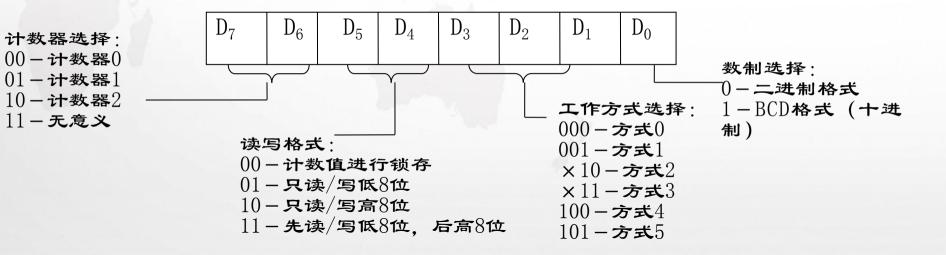


图7.15 8253六种工作方式下的输出波形图



1. 写入方式控制字:



8253/8254方式控制字格式

2、写入计数初值

写入计数初值的时候要注意下面几个问题:

- 对计数器设置初值之前,必须先写控制字。
- 设置计数初值的时候,要和控制字中规定的读写格式对应。
 若控制字规定只读写低8位,则自动写入低8位,高8位填0;
 若规定只读写高8位,则自动写入高8位,低8位填0;若规定写16位,则先写低8位,再写高8位。
- 由于每一个计数器都是先减1,再判断是否为0,所以写入初值0,实际上表示最大数。0000H在二进制计数时其实表示65536,在十进制计数时表示10000。

计数初值的计算有下面几种情况:

- 当计数器工作在方式2或者方式3的时候,实际上是一个分频器,因此计数常数就是分频系数,分频系数= f_i/f_o (f_i :输入CLK频率; f_o : OUT端输出频率)。
- 当计数器作为定时器工作时,CLK通常来自系统内部的时钟,计数常数就是定时系数,定时系数 $=T/t_{CLK}=T\times f_{CLK}$ (T为定时时间, f_{CLK} 为输入的CLK频率)。
- 当计数器作为外部计数使用时,计数脉冲通常来自系统外部,计数常数就是要记录的外部事件的脉冲个数。

3. 计数值和状态的读回

(1) 8253的计数值的读回

由CPU访问每个通道的输出锁存器OL,即可实现读出每个通道的计数值。

在上面的方式控制字格式中,我们看到,如果 D5D4=00,就表示锁存该计数器的值,用来进行 读入。

(2) 8254的计数值和状态读回

- 多了专门的读回命令字,可以将3个计数器的计数值和状态都进行锁存,并且向CPU返回一个状态字
- 读回命令写入控制端口,而状态字和计数值都通过相应的计数器端口读出

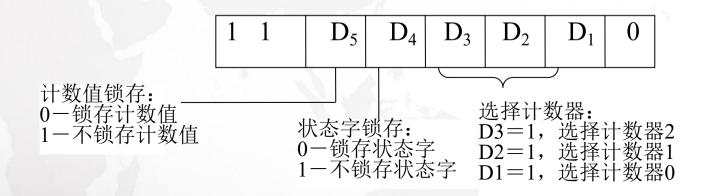


图7.17 8254的读回命令

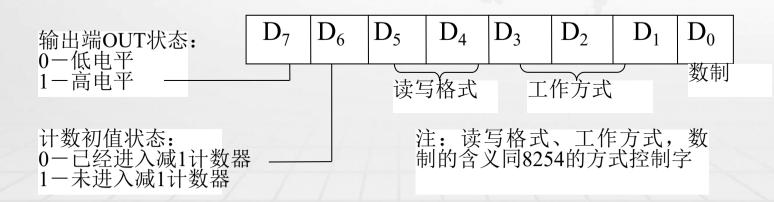


图7.18 8254的状态字

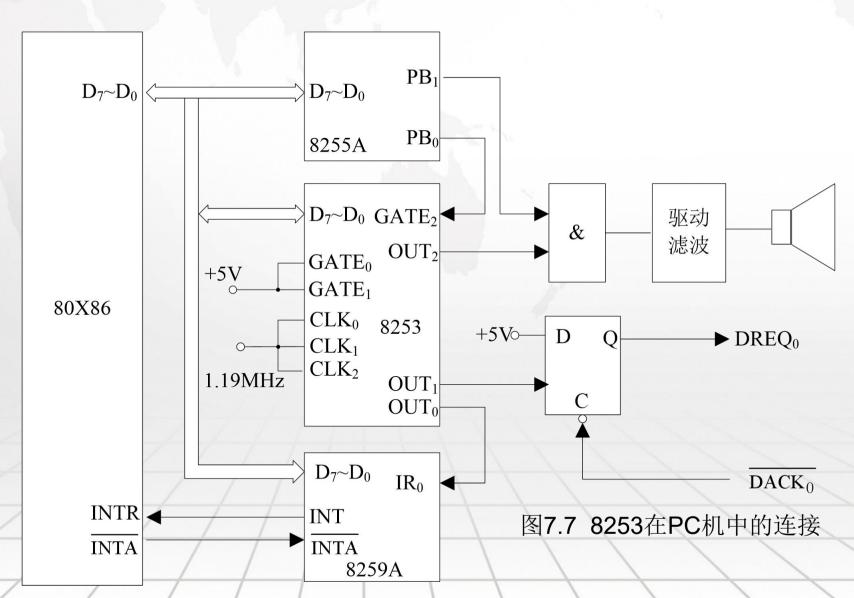
• **例7**. 1 用8253的计数器0,工作在方式1下,按十进制计数,初值为3040;若该8253的端口地址为388~38BH,请写出初始化程序段。

• **例7**. **2** 在8253中,读取计数器1的16位计数值,存入CX中,设地址同例6. 1,请写出程序段。

• **例7.3** 在8254中,利用读回命令,读回计数器1的16位计数值和状态字, 计数值存入CX,状态字存入BL,设地址同例7.1,请写出程序段。



8253/8254的应用实例



如图7.7,在IBM PC系列计算机中,用8253的3个计数器进行时钟计时、DRAM刷新定时和控制扬声器发声声调,8253的端口地址分别为40H、41H、42H和43H,输入时钟都为1.193MHz。

①计数器0产生基本时钟

MOVAL, 36H ; 计数器0的控制字为00110110

OUT43H, AL

MOVAL, 0

OUT40H, AL ; 计数器0的初值为0000

OUT40H, AL

由上面初始化程序可见,计数器0工作在方式3下,产生方波;初值为0,也就是最大的65536,则其方波的输出频率为1.193MHz/65536=18.2。DOS系统利用定时器0,通过08号中断服务程序,实现时钟计时功能。

②计数器1控制DRAM刷新

在PC XT机中,要求在2ms内对DRAM进行128次刷新,也就是刷新的间隔为 2ms/128=15.6us。计数器1输出间隔 15us的负脉冲,

我们来看计数器1的初始化程序:

MOVAL, 54H ; 计数器1的控制字为01010100

OUT43H, AL

MOVAL, 18 ; 计数器0的初值为18

OUT41H, AL

由上面初始化程序可见,计数器1工作在方式2(分频器)下,只读写低位,初值为18。由此可知,计数器1的输出频率为: 1.193MHz/18 =66.278KHz,负脉冲的时间间隔为1/66.278 KHz = 15us。

③计数器2控制扬声器

利用计数器2的输出,控制扬声器的发声音调,作为机

器的报警信号或者伴音信号

Extra 2. Make use of PIT 8254

- 1. Triger signal generating:
 - s generate a contineous pulse signale of given frequency.
 - calculate the initial value
 - connect 2~3 TIMER unit to build up a cascaded divider circuit

Extra 2-1

 A 8254PIT is used in a temperature sampling and adjusting system. It is required that the temperature should be sampled every 30s. A crystal is used to generate the clock, which is 2MHz.

s plz build up the timer circuit.

og plz program the PIT controller.

• Solution:

- 30s = inital value/2M, iniv = 60,000,000 >> 65,535
- At least two timer should be in cascaded.
- cs Timer1 level 1, mode 2, iniv = 10,000
- cs Timer2 lever 2, mode 2 also, iniv = 6,000

MOV AL, 67H ;8254 Timer1 CMDW

OUT A6H, AL

MOV AL, A5H ;8254 Timer2 CMDW

MOV AL, 00H ; feed Timer 1 iniv

OUT A2H, AL

MOV AL, 60H ; feed Timer 2 iniv

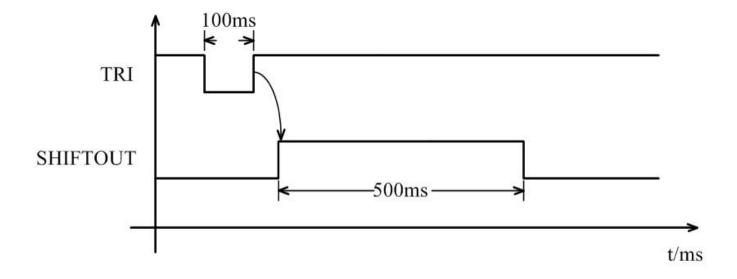
OUT A4H, AL

Extra 2

- 2. Gate control signal generating:
 - s generate a gate signal of a given duration
 - calculate the down counter initial value
 - plz take care of the margin of error. Increase the input clk frequency to decrease the error.

Extra 2-2

 Plz generate the SHIFTOUT signal. the error should be limited within 0.1ms. A crystal of 10MHz is used as the clock.



Solution:

- Mode 1 is fine

 ✓
- s the TRI should be used as GATE pulse to start timer
- a cascaded 2 level timer should be used.
 - the first level should generate a clk that full fill error limitation requirements
 - the second level should generate the gate and full fill width requirements

• Solution:

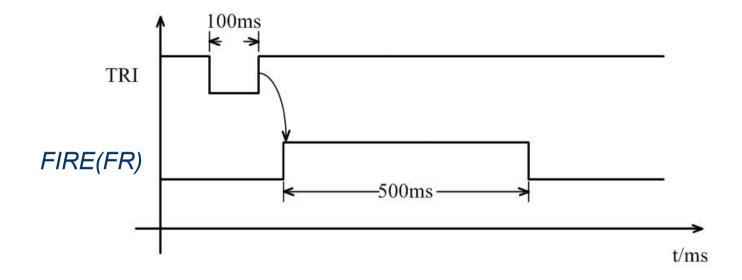
- Margin of error = 0.1 ms
 - a clk of 1/0.00001 = 1MHz should be created
 - Timer0 in mode2, iniv = 10M/1M = 1k
- Width of gate = 500 ms
 - iniv of level2 timer = 500/0.1 = 5000
 - Timer1 in mode0/mode1, iniv = 5000

Extra 2

- 3. Gate width measurement
 - A gate signal is given to be measured. An estimated width is alread known, and a margin of error is given.
 - calculate the down counter initial value. The counter timer MUST be greater than the estimated width plus error limition.
 - plz take care of the margin of error. Increase the input clk frequency to decrease the error.

Extra 2-3

Plz measure the width of FIRE(FR) signal.
 The margin of error should be within 0.1ms.
 A 10MHz crystal is used as the clock.



Solution:

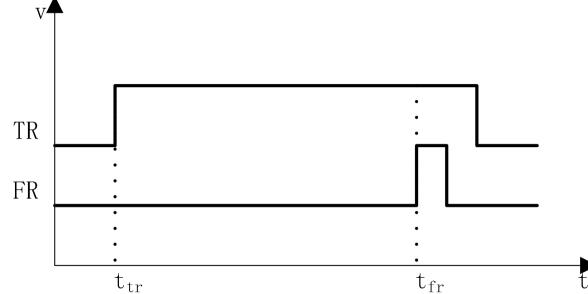
- Mode 0 should be used.
- control of the timer.
- When the measure is finished, counter value should be read out
- s and the width = (initvalue cntvalue) * Tclk
- a cascaded 2 level timer should be used.
 - the first level should generate a clock signal to meat the requirements of margin of errors;
 - the second level will be used to measure the gate

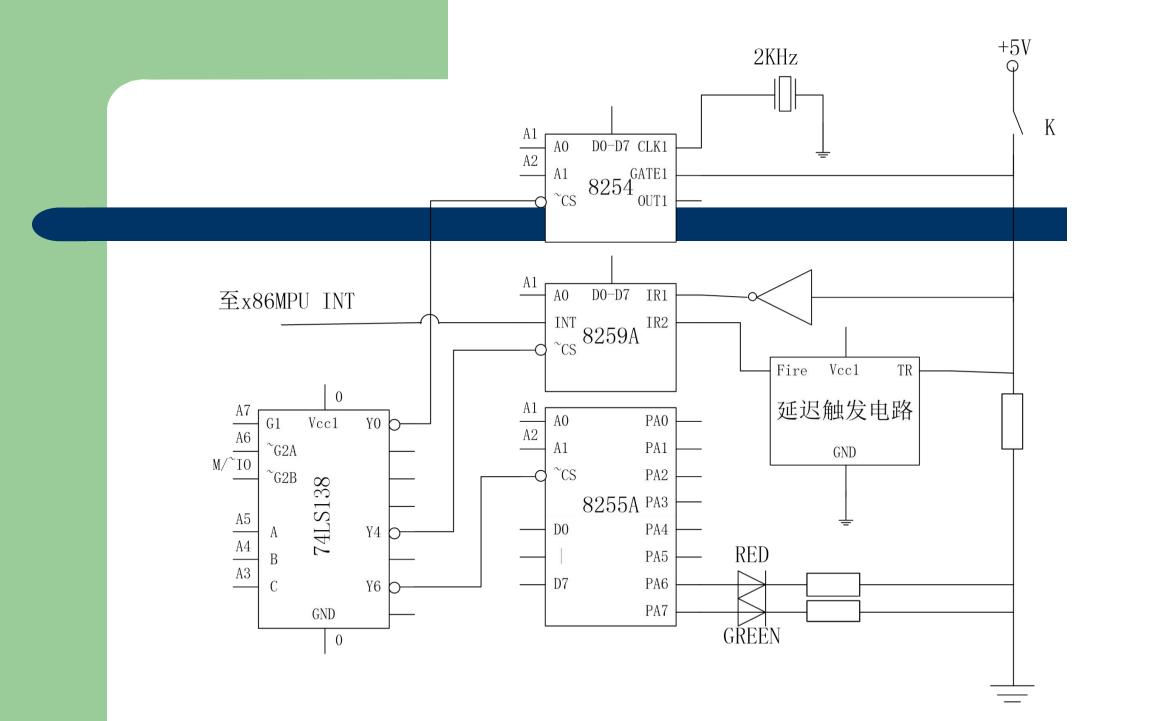
• Solution:

- Margin of error = 0.1 ms
 - a clk of 1/0.00001 = 1MHz should be created
 - Timer0 in mode2, iniv = 10M/1M = 10
- Width of gate = 500 ms
 - iniv of level2 timer = 500/0.1 = 5000
 - Timer1 in mode1, iniv = 5000 *n (n>1.2)

- The timing diagram of delayed fire module can be found below:

 - \Box We define $\Delta T = t_{fr} t_{tr}$. It is required that $\Delta T = 1 \pm 0.1$ s
- TIEASE IIIEASUIE II AT IS ON.
 - $_{\text{CS}}$ A device is developed to have the test of ΔT
 - When switch K is closed, the test begins.
 - $\[\]$ If ΔT is OK, light the green led; if failed, light the red one.
 - or the device. v





Solution:

- When K is closed, GATE is available, and the down counting process will begin. Thus Mode 0 could be used.
- When the module outputs fire signal, it will trigger an interrupt. Inside the interrupt service routine procedure, we can read back the counting value, and make the judgement of ΔT .
- Then, when switch is open, an other jumping edge will trigger interrupt at IR1. Inside the service routine, we should initialize the 8254 timer again.
- Also a cascaded 2 level timer should be used.
 - the first level should generate a clock signal to meat the requirements of margin of errors;
 - the second level will be used to measure the gate