

**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN**

**KHOA KỸ THUẬT MÁY TÍNH**

**LỚP CE118.N21.2**



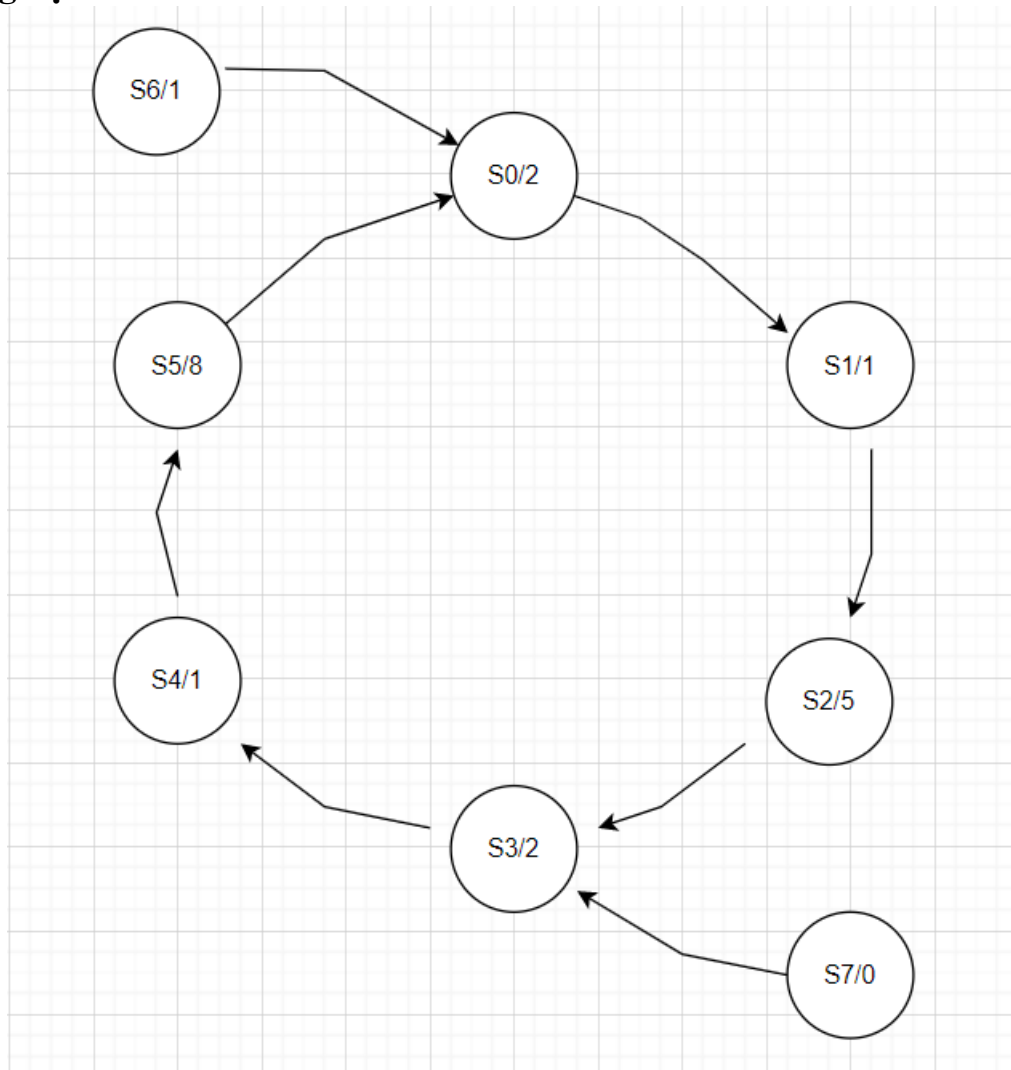
**BÁO CÁO LAB 1**

**THIẾT KẾ MẠCH ĐẾM ĐỒNG BỘ CÓ KHẢ NĂNG NẠP GIÁ  
TRỊ BAN ĐẦU (SONG SONG/NỐI TIẾP)**

**MSSV: 21521810**

**HỌ TÊN: NGUYỄN QUỐC TRƯỜNG AN**

- I. Sử dụng FF-D để thiết kế mạch đếm đồng bộ có chu trình đếm là mã số sinh viên (21521810) với phương pháp nạp giá trị ban đầu song song bất đồng bộ



### 1. Mã hóa trạng thái và bản kích thích và ngõ vào các flipflop

Mã số sinh viên có 8 số nên ứng với 8 trạng thái và cần 3 FF-D để biểu diễn:

BẢNG MÃ HÓA	
TRẠNG THÁI	MSSV
0	2
1	1
2	5
3	2
4	1
5	8

6	1
7	0

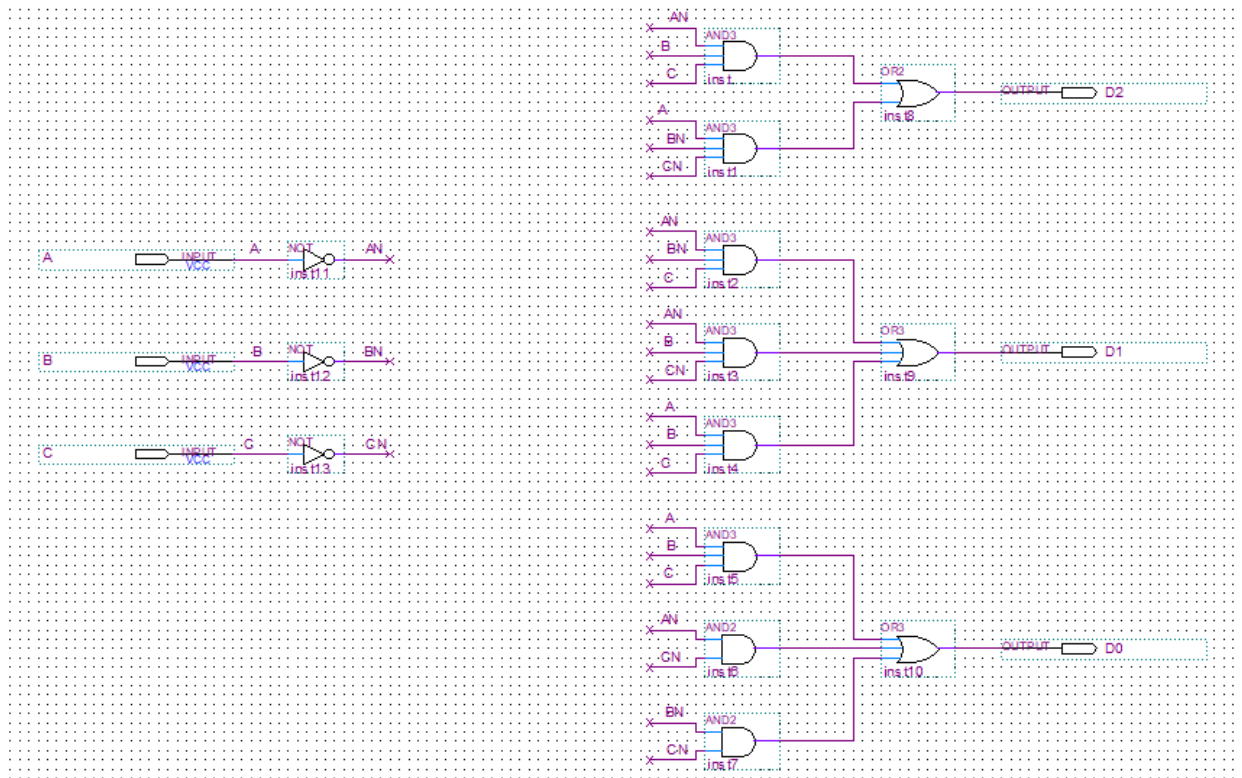
BẢNG KÍCH THÍCH VÀ NGÕ VÀO FF-D									
TT	Q2	Q1	Q0	Q2+	Q1+	Q0+	D2	D1	D0
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	0
2	0	1	0	0	1	1	0	1	1
3	0	1	1	1	0	0	1	0	0
4	1	0	0	1	0	1	1	0	1
5	1	0	1	0	0	0	0	0	0
6	1	1	0	0	0	0	0	0	0
7	1	1	1	0	1	1	0	1	1

$$\Rightarrow D2 = Q2'Q1Q0 + Q2Q1'Q0'$$

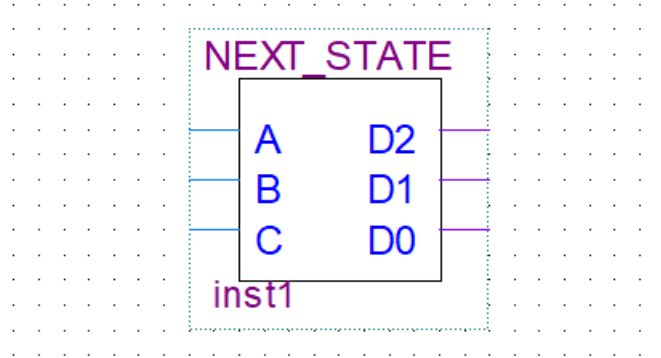
$$\Rightarrow D1 = Q2'Q1'Q0 + Q2'Q1Q0' + Q2Q1Q0$$

$$\Rightarrow D0 = Q1'Q0' + Q2'Q0' + Q2Q1Q0$$

-Schematic:



-Đóng gói mạch:



## 2. Nạp giá trị bất đồng bộ và phương trình các ngõ vào bất đồng bộ

Nạp giá trị bất đồng bộ sử dụng chân SETN và PRESETN (hoạt động mức thấp và không phụ thuộc vào tín hiệu clock).

\*Thiết kế bộ nạp 1 bit => để nạp cho trạng thái mạch đếm cần dùng 3 khối nạp 1 bit.

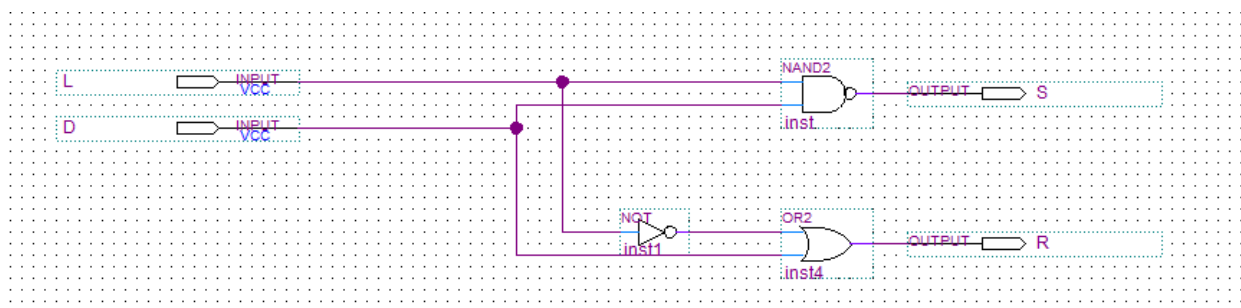
Load	Value	SETN	PRESETN
0	0	1	1
0	1	1	1
1	0	1	0
1	1	0	1

Từ bảng trên ta suy ra được phương trình ngõ vào các ngõ vào bất đồng bộ như sau:

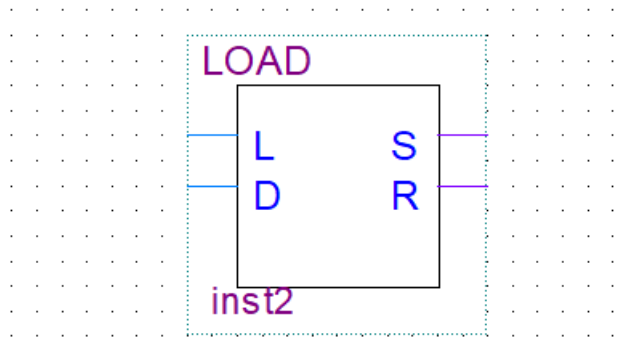
$$\Rightarrow \text{SETN} = (\text{Load.Value})'$$

$$\Rightarrow \text{PRESETN} = \text{Load}' + \text{Value}$$

-Schematic:



-Đóng gói mạch:



### 3. Bộ giải mã trạng thái ra mã số sinh viên

Vì mã số sinh viên gồm các số 21521810 nên cần 4 bit để biểu diễn:

Trạng thái		MSSV	
TT	Q2Q1Q0	MSSV	M[3..0]
S0	000	2	0010
S1	001	1	0001
S2	010	5	0101
S3	011	2	0010
S4	100	1	0001
S5	101	8	1000
S6	110	1	XXXX
S7	111	0	XXXX

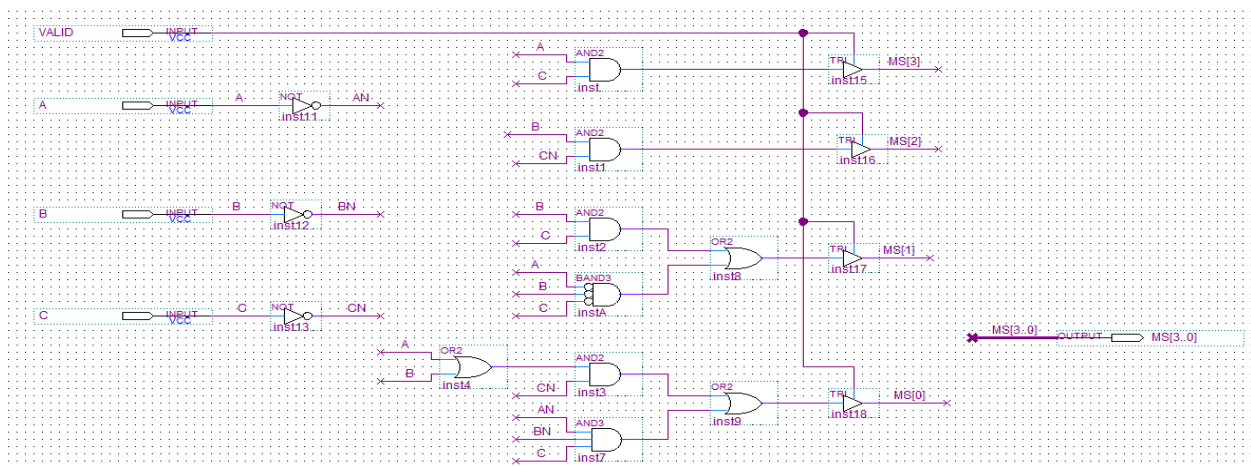
$$\Rightarrow MS[3] = Q2Q0$$

$$\Rightarrow MS[2] = Q1Q0'$$

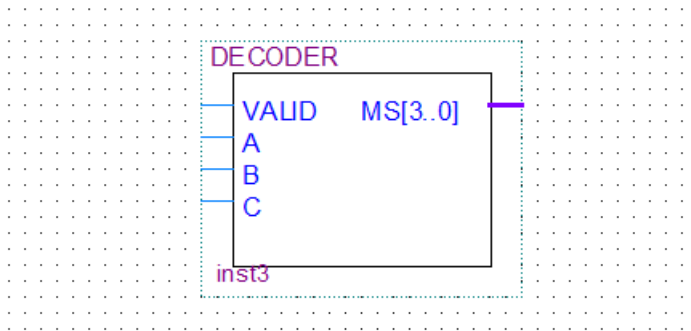
$$\Rightarrow MS[1] = Q1A0 + Q2'Q1'Q0'$$

$$\Rightarrow MS[0] = Q0' \cdot (Q2 + Q1) + Q2'Q1'Q0'$$

-Schematic:



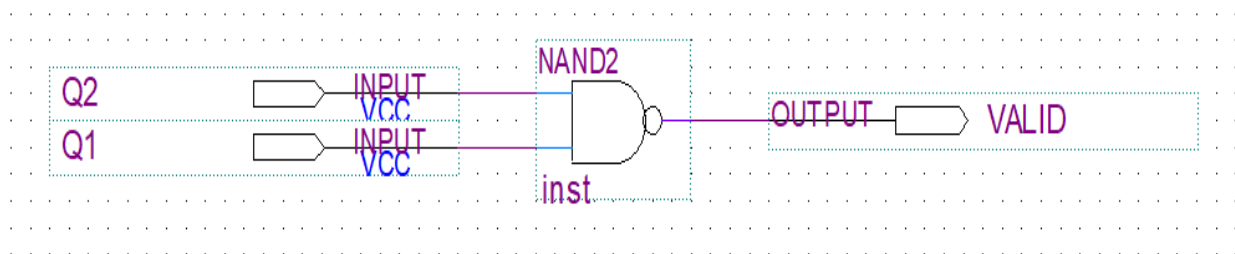
-Đóng gói:



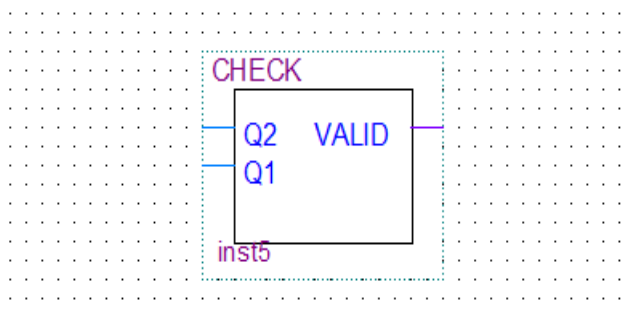
Ta dùng tri-state để ngăn hiển thị trạng thái 6, 7 khi nạp bất đồng bộ vì 2 trạng thái này không xuất hiện trong chu trình đếm.

\*Thiết kế mạch kiểm tra trạng thái ngõ ra:

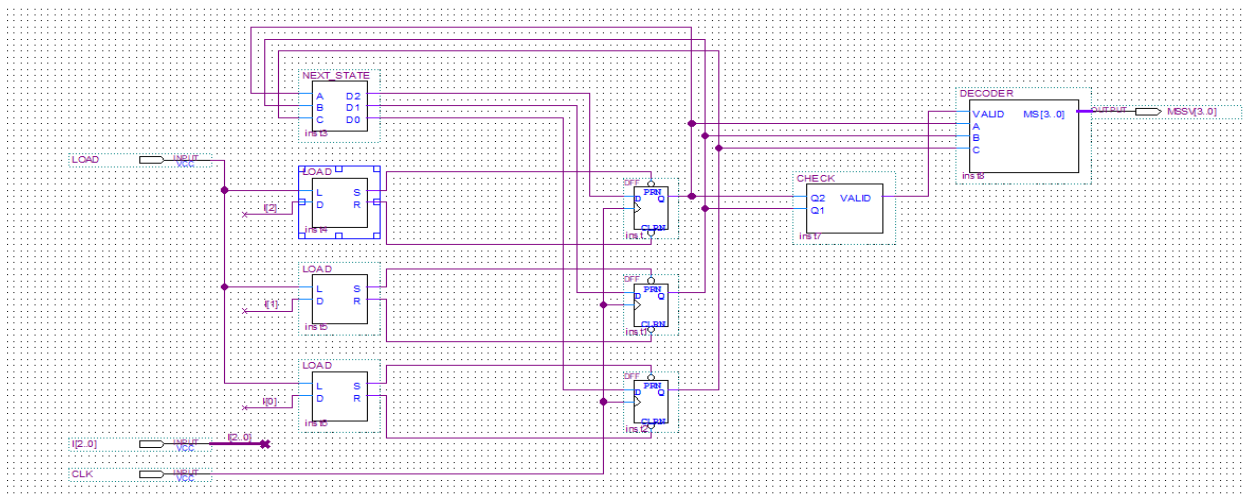
-Schematic:



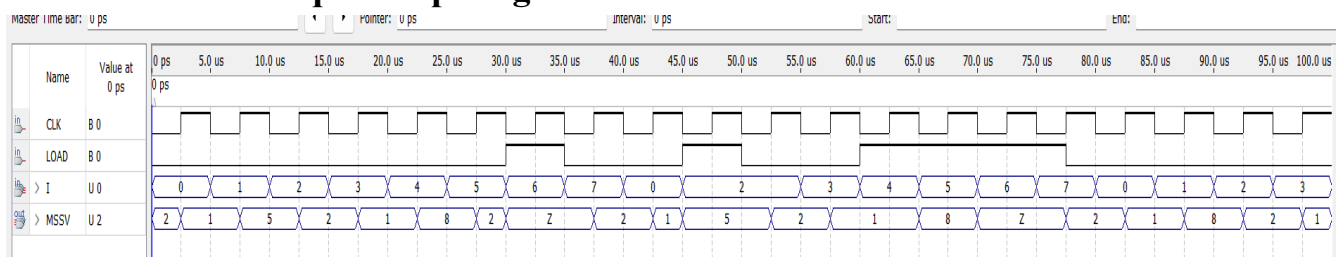
-Đóng gói:



Tổng hợp các mạch con trên ta có mạch đếm:  
-Schematic:



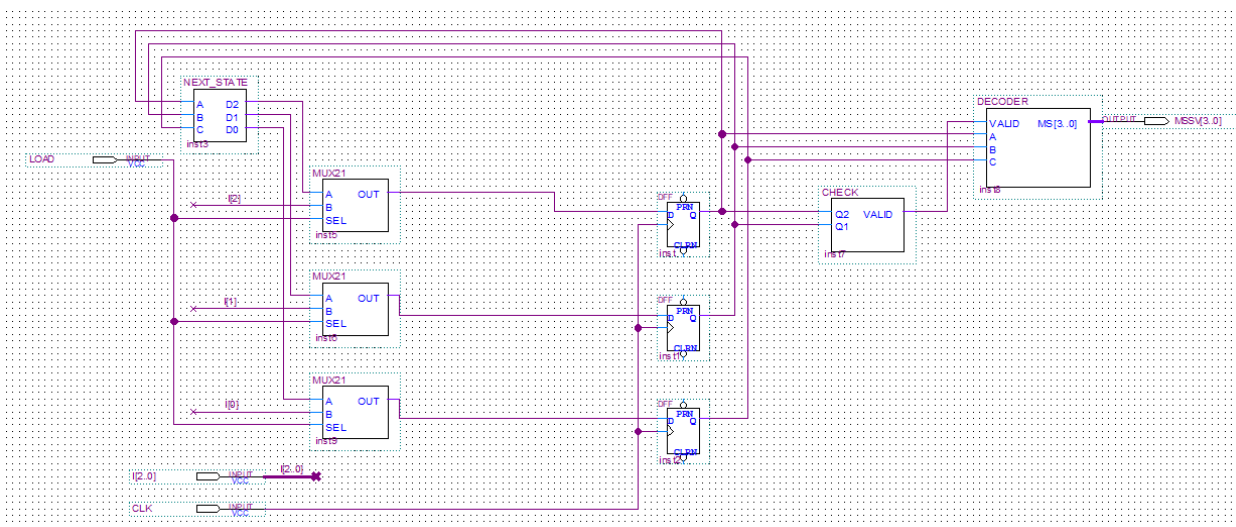
## 5. Kết quả mô phỏng



## II. BÀI TẬP LÀM THÊM – NẠP ĐỒNG BỘ

Tương tự mạch đếm nạp bất đồng bộ nhưng ở mạch nạp ta dùng mux21 để chọn ngõ vào cho trạng thái tiếp theo:

### 1. Mạch đếm sử dụng nạp đồng bộ



## 2. Kết quả mô phỏng

