

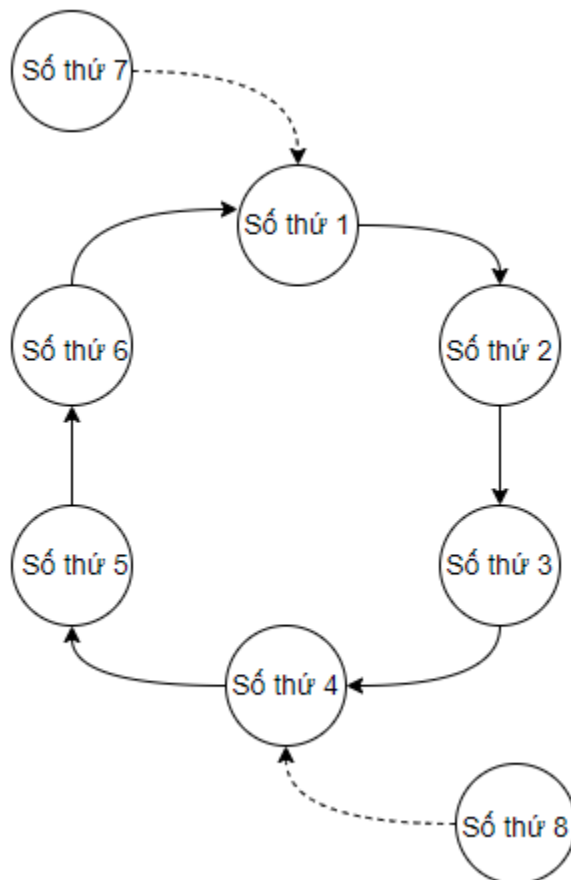
LAB 1: THIẾT KẾ MẠCH ĐẾM ĐỒNG BỘ CÓ KHẢ NĂNG NẠP GIÁ TRỊ BAN ĐẦU (SONG SONG/NÓI TIẾP)

1.1. Mục tiêu

- Trong bài thực hành này, sinh viên sẽ thiết kế một mạch đếm đồng bộ theo một chu trình đếm cho trước. Giá trị ban đầu có thể được nạp vào bộ đếm thông qua các chân Preset và Clear của các Flip-flop - nạp song song bất đồng bộ. Ngoài ra sinh viên có thể nạp giá trị ban đầu bằng cách nạp song song đồng bộ.
- Hiện thực thiết kế trên kit DE2 với giá trị ngõ ra của bộ đếm được hiển thị giá trị đếm trên LED đơn hoặc LED 7 đoạn.

1.2. Nội dung thực hành

Sử dụng FF-D để thiết kế mạch đếm đồng bộ có chu trình đếm là mã số sinh viên của bạn, với phương pháp nạp giá trị ban đầu song song bất đồng bộ:



1.3. Sinh viên chuẩn bị

- Lập bản kích thích cho mạch đếm trên
- Tìm phương trình ngõ vào của các FF.
- Vẽ mạch thực hiện.

1.4. Hướng dẫn thực hành

- Tạo 1 project Quartus, đặt tên Lab1_mssv
- Thực thi mạch thiết kế trong phần chuẩn bị. Với
 - KEY[3]: Xung clock của mạch
 - KEY[2]: Cho phép nạp (LE: Load Enable)
 - SW[3:0]: Giá trị dữ liệu ban đầu cần nạp
 - LEDG[3:0]: Hiển thị kết quả ngõ ra của bộ đếm (Khuyến khích sinh viên sử dụng bộ giải mã BCD 7447 để hiển thị led 7 đoạn)
- Gán pin cho mạch trên
- Biên dịch để tổng hợp và tạo file .sof
- Nạp file lên KIT DE2 kiểm tra hoạt động của mạch

1.5. Bài tập làm thêm

Thực hiện lại chu trình đếm là mã số sinh viên của bạn nhưng sử dụng phương pháp nạp giá trị ban đầu song song đồng bộ.