



BÀI THỰC HÀNH 6

THIẾT KẾ CONTROL UNIT ĐƠN GIẢN

I. Mục tiêu

Sử dụng ngôn ngữ Verilog HDL, thiết kế được một Control Unit đơn giản.

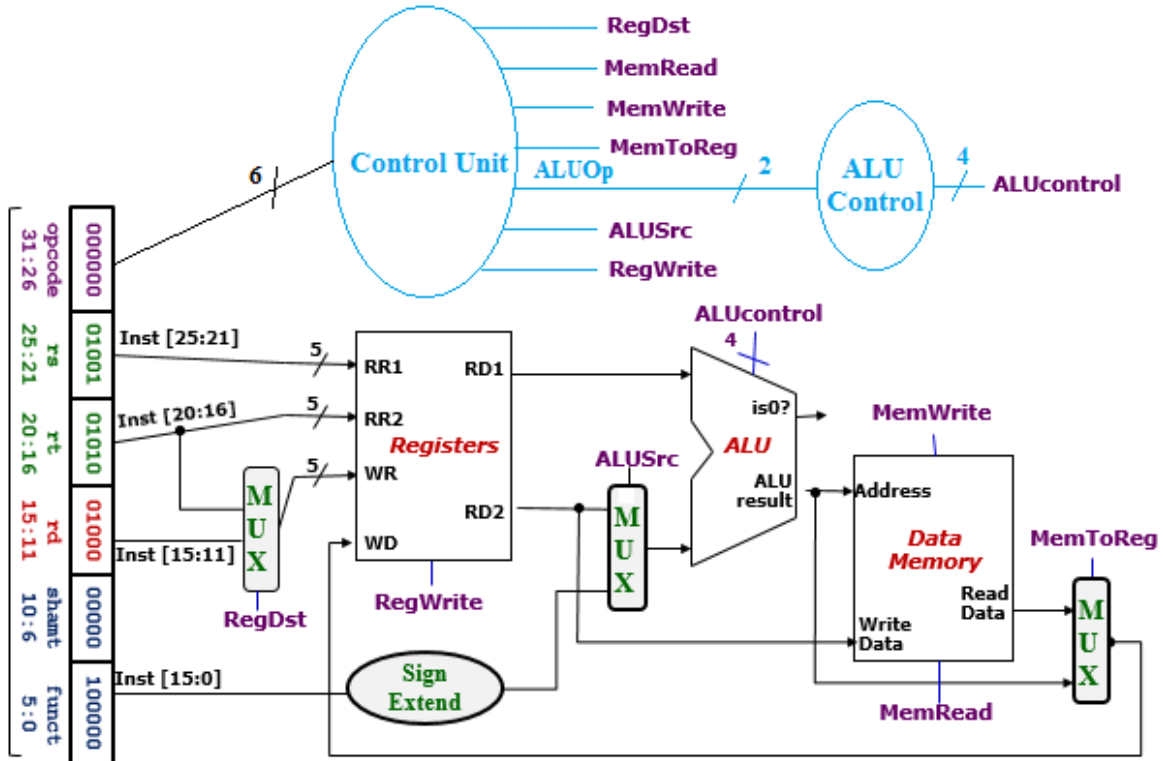
II. Chuẩn bị thực hành

- Tìm hiểu lại ý nghĩa các tín hiệu điều khiển do khối Control Unit đưa ra.
- Xây dựng bảng giả trị cho các tín hiệu điều khiển ứng với mỗi lệnh phân tích.
- Chuẩn bị code Verilog cho khối điều khiển và kết hợp các khối điều khiển vào Datapath đã thực hiện ở bài thực hành trước.

III. Nội dung thực hành

Dựa vào DATAPATH đã được thiết kế trong lab 4 và các lý thuyết liên quan, sinh viên sẽ tiến hành thiết kế 2 khối Control Unit và ALU Control nhằm điều khiển DATAPATH này như trên Hình 6-1 để thực hiện các lệnh sau sử dụng ngôn ngữ Verilog HDL:

- add \$1, \$2, \$3
- lw \$1, 0(\$2)
- sw \$1, 0(\$2)




Hình 6-1 Datapath và Control Unit theo kiến trúc MIPS

Yêu cầu thực hiện:

- Đưa thiết kế khối Control Unit và khối ALU Control đã chuẩn bị ở nhà vào project.
- Viết testbench kiểm tra thiết kế trên phần mềm mô phỏng ModelSim ứng với bảng chức năng sau:

Opcode	Lệnh	ALUOp [1:0]	ALUcontrol [3:0]
000001	add	10	0101
000010	sw	00	0101
000100	lw	00	0101



-  **Hoàn thiện kết nối DATAPATH và Control Unit để thiết kế một Processor MIPS đơn giản thực hiện ba lệnh đã chọn ở trên. Mô phỏng kiểm tra thiết kế Processor khi thực hiện từng lệnh.**