



## BÀI THỰC HÀNH 4

### KIỂM TRA THIẾT KẾ SỬ DỤNG TESTBENCH

#### I. Mục tiêu

Sinh viên làm quen với việc kiểm tra thiết kế bằng phương pháp viết Testbench và sử dụng phần mềm ModelSim-Altera để kiểm tra thiết kế.

#### II. Chuẩn bị thực hành

- Sinh viên đọc trước và thực hành sử dụng phần mềm ModelSim-Altera trong file “huong dan su dung phan mem ModelSim-Altera.pdf”
- Sinh viên phải chuẩn bị các phần được yêu cầu trong mỗi câu của bài Lab và nộp vào đầu buổi học.
- Điểm bài chuẩn bị được tính vào điểm bài báo cáo của Lab.

#### III. Nội dung thực hành

##### Câu 1.

Sử dụng ngôn ngữ Verilog HDL, thiết kế bộ ALU 32-bit có các chức năng như Hình 4-1.

- Viết testbench tạo giá trị cho các tín hiệu input và quan sát kết quả sử dụng các thủ tục **\$display** và **\$monitor**, chạy mô phỏng kiểm tra chức năng của thiết kế dùng phần mềm ModelSim-Altera.

<i>M</i>	<i>S<sub>1</sub></i>	<i>S<sub>0</sub></i>	<i>ALU Operations</i>
0	0	0	Complement A
0	0	1	AND
0	1	0	EX-OR
0	1	1	OR
1	0	0	Decrement A
1	0	1	Add
1	1	0	Subtract
1	1	1	Increment A

Hình 4-1. Chức năng của ALU



### Câu 2.

Sử dụng ngôn ngữ Verilog HDL, thiết kế một tập gồm 32 thanh ghi, mỗi thanh ghi 4 byte. Tập thanh ghi (Register File) có các tín hiệu sau: ReadAddress1[4:0], ReadAddress2[4:0], WriteAddress[4:0], WriteData[31:0], ReadData1[31:0], ReadData2[31:0], ReadWriteEn.

- Viết testbench tạo giá trị cho các tín hiệu input và chạy mô phỏng kiểm tra chức năng của thiết kế.

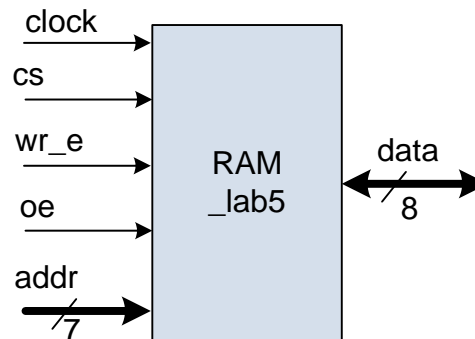
### Câu 3.

Sử dụng ngôn ngữ Verilog HDL, hiện thức thiết kế bộ nhớ dữ liệu (Data Memory) dung lượng 1024 bytes có các tín hiệu sau: Address[9:0], WriteData[7:0], ReadData[7:0], WriteEn, ReadEn và viết testbench kiểm tra chức năng trên phần mềm mô phỏng ModelSim.

- Viết testbench tạo giá trị cho các tín hiệu input và chạy mô phỏng kiểm tra chức năng của thiết kế.

### Câu 4.

Thiết kế một **single port RAM đồng bộ read/write** có sơ đồ như bên dưới:



Hình 4-2. Sơ đồ RAM

Biết rằng:

- **clock**: kích cạnh lên
- **cs**: chip\_select
- **wr\_e** = 1: cho phép ghi  
  **wr\_e** = 0: cho phép đọc
- **oe**: Output enable



- **addr:** address (7-bit → RAM 128 byte)
- **data:** kiểu inout 8-bit

### **Yêu cầu:**

- Viết testbench để kiểm tra thiết kế theo mô hình quan sát dạng sóng bằng phần mềm ModelSim-Altera
- Viết testbench để kiểm tra thiết kế theo mô hình tự kiểm tra (Self-checking) bằng phần mềm ModelSim-Altera