

## **Ograničenja postojeće Sentronis hardverske arhitekture**

## Sadržaj

AD konvertor.....	3
Maksimalna brzina magistrale.....	3
Nemogućnost lančanja više konvertora na jednu magistralu.....	6
Triger – sinhronizacija.....	6

## AD konvertor

Koristi se Texas Instruments ADS1256 AD čip.

Datasheet je dostupan na: <http://www.ti.com/product/ads1256>

Navedeni čip poseduje jedan AD konvertor i 8 analognih ulaza. Podaci uzorkovanja se dobavljaju preko SPI magistrale.

### Maksimalna brzina magistrale

Maksimalna brzina magistrale se računa iz sledeće tabele:

#### TIMING CHARACTERISTICS FOR FIGURE 1

SYMBOL	DESCRIPTION		MIN	MAX	UNIT
$t_1$	SCLK period		1	4	$\tau_{CLKIN}^{(1)}$
				10	$\tau_{DATA}^{(2)}$
$t_{2H}$	SCLK pulse width: high		200		ns
				9	$\tau_{DATA}$
$t_{2L}$	SCLK pulse width: low		200		ns
$t_3$	CS low to first SCLK: setup time <sup>(3)</sup>		0		ns
$t_4$	Valid DIN to SCLK falling edge: setup time		50		ns
$t_5$	Valid DIN to SCLK falling edge: hold time		50		ns
$t_6$	Delay from last SCLK edge for DIN to first SCLK rising edge for DOUT: RDATA, RDATA $\overline{C}$ , RREG Commands		50		$\tau_{CLKIN}$
$t_7$	SCLK rising edge to valid new DOUT: propagation delay <sup>(4)</sup>			50	ns
$t_8$	SCLK rising edge to DOUT invalid: hold time		0		ns
$t_9$	Last SCLK falling edge to DOUT high impedance NOTE: DOUT goes high impedance immediately when $\overline{CS}$ goes high		6	10	$\tau_{CLKIN}$
$t_{10}$	CS low after final SCLK falling edge		8		$\tau_{CLKIN}$
$t_{11}$	Final SCLK falling edge of command to first SCLK rising edge of next command.	RREG, WREG, RDATA	4		$\tau_{CLKIN}$
		RDATA $\overline{C}$ , $\overline{SYNC}$	24		$\tau_{CLKIN}$
		RDATA $\overline{C}$ , RESET, STANDBY, SELF $\overline{FOCAL}$ , SYS $\overline{OCAL}$ , SELF $\overline{GCAL}$ , SYS $\overline{GCAL}$ , SELF $\overline{CAL}$	Wait for $\overline{DRDY}$ to go low		

(1)  $\tau_{CLKIN}$  = master clock period =  $1/f_{CLKIN}$ . **2**

(2)  $\tau_{DATA}$  = output data period  $1/f_{DATA}$ .

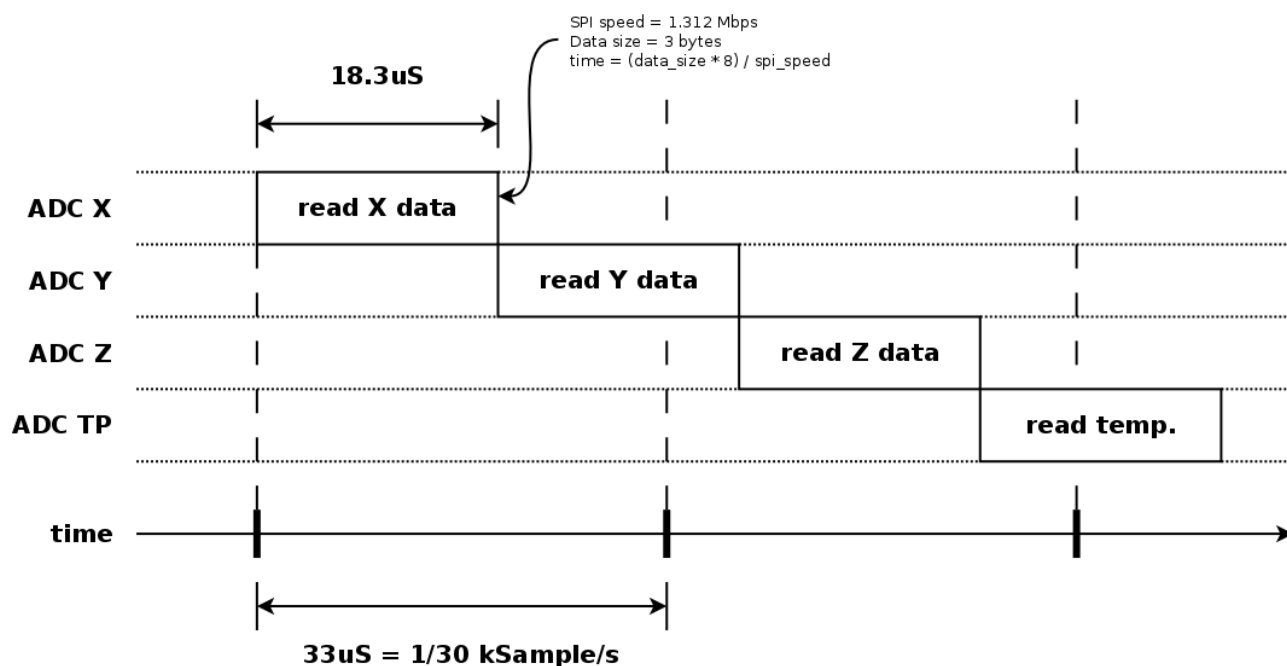
(3)  $\overline{CS}$  can be tied low.

(4) DOUT load = 20pF || 100k $\Omega$  to DGND.

Slika 1: Vremenska ograničenja ADC-a (strana 6)

Parametar  $f_{CLKIN}$  je definisan kristalom na analognim pločama i iznosi 7.68MHz. Iz podatka 1 i 2 (naznačeni na slici 1) dobija se maksimalna brzina SPI magistrale 1.92Mbps. Maksimalna brzina koju mikroprocesor podržava na tom opsegu je 1.312Mbps te se ona usvaja za brzinu SPI magistrale.

Podaci uzorka koji izlaze iz ADC-a su veličine 3 bajta. Vreme transportovanja 3 bajta, odnosno, jednog uzorka, preko 1.312Mbps magistrale iznosi 18.3 $\mu$ S.



Slika 2: Vremenska ograničenja za 30ksps

Sa obzirom da su svi AD konvertori povezani na jednu magistralu, jedini način da se svi kanali očitaju je da se sukcesivno pročita X kanal, zatim Y i na kraju Z kanal. Uslov za ovakvo čitanje je da su AD već sinhronizovani. Uporedo sa navedenim signalima čita se i kanal za merenje temperature analogne elektronike i treba uzeti u obzir kada se sva četiri kanala čitaju. Takav slučaj je prikazan na slici 2. Na vremenskoj osi su označeni trenuci kada treba da se započne čitanje svih tri kanala. Deadline za 30ksps je 33µs. Očigledno je da se sa ovakvom konfiguracijom probijaju vremenski rokovi i nije moguće ostvariti 30ksps.

Table 13. Settling Time vs Data Rate

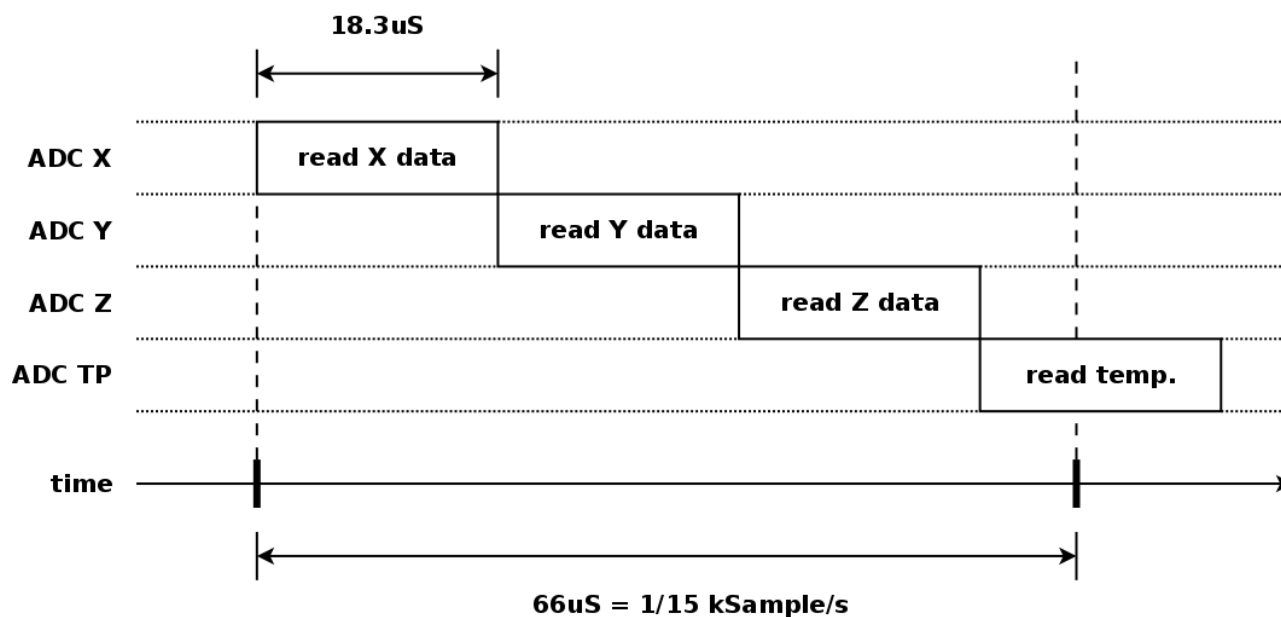
DATA RATE (SPS)	SETTLING TIME ( $t_{10}$ ) (ms)
30,000	0.21
15,000	0.25
7500	0.31
3750	0.44
2000	0.68
1000	1.18
500	2.18
100	10.18
60	16.84
50	20.18
30	33.51
25	40.18
15	66.84
10	100.18
5	200.18
2.5	400.18

NOTE:  $f_{CLKIN}$  = 7.68MHz.

NOTE: One-shot mode requires a small additional delay to power up the device from standby.

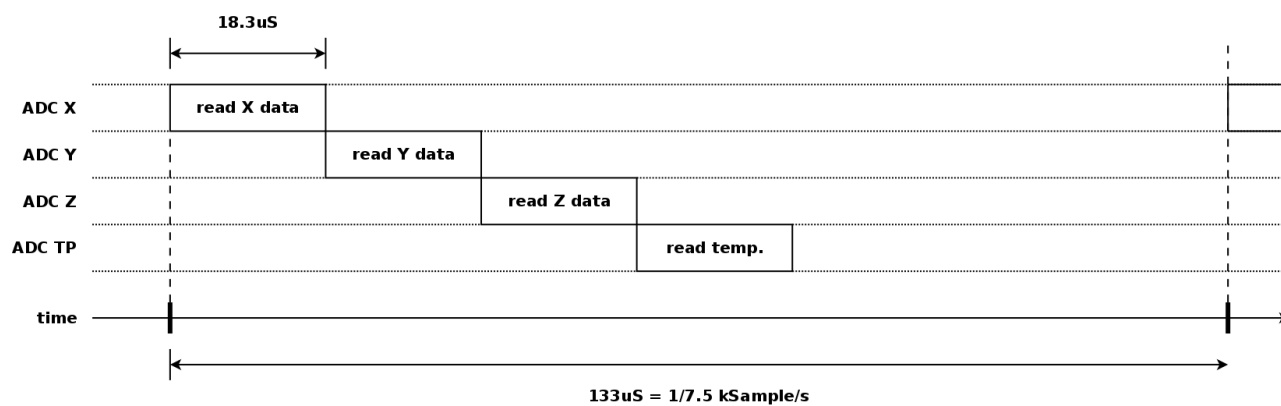
Slika 3: Frekvencija uzorkovanja i vreme smirivanja (strana 20)

Na slici 3 je prikazana tabela koja definiše moguće frekvencije uzorkovanja za korišćeni AD konvertor. Vremenska ograničenja za jedan niži stepen frekvencije uzorkovanja (15 ksps) su prikazana na sledećoj slici:



Slika 4: Vremenska ograničenja za 15ksps

Vremenski uslovi ne mogu da se ispune sa 15ksps jer se probija deadline od 66µs.



Slika 5: Vremenska ograničenja za 7.5ksps

Vremenski uslovi su zadovoljeni za 7.5ksps jer se ne probija deadline period od 133µs.

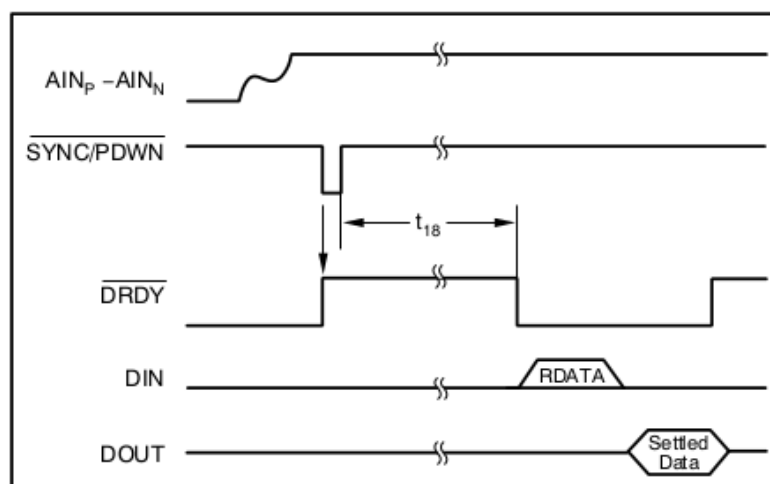
## Nemogućnost lančanja više konvertora na jednu magistralu

SPI magistrala generalno omogućava da se nekoliko različitih SPI uređaja povežu na red (daisy-chain). Ovaj režim rada je povoljan za upotrebu DMA konvertora koji opslužuje nekoliko uređaja preko jedne magistrale. ADS1256 ne omogućava ovakav režim rada.

## Triger – eksterni oscilator

Kao što je prikazano na slici 3 AD konvertor podržava uzorkovanje u navedenim diskretnim koracima. Posедуje ulaz SYNC koji može da se koristi za sinhronizaciju više konvertora, međutim, glavna namena mu nije da se koristi kao triger ulaz.

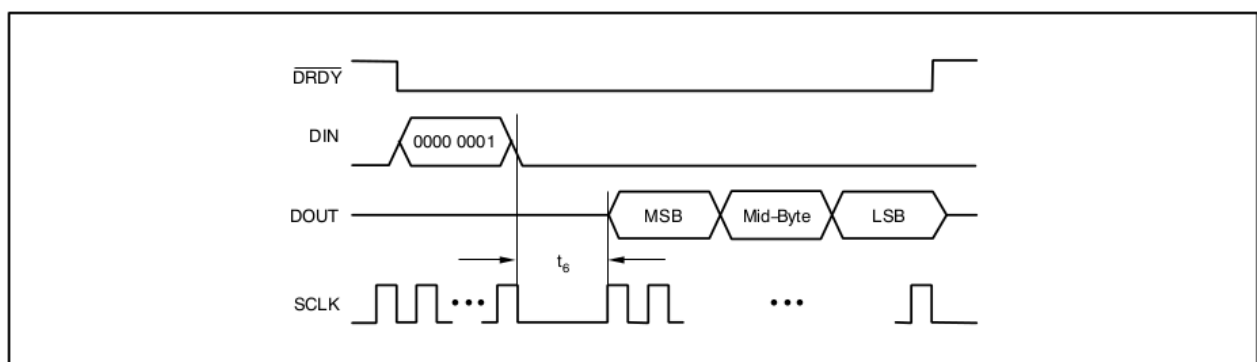
Da bi se emulirala triger funkcionalnost, AD konvertor treba da se prebaci u režim single-shot konverzije i koristi se SYNC ulaz. Promena stanja trigera sinhronizovaće AD konvertore i posle  $t_{18}$  vremena može da se manuelno pročita vrednost uzorka. Manuelno vreme čitanja je prikazano na sledećoj slici.



**Figure 18. Data Retrieval After Synchronization**

*Slika 6: Vremena uzorkovanja nakon sinhronizacije (strana 21)*

Podatak može da se pročita posle vremena  $t_{18}$  (specificirano u tabeli 13. *Settling Time vs Data Rate*, strana 20). Procedura čitanja podataka  $RDATA$  je prikazana na sledećoj slici:



**Figure 30. RDATA Command Sequence**

*Slika 7: Vremena manualnog čitanja jednog uzorka (strana 34)*

Kada se saberu sva vremena navedena na slici 6 i 7 i uzmu u obzir vreme transportovanja podataka preko SPI magistrale dobija se ukupno vreme:

$$t_{trigger\ min} = \frac{(sizeof(data)*8)}{spi\ speed} + t_{16} + t_{17} + t_{18} + t_6 \quad (\text{vremena su specificirana na stranama 6 i 7})$$

dobija se  $\sim 237\mu S$  što pokazuje da je maksimalna frekvencija uzorkovanja spoljašnjim triggerom oko 4.2kHz. U gornjoj jednačini nisu uzeta u obzir setup vremena za opsluživanje SPI magistrale što će sniziti navedenu frekvenciju za 5 – 10%.

Treba obratiti pažnju i na izgled SYNC signala prikazan na slici 6, koji se po obliku ne podudara kako obično izgledaju trigger signali. Naime, trigger signali obično imaju odnos signal – pauza 50%, dok na slici signal SYNC ima vrlo kratku pauzu.