

Полеви транзистори

Принципи и режими на работа на полеви транзистори. Характеристики.

I. Униполярни транзистори

Биполярните транзистори се управляват с ток чрез инжектираните от PN-прехода токоносители

Униполярните транзистори се управляват с напрежение(поле), затова по-често се наричат

FET (Field Effect Transistors) -> **полеви транзистори**

- ✓ **J** е означението на английски за PN-преход (*junction*)
- ✓ **JFET** е полеви транзистор, управляван чрез инверсно свързан PN-преход

MOS (Metal Oxide Semiconductor)

- ✓ **MOS FET** е полеви транзистор, управляван през изолиращ слой



II. JFET (n-канал)

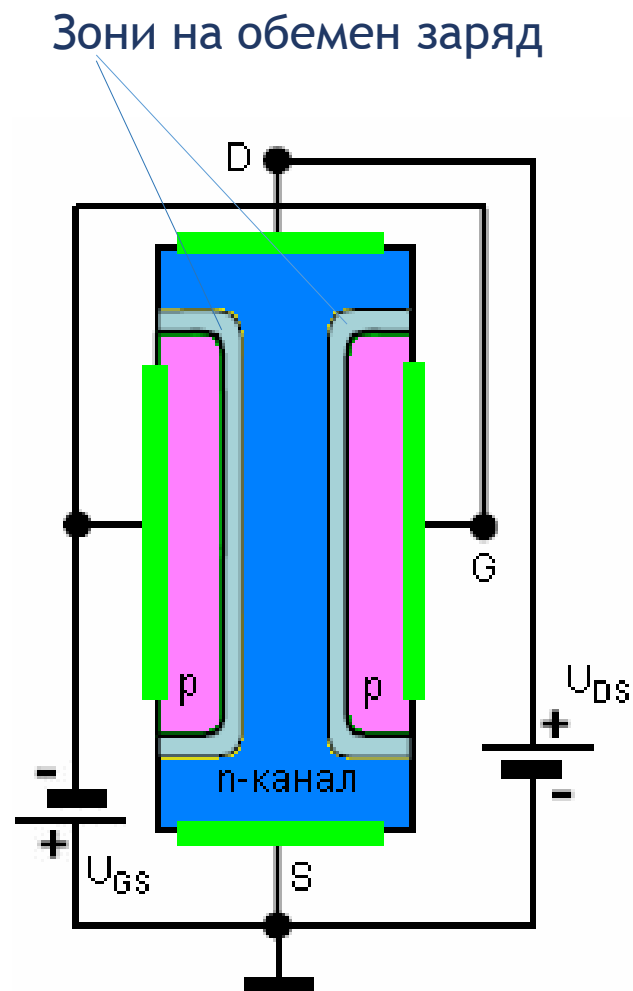
При този полеви транзистор каналът е от **n**-тип полупроводников материал, в който има само един вид токоносители - **електрони**.
В двата края на канала са изведени изводи:

❑ **S** (**Source** - давам),

❑ **D** (**Drain** - събирам)

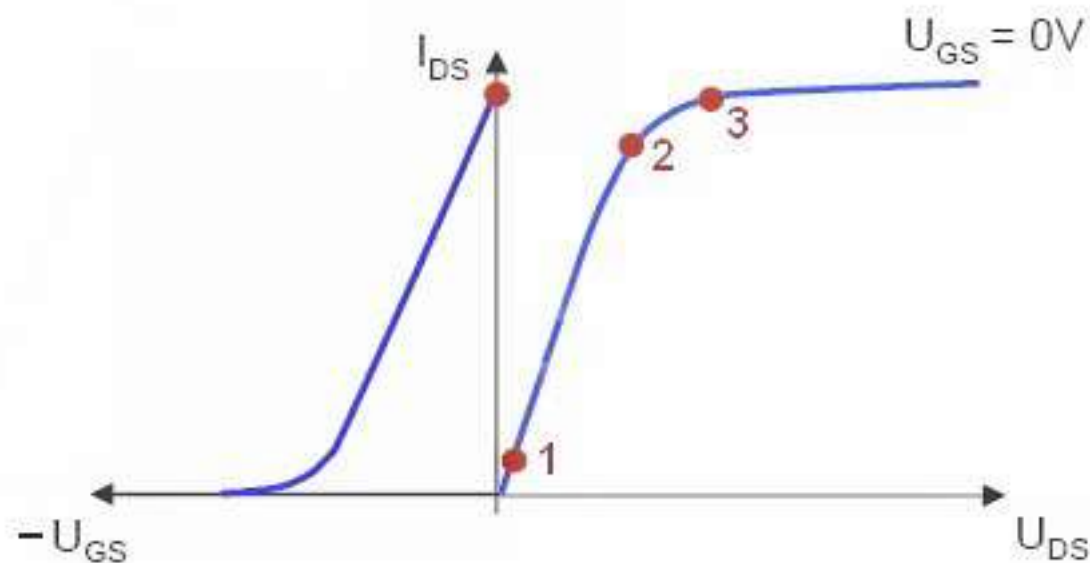
Управляващият електрод, свързан към двете **p**-тип области, се нарича

❑ **G** (**Gate**)



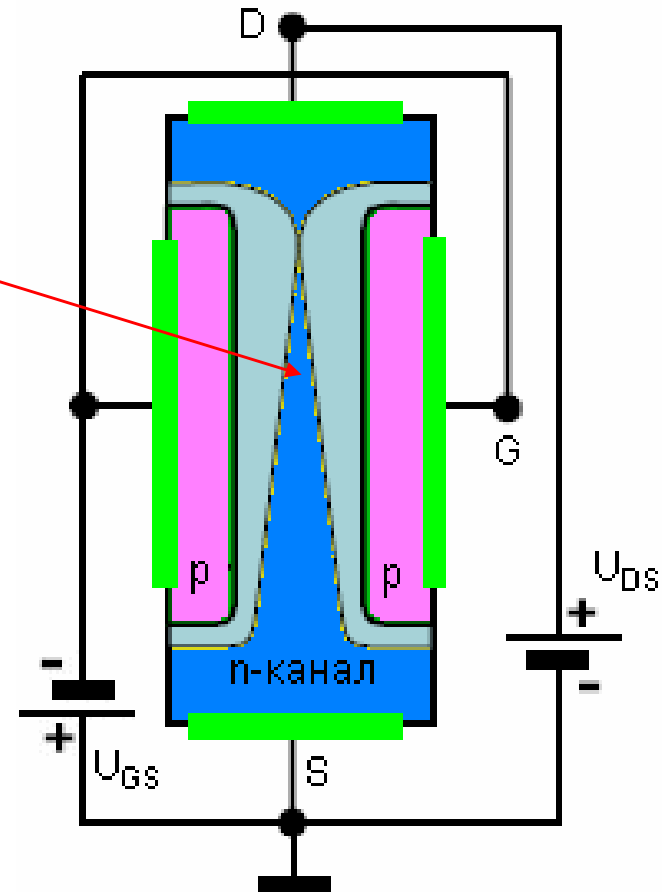
II. JFET (n-канал)

- ❑ Ако $U_{GS} = 0$ V каналът е проводящ
 - ✓ Приподаване на $U_{DS} > 0$ V електроните ще се придвижват от **S** към **D** (поради полярността на приложеното U_{DS})
- ❑ С увеличаване на U_{DS} токът през канала ще расте като се подчинява на закона на ОМ (затова зоната от началото през **т.1** до **т.2** се нарича **омична зона**).
- ❑ Нарастващото напрежение U_{DS} предизвиква изкривяване на зоната на обемен заряд.



II. JFET (n-канал)

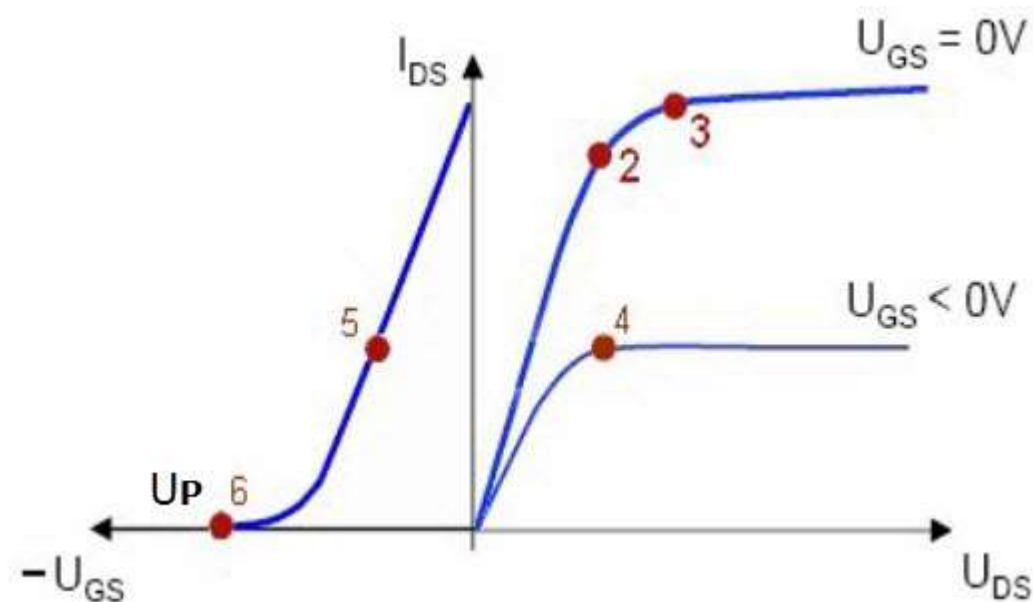
- ✓ Каналът се стеснява
- ✓ Токът вече **не се изменя** съгласно зако на Ом (зоната между **т.2** и **т.3**)
- ❑ След **т.3** каналът вече е прищипан изцяло ($U_{DS} > U_{DS\text{P}}$) и токът се ограничава - достига се max възможен ток за транзистора $I_{DS\text{S}}$ - ток на насищане



II. JFET (n-канал)

□ При $U_{GS} < 0$ V (т. 5 и т. 4):

- ✓ Зоната на обемен заряд ще се разшири допълнително симетрично по цялата дължина на канала.



- ✓ При подаване на U_{DS} ще се повторят същите процеси, само че насищането ще стане при по-малък ток.

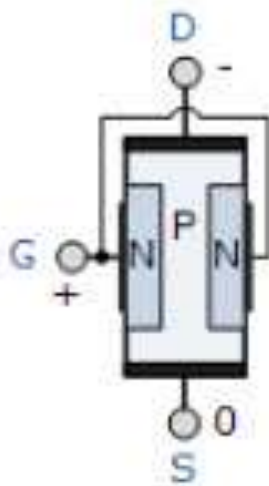
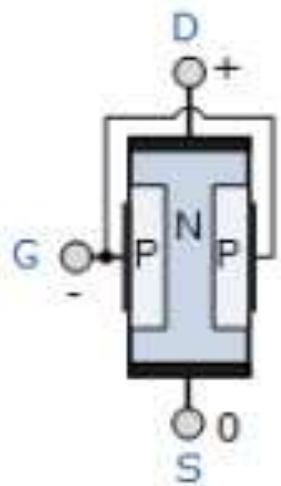
□ При напрежение $U_{GS} = U_P$ (т. 6) през транзистора не може да протече ток, независимо от U_{DS}

- ✓ U_P се нарича напрежение на запушване (**Pinch off voltage**) (подобно на режима на отсечка при Биполярните транзистори)

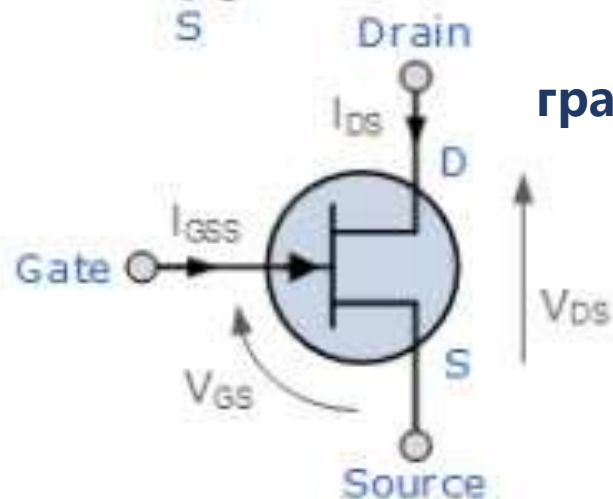
III. VA характеристики на JFET

- ❑ Според типа на канала, JFET са два вида:

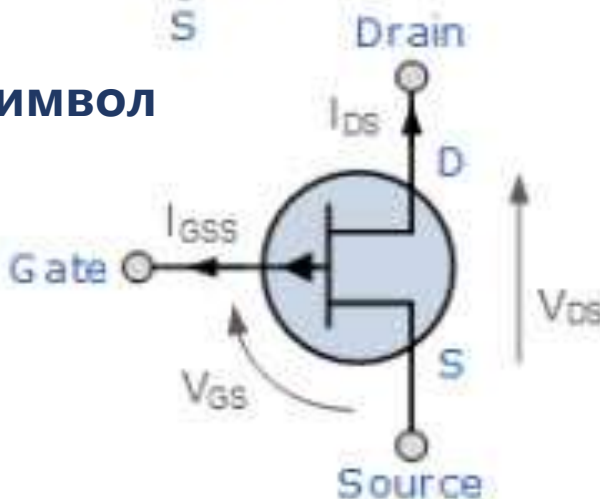
Структура



графичен символ



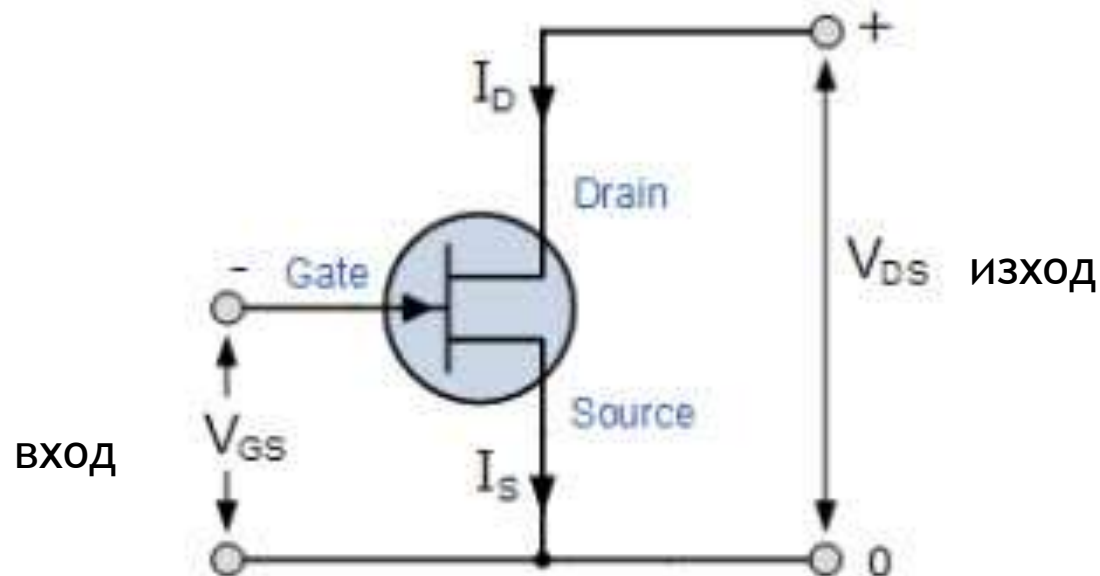
**п-канален
JFET**



**р-канален
JFET**

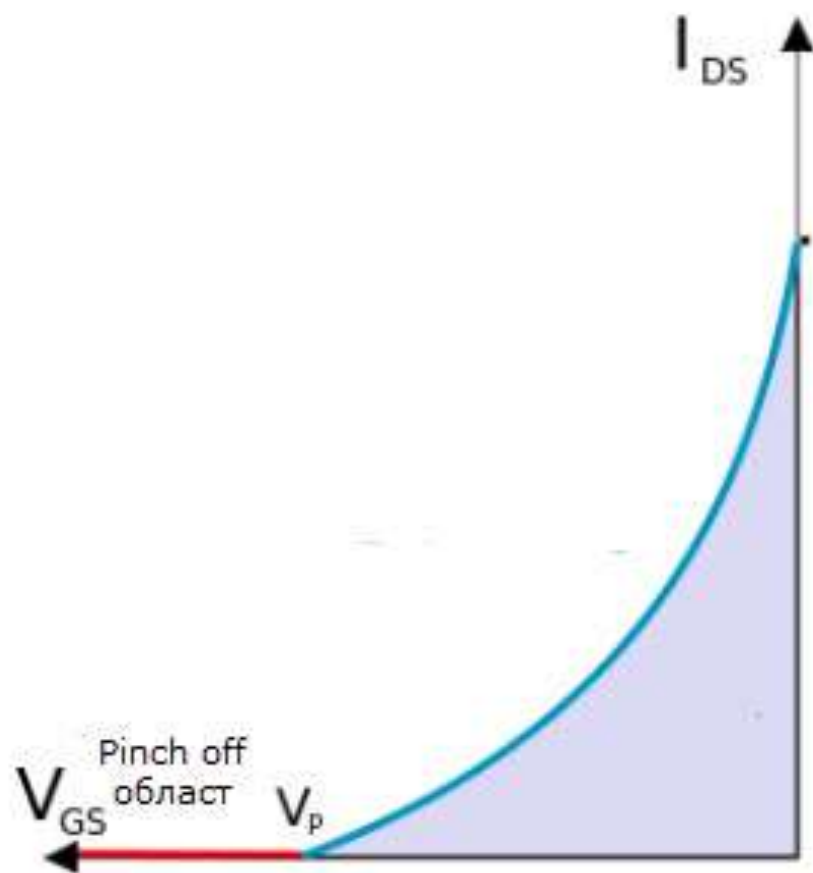
III. VA характеристики на JFET

- ❑ Изходна VA х-ка (семе́йство изходни характеристики) на **n**-канален JFET : зависимостта на изходния ток **I_D** от изходното напрежение **U_{DS}** постоянно входно напрежение **U_{GS}** .
- ❑ Предавателна (проходна) характеристика на n-канален JFET: зависимостта на изходния ток **I_D** от входното напрежение **U_{GS}** при постоянно изходно напрежение **U_{DS}** .

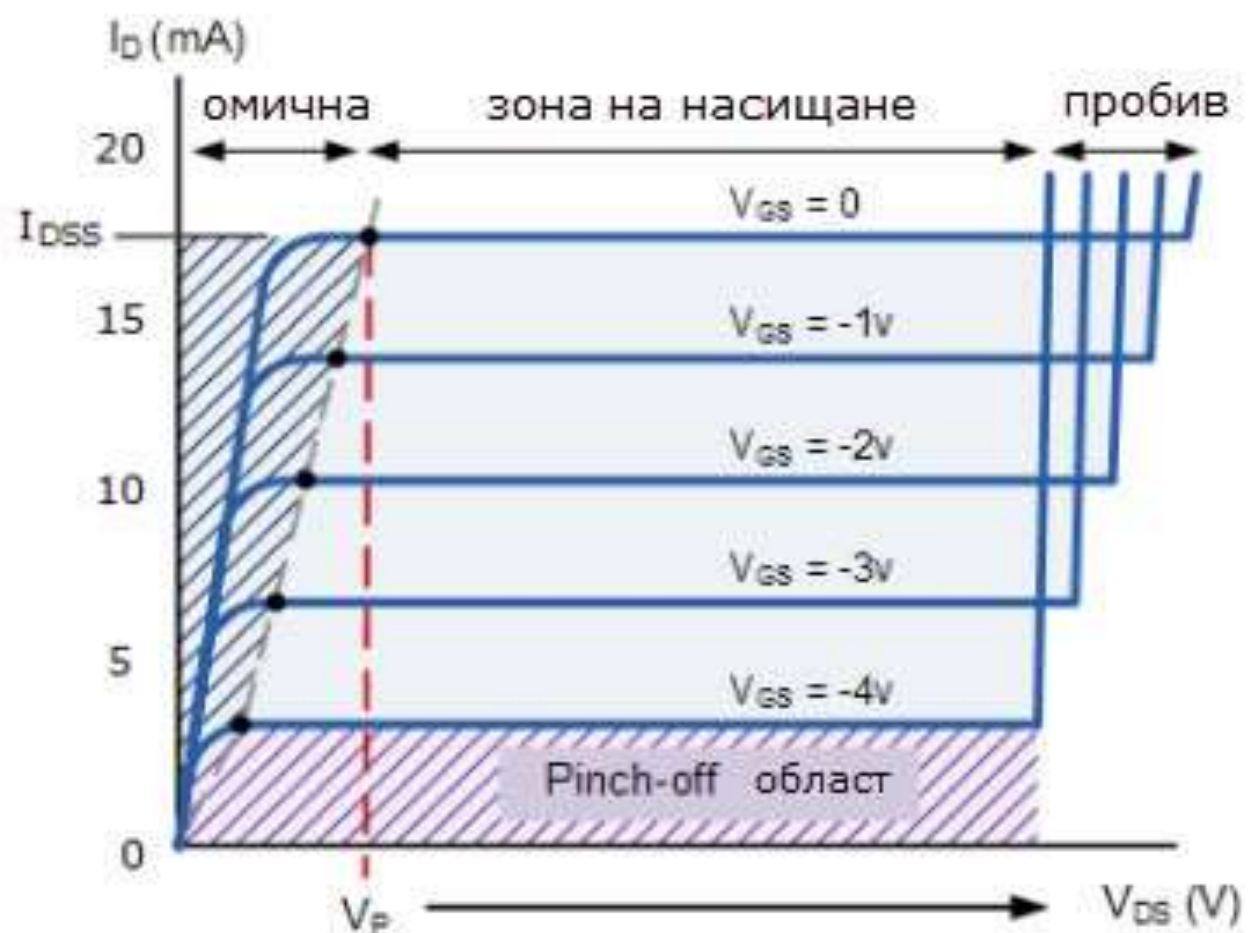


III. VA характеристики на JFET

Предавателна х-ка



Изходна х-ка



IV. Режими на работа на JFET

- ❑ Положението на работната точка се определя от подаденото напрежение между гейта и сорса (U_{GS})
- ❑ Работният обхват също се определя както при биполярните транзистори
- ❑ Полевите транзистори също могат да се свързват по **три вида** схеми в зависимост от това кой електрод е общ за входа и за изхода:
 - ✓ OS (общ сорс)
 - ✓ OD (общ дрейн)
 - ✓ OG (общ гейт)



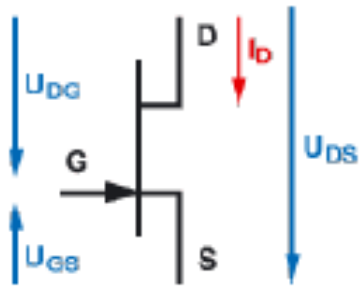
IV. Режими на работа на JFET

- ❑ Принципите на работа на полевите транзистори са същите като при биполярните транзистори:
 - ✓ Линеен режим
 - ✓ Режим на ограничение (ключов режим)
 - Режим на насищане
 - Режим на отсечка (Pinch off)
 - ✓ Използва се по аналогичен начин уравнението за товарната права
- ❑ При тях обаче е възможен още един режим на работа:
 - ✓ При напрежения $U_{DS} < 1 \text{ V}$ (в омичната или наричана още линейна облст), се използват като променливо съпротивление
 - ✓ $R_{DS} = U_{DS} / I_D$



V. Символни означения на JFET

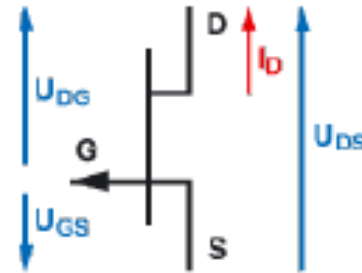
n-канален полеви транзистор



$$U_P < U_{GS} < 0 \text{ V}$$

$$U_{DS} > 0 \text{ V}$$

p-канален полеви транзистор



$$0 \text{ V} < U_{GS} < U_P$$

$$U_{DS} < 0 \text{ V}$$

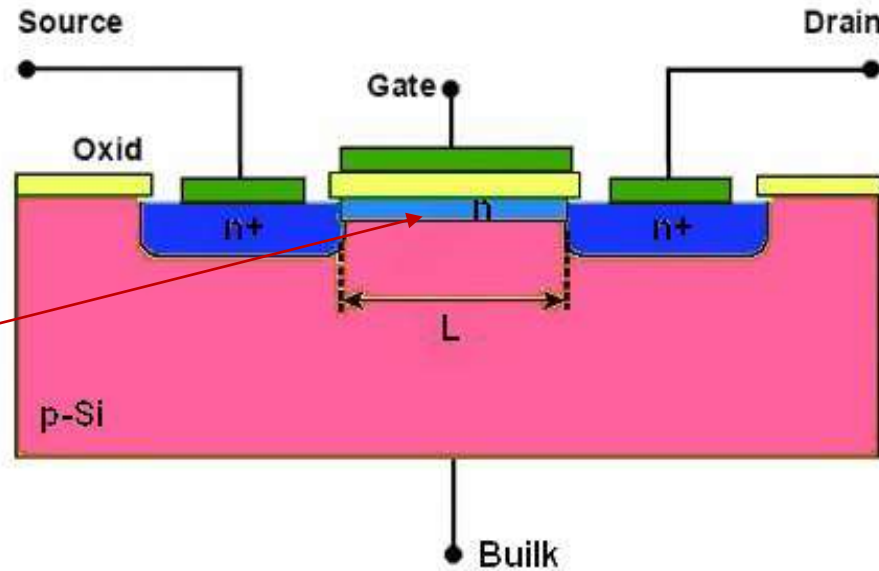
Стрелката показва посоката на тока (винаги от Р-област)

VI. MOS FET (n-канал)

Върху p-силициева подложка (B) са разположени две силно легирани (n^+) области (S, D).

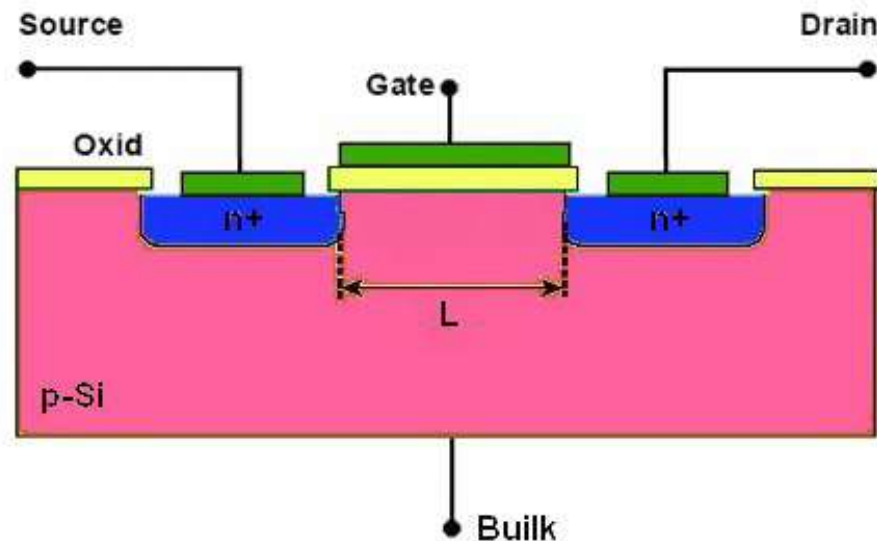
✓ **Вграден канал** -

Физически създадена n -връзка



✓ **Индуциран канал** -

получава се едва след прилагане на подходящо управляващо напрежение



VII. MOS FET

- ❑ Подложката трябва да бъде свързана към такъв потенциал, че да сеполучат PN-преходи в инверсно свързване
 - ✓ За n-канални FET подложката се свързва към сорса или към по-отрицателно напрежение от сорса
 - ✓ За p-канални FET подложката се свързва към сорса или към по-положително напрежение от сорса
- ❑ Структурата на транзисторите е симетрична, така че сорсът и дрейнът може да разместват местата си, ако подложката не е фабрично свързана към сорса!!



VII. MOS FET

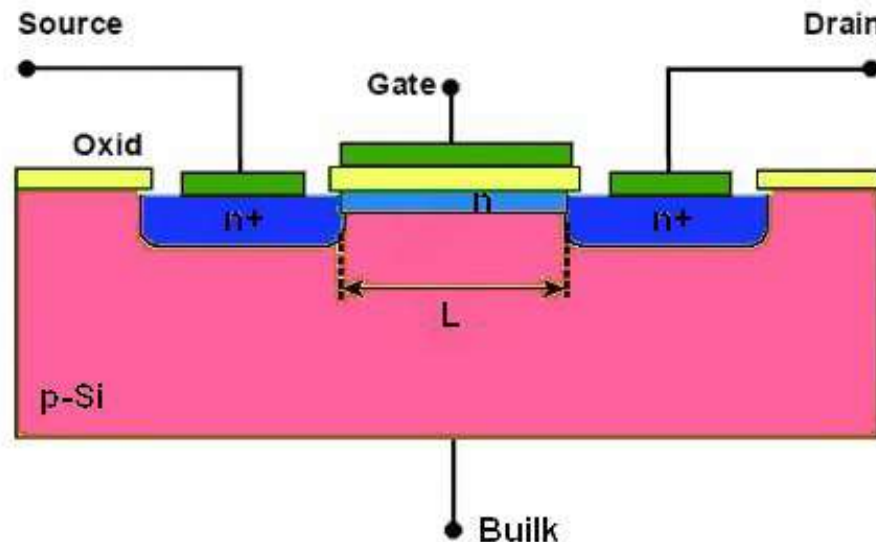
MOSFET с **n-канал** имат две съществени предимства спрямо MOSFET с **p-канал**:

- ✓ в **n-канала** токоносителите са електрони, а тяхната подвижност е пъти по-голяма от тази на дупките, т.е. тези FET работят при много по-високи честоти
- ✓ Съпротивлението на **n-канала** (R_{DSon}) е повече от **два пъти по-малко** от това на **p-канала**, което е предимство при работа в ключов режим.



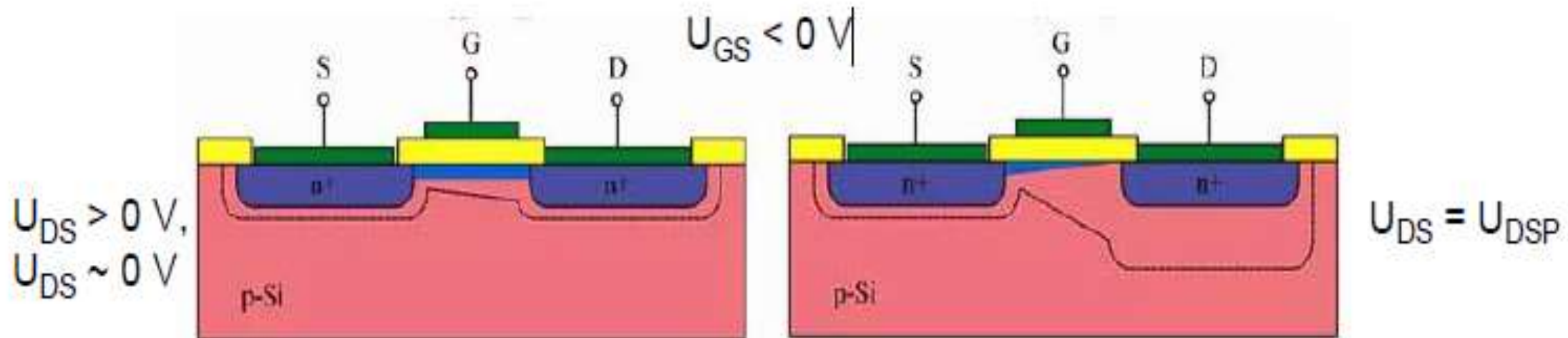
VIII. MOSFET (с вграден n-канал)

- ❑ Управляващият електрод (Gate) е разположен върху канала през изолиращ слой, който припокрива двете n+ области.
- ❑ Принципът на действие, както и характеристиките са като на JFET
- ❑ На G тук може да се подава и положително напрежение, но технически това е безсмислено



VIII. MOSFET (с вграден n-канал)

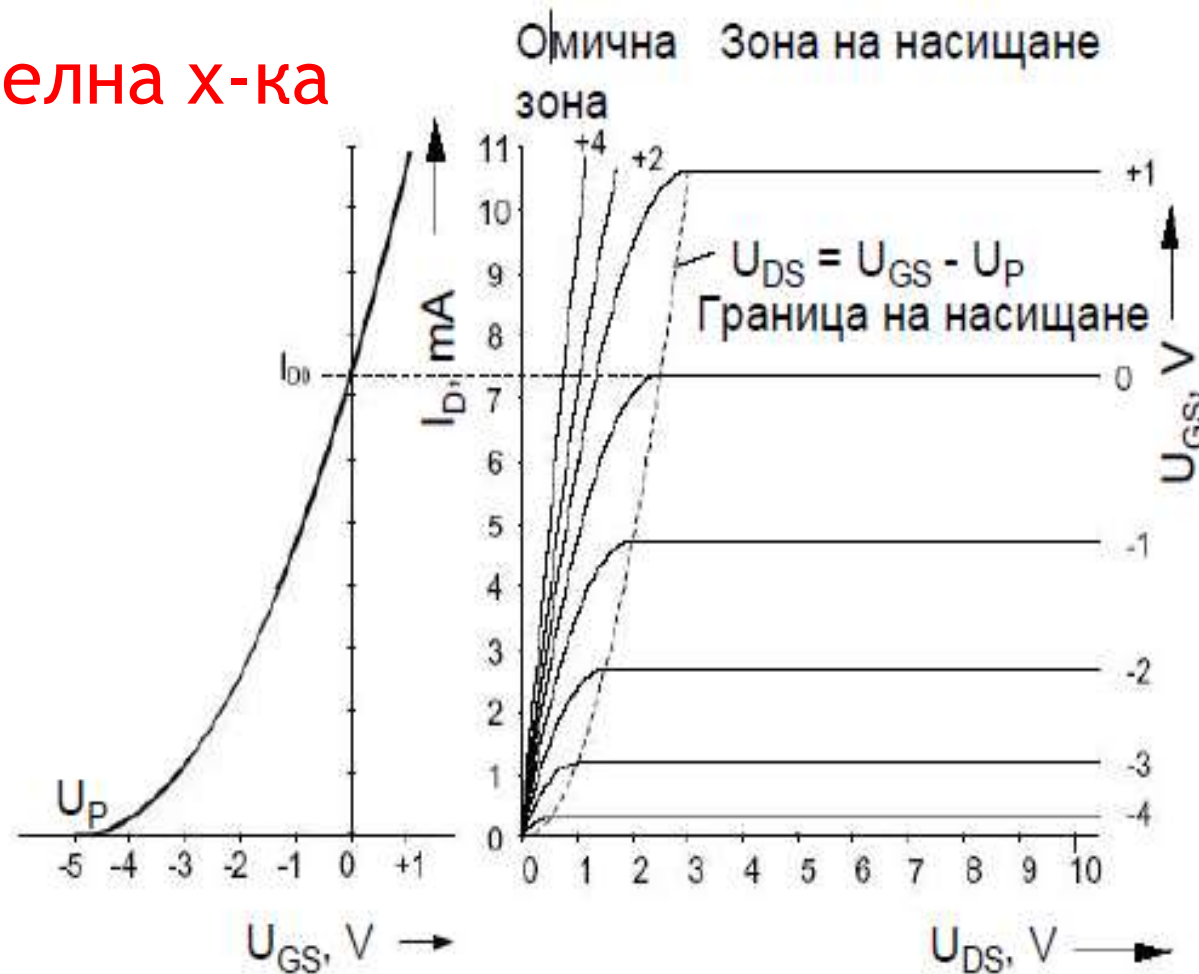
- ❑ Двете напрежения U_{GS} и U_{DS} влияят по следния начин на работата на транзисторите:
- ✓ U_{GS} стеснява канала поцялата дължина и определя максималния ток
- ✓ U_{DS} променя ширината на зоната на обемен заряд, което води до прищипване на канала в близост до дрейна (води до насищане)



VIII. MOSFET (с вграден n-канал)

□ Характеристики

Предавателна x-ка

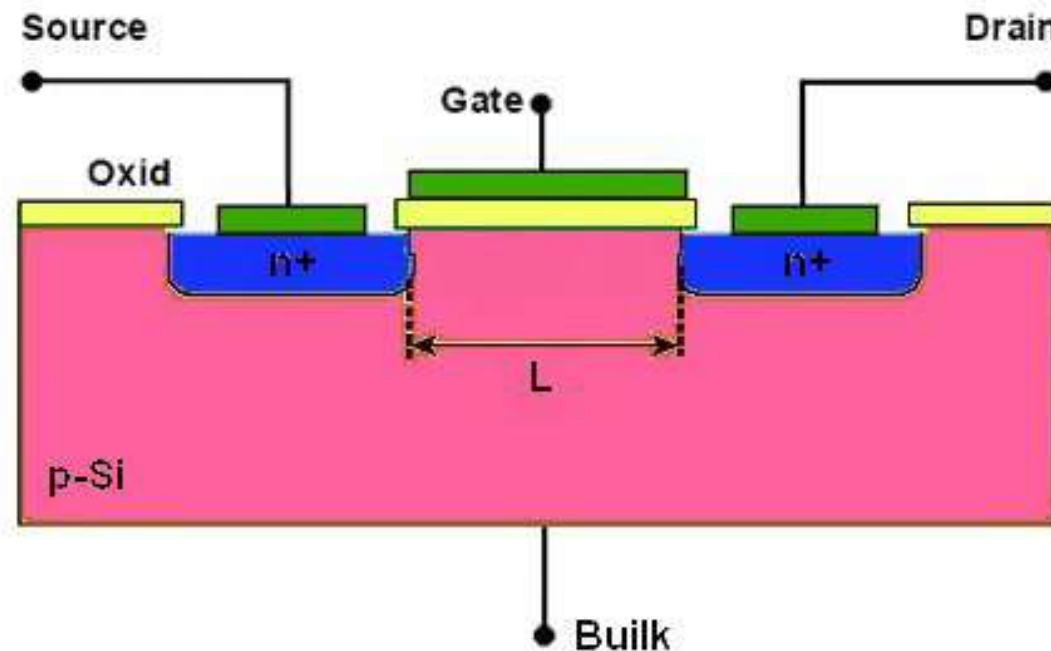


Изходна x-ка



VIII. MOSFET (с индуциран n-канал)

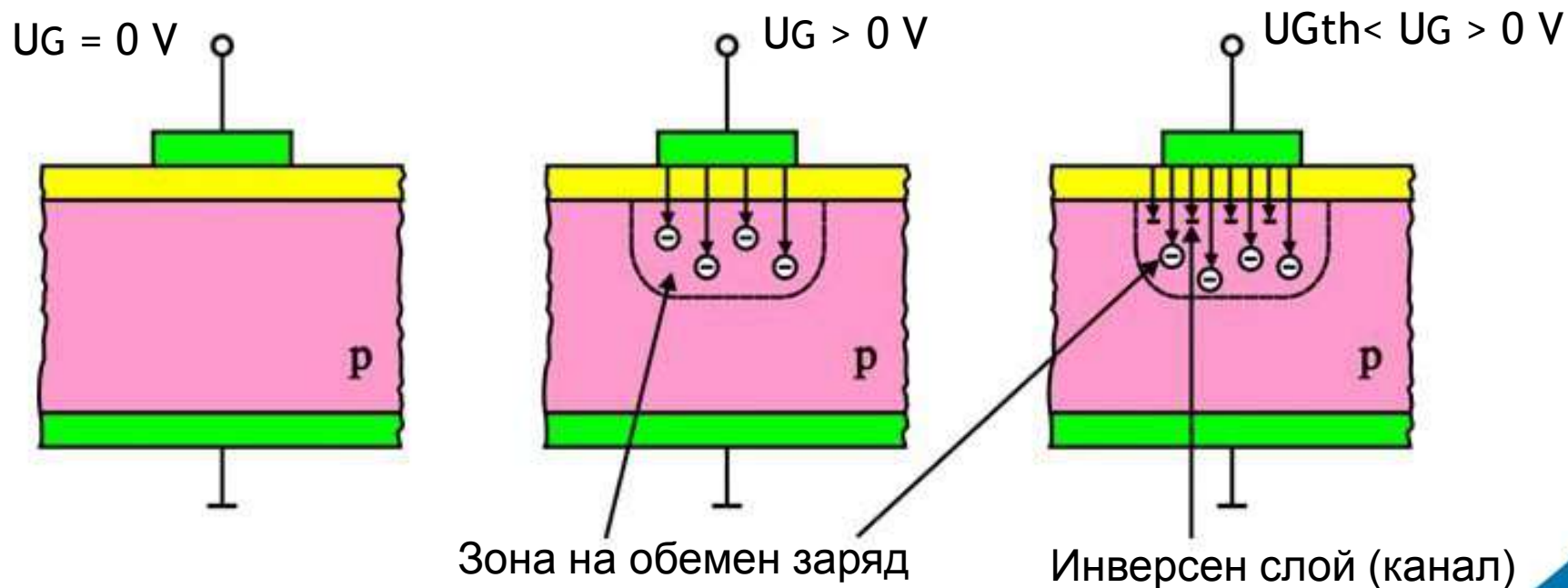
- ❑ Управляващият електрод (Gate) е разположен между двете n+ области, като ги припокрива, върху изолиращ слой
- ❑ Каналът, който ще свърже двете n+ области се появява (индуцира) след прилагане на подходящо по полярност и големина напрежение
- ✓ При $U_{Gsth} < U_{GS} < 0 \text{ V}$



VIII. MOSFET (с индуциран n-канал)

Принцип на получаване на канала

- При малко положително напрежение на G електрическото поле отблъсква подвижните дупки в Si подложка и под изолацията се образува зона на обемен заряд
- ✓ В нея остават само неподвижните отрицателно заредени акцептори



VIII. MOSFET (с индуциран n-канал)

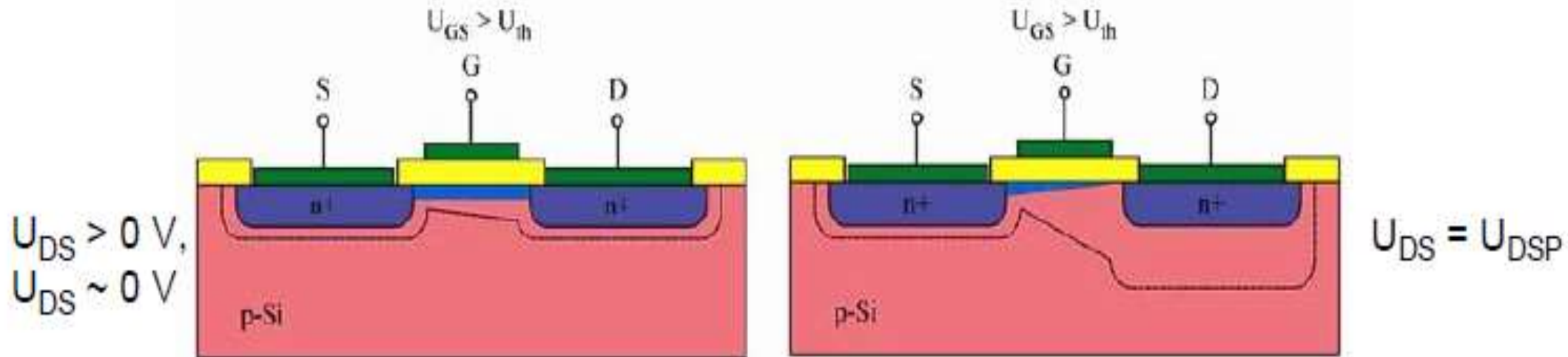
Принцип на получаване на канала

- ☐ При по-голямо напрежение дебелината на зоната расте
- ☐ Когато U_g надмине една прагова стойност U_{Gth} под изолационния слой се получава тънък слой от подвижни електрони (**инверсен слой**)
- ☐ При увеличаване на напрежението дебелината на зоната на обемен заряд не се променя.
- ☐ Нараства само плътността на подвижните електрони
- ✓ Този слой се нарича инверсен слой и представлява **индуцирания n-канал**



VIII. MOSFET (с индуциран n-канал)

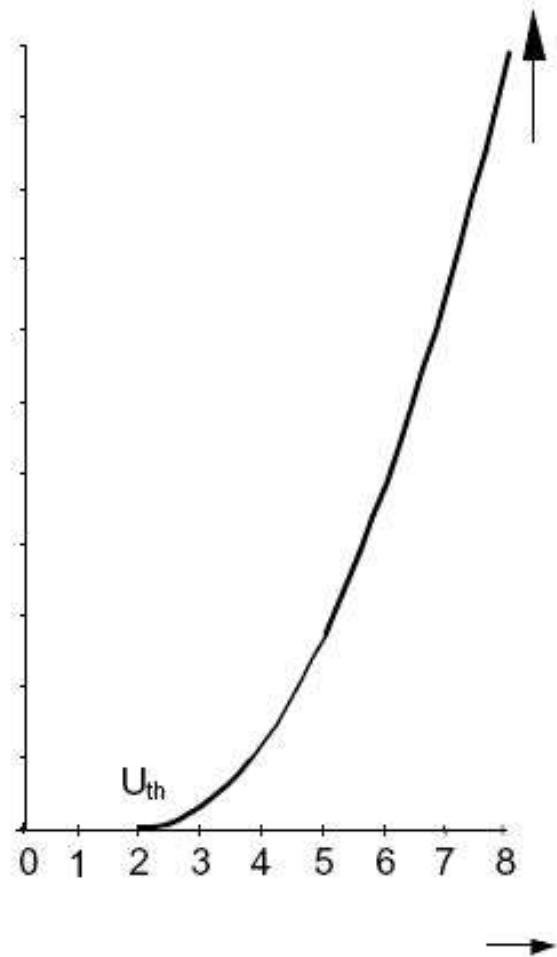
- ❑ Двете напрежения U_{GS} и U_{DS} влияят върху индуцирания каналта както при вградения:
- ✓ U_{GS} стеснява канала поцялата дължина и определя максималния ток
- ✓ U_{DS} променя ширината на зоната на обемен заряд, което води до прищипване на канала в близост до дрейна (води до насищане)



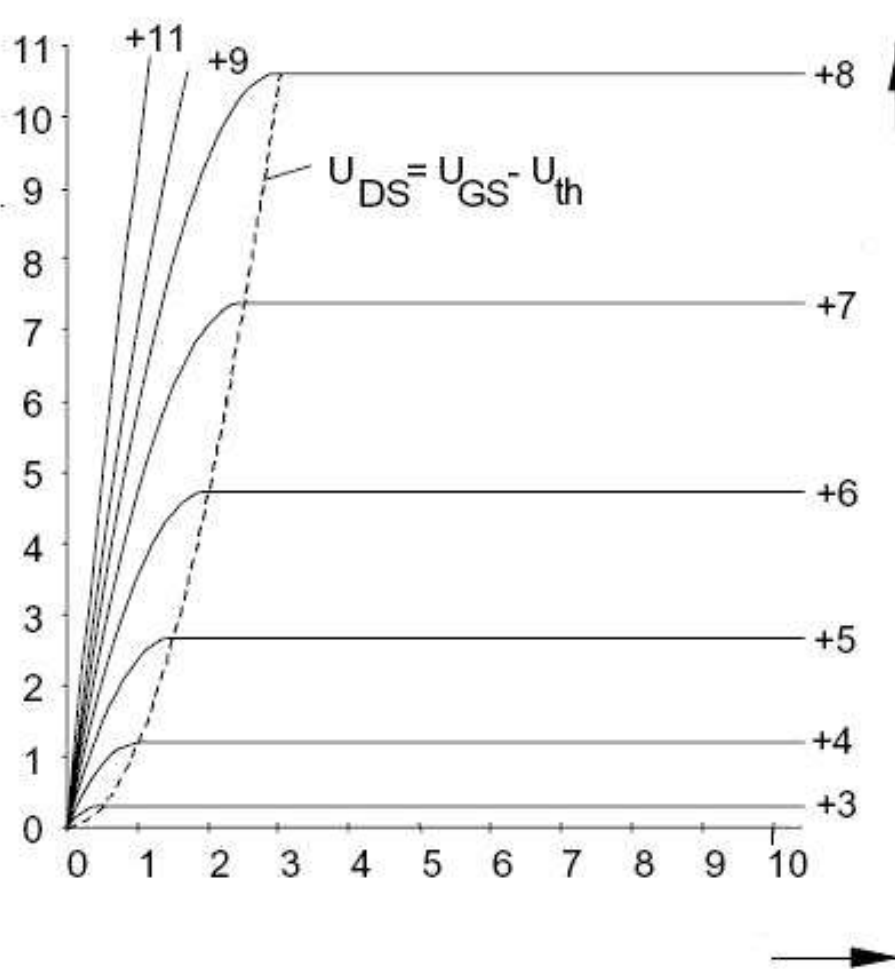
VIII. MOSFET (с индуциран p-канал)

□ Характеристики

Предавателна x-ка

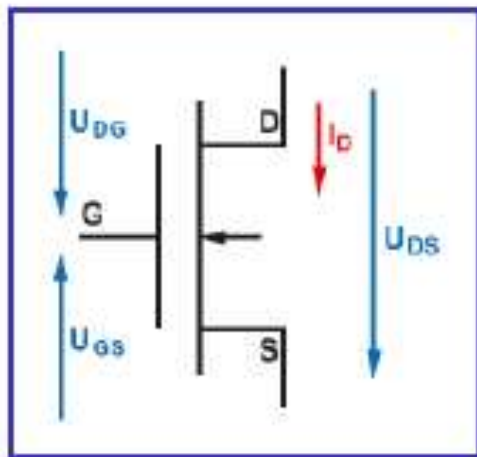


Изходна x-ка



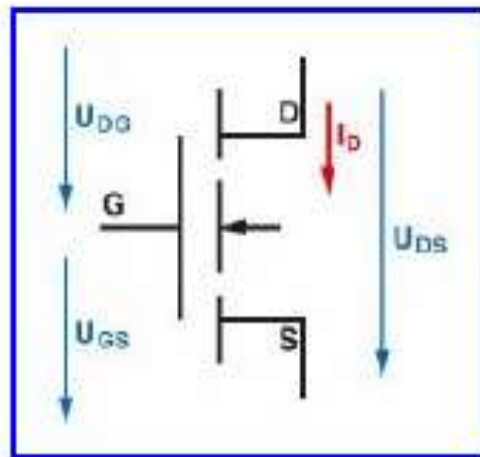
IX. Символни означения на MOSFET

п-канал
вграден



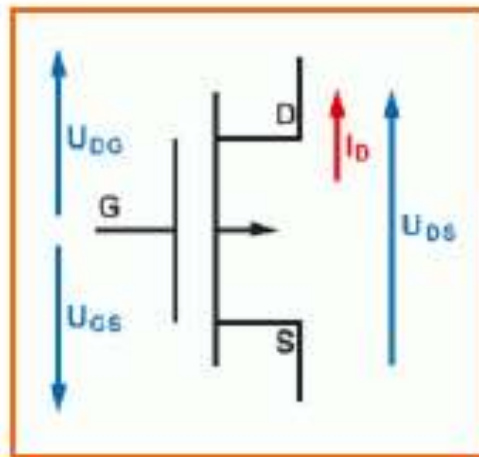
$$U_P < U_{GS}$$
$$U_{DS} > 0 \text{ V}$$

п-канал
индуциран



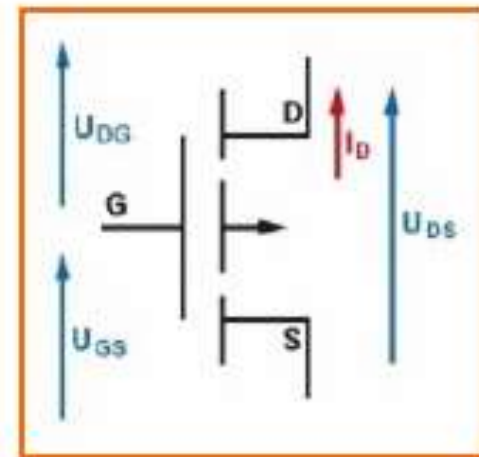
$$U_{th} < U_{GS}$$
$$U_{DS} > 0 \text{ V}$$

р-канал
вграден



$$U_{GS} < U_P$$
$$U_{DS} < 0 \text{ V}$$

р-канал
индуциран



$$U_{th} < U_{GS}$$
$$U_{DS} < 0 \text{ V}$$

