



# Комбинационна логика Превключваща логика

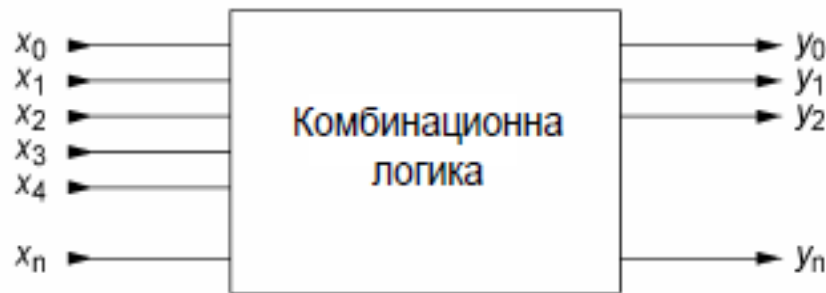


Дешифратори. Мултиплексори. Тригери.

# I. Комбинационна логика

Цифровите логически схеми се разделят на комбинационни и последователности.

Комбинационните логически схеми са тези, при които състоянията на изходите зависят само от текущото състояние на техните входове.



# I. Комбинационна логика



- ✓ Комбинационните схеми **не съдържат памет**.
- ✓ Изходните променливи са еднозначно зависими **само от входните** променливи - определят се само от логическата функция на тяхното текущо входно състояние дали е логическа "0" или логическа "1".
- ✓ Комбинационните схеми се описват с **таблицы на истинност** или с **булеви уравнения**.
- ✓ Реализират се с логически елементи, ROM или програмируеми логически елементи (PLD).

# I. Комбинационна логика

Комбинационните логически схеми са изградени от основни логически елементи NAND, NOR или NOT, които са "комбинирани" или свързани помежду си, за да произведат по-сложни комутационни вериги. Тези логически елементи са градивните елементи на комбинационните логически схеми.

- ✓ Примери: *дешифратори, мултиплексори, цифрови компаратори, суматори.*



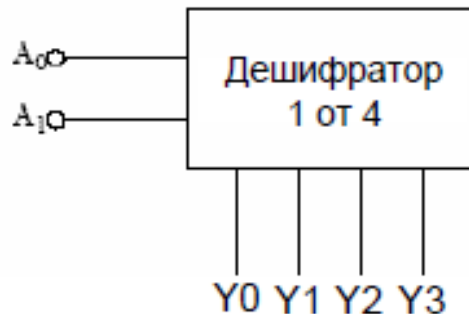


# I. Комбинационна логика

## □ Дешифратор (Dekoder)

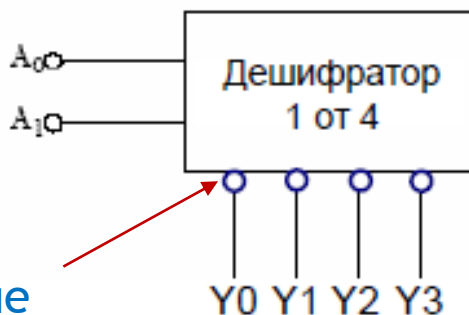
Комбинационна логическа схема, която активира **по един изход** за определена комбинация на входните променливи.

Таблица на истинност



N°	A1	A0	Y0	Y1	Y2	Y3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

Изходите на този дешифратор управляват с активно ниво лог. „1“ LCD



N°	A1	A0	Y0	Y1	Y2	Y3
0	0	0	0	1	1	1
1	0	1	1	0	1	1
2	1	0	1	1	0	1
3	1	1	1	1	1	0

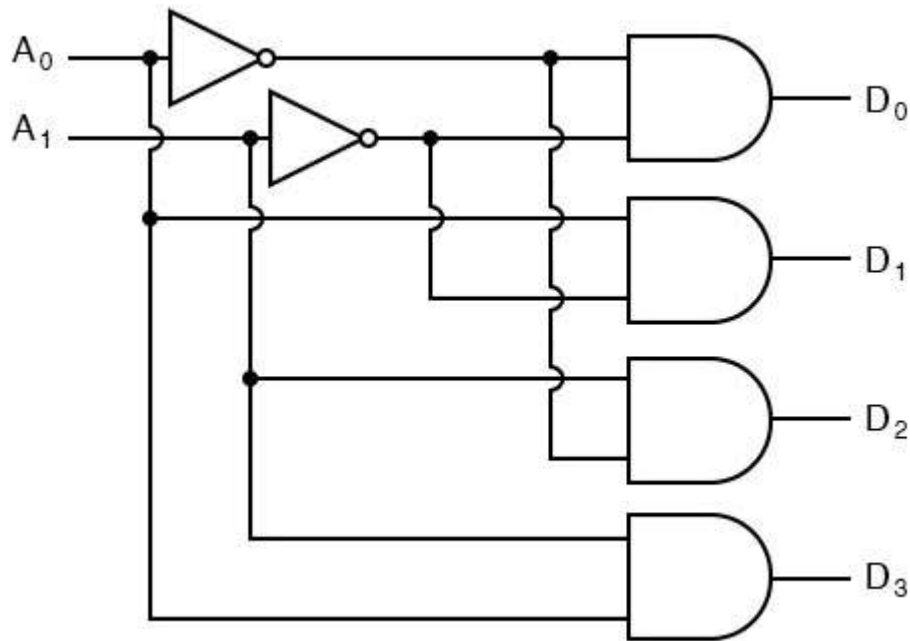
Изходите на този дешифратор управляват с активно ниво лог. „0“ LED

Инвертиране

# I. Комбинационна логика

## □ Дешифратор (Dekoder)

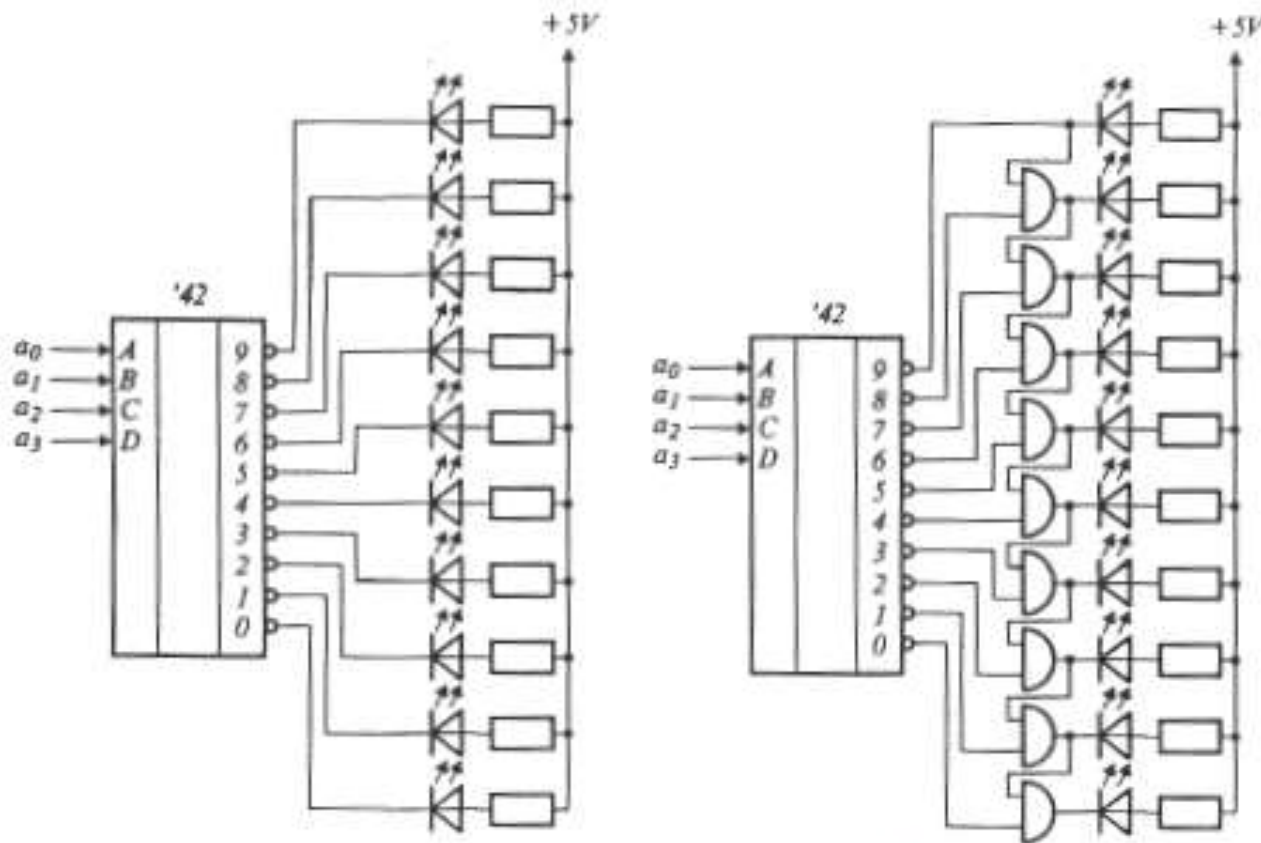
Една от възможните реализации на дешифратор с 2 входа и 4 изхода е тази:



*Като познавате логическите елементи от които е реализиран дешифратора, опитайте да получите сами таблицата на истинност при възможните комбинации на входа.*

# I. Комбинационна логика

## □ BCD дешифратор (Индикация)

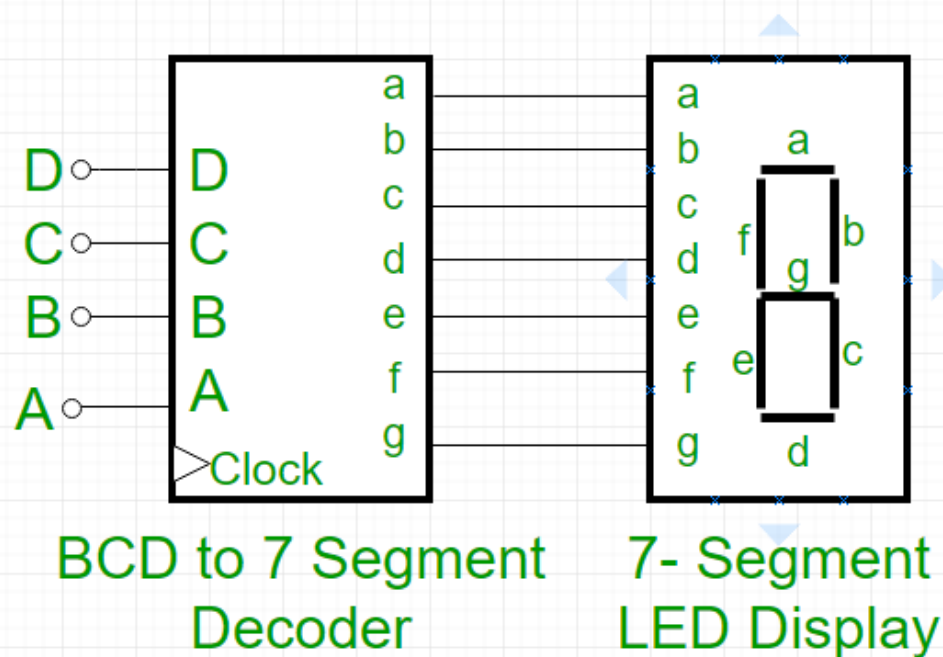


Някои дешифратори не използват всичките възможни  $2^n$  входни комбинации, а само част от тях. Те се наричат непълни. Например дешифраторът на двоично-десетичен (BCD) в десетичен код приема 4-разредни числа на входа, а има 10 изхода, които отговарят на числата от 0 до 9, кодирани в двоично-десетичен код.

# I. Комбинационна логика

## □ Седемсегментен дешифратор (Индикация)

Седем сегментният дисплей е електронно устройство, което се състои от **седем светодиода** (LED), подредени в някакъв определен модел (общ катод или общ анод), който се използва за показване на цифри. Изходите на BCD дешифратора в този случай са входове за индикацията и подават за изобразяване десетичните числа 0-9. Ще светят само тези секции (от a до g), които изобразяват цифрата.



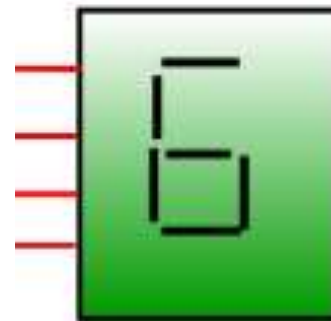


# I. Комбинационна логика

## □ Седемсегментен дешифратор (Индикация)

Таблица на истинност на седемсегментния дешифратор

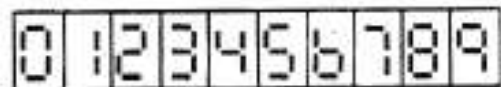
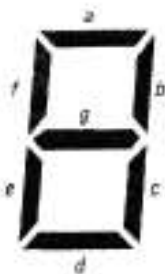
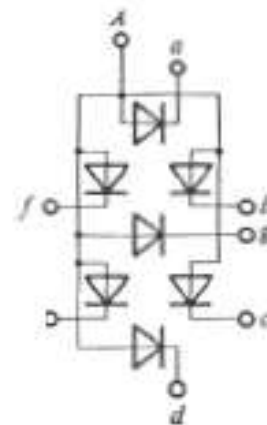
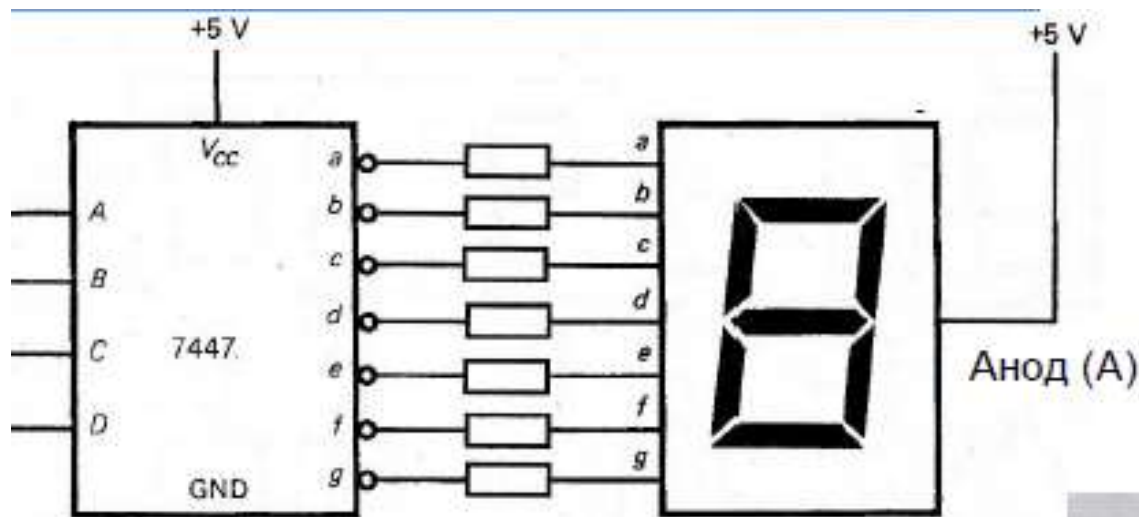
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1



За да се изобрази цифрата 6, трябва да светят светодиодите в секции a,c,d,e,f,g ( т.е. на тези изходи на дешифратора, (които са входове за индикаторния дисплей) да се подава лог.“1“.

# I. Комбинационна логика

## □ Седемсегментен дешифратор (Индикация)



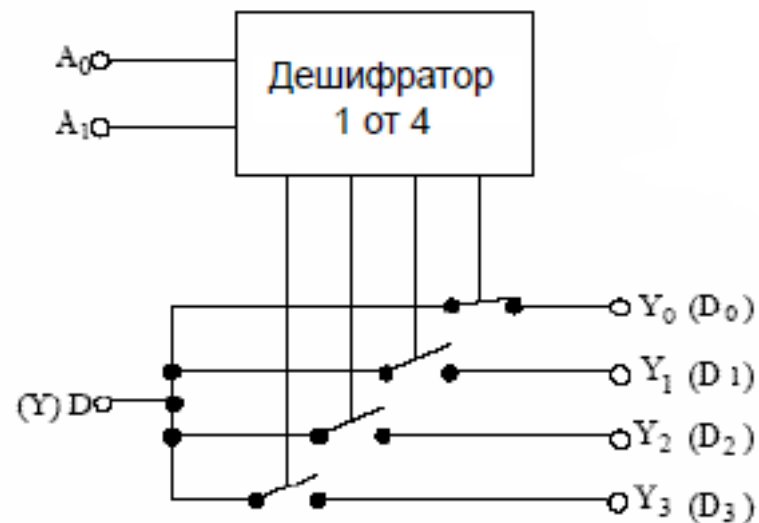
Определете кои сегменти трябва да са в „1“ за да се изобрази 5?

# I. Комбинационна логика

## □ Мультиплексор /демультиплексор

Комбинационна логическа схема, която притежава **няколко** **информационни входа** ( $D_0, D_1, D_2, D_3$ ) и **един изход** ( $Y$ ). Той се управлява от селекторен адрес, определящ кой от входните сигнали ще бъде пропуснат към изхода. Мультиплексорът позволява цифрова информация от **няколко** **източника** да бъде превключвана към **една линия** за предаване в дадено направление.

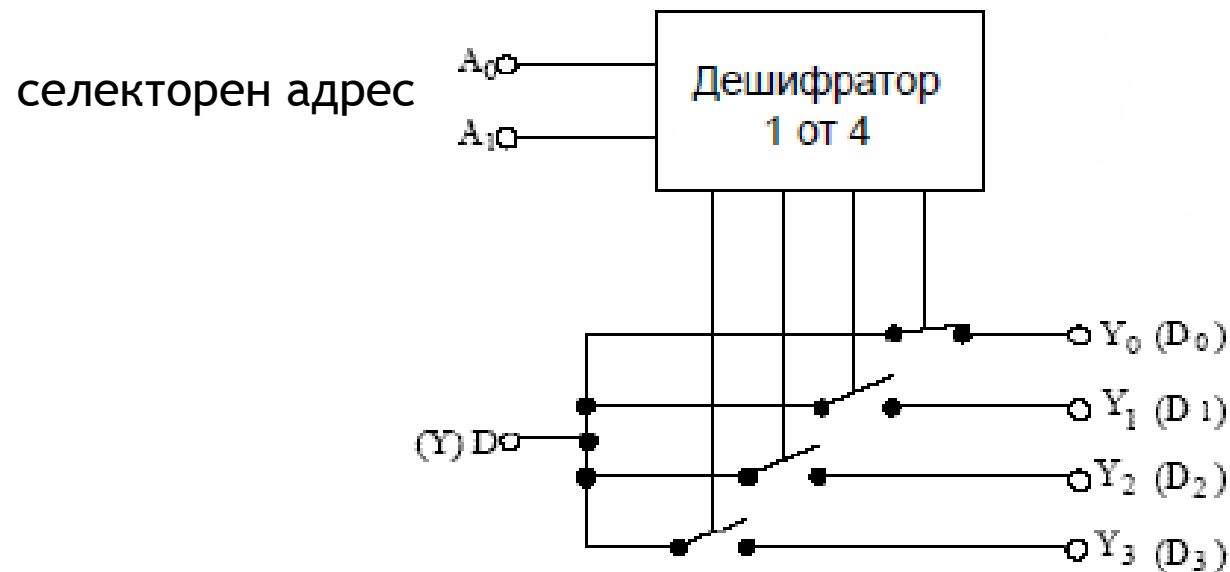
селекторен адрес



# I. Комбинационна логика

## ❑ Мультиплексор /демультиплексор

Демультиплексорите изпълняват обратната функция на мультиплексорите. Те имат **само един информационен вход ( $D_0$ )**, чийто сигнал се превключва към един от **няколкото изхода ( $Y_0, Y_1, Y_2, Y_3$ )** според подадения цифров код на  $n$ -адресни входа ( $A_0, A_1$ )





# I. Комбинационна логика

## ❑ Мультиплексор /демультиплексор

Една от възможните реализации на мультиплексор с 2 входа:

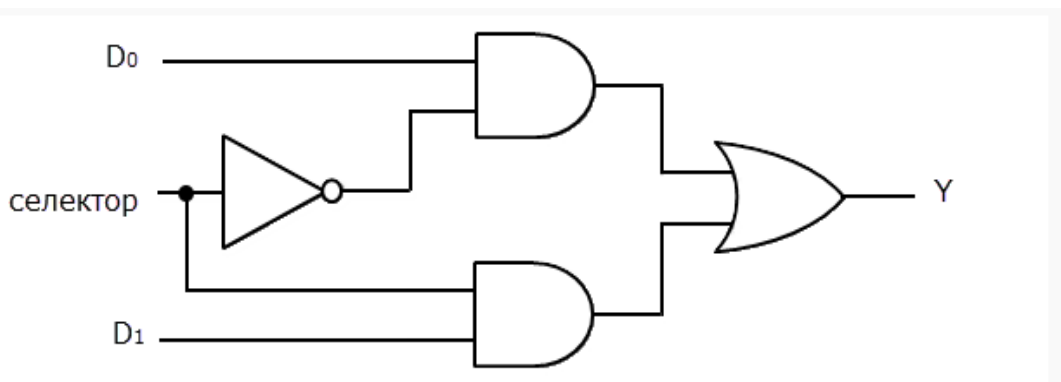


Таблица на истинност на дву-входов мультиплексор

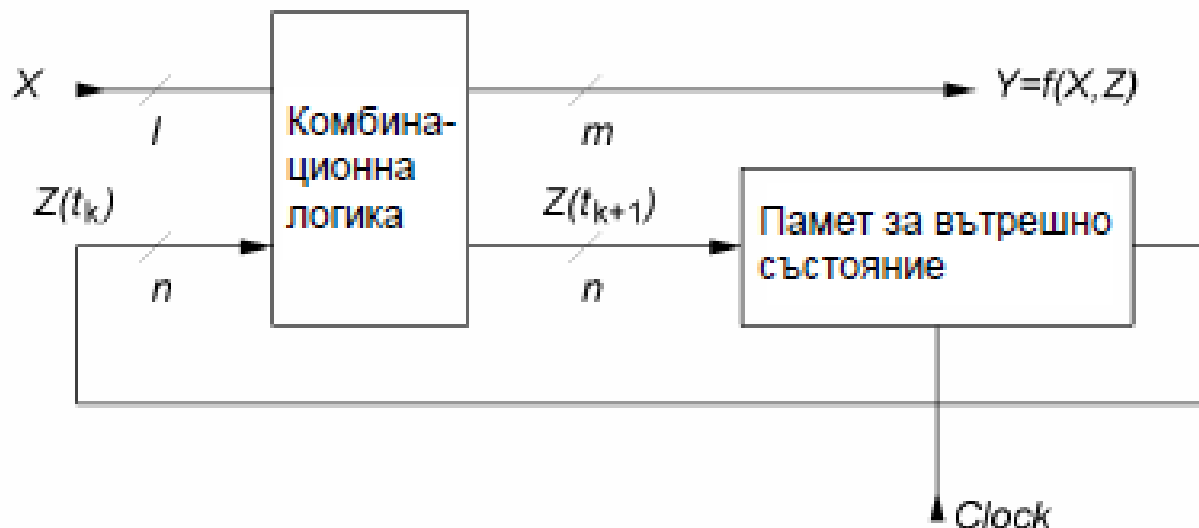
сел	D <sub>0</sub>	D <sub>1</sub>	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

сел	Y
0	D <sub>0</sub>
1	D <sub>1</sub>

Мультиплексорите намират широко и разнообразно приложение в цифровите системи - за избор на данни, за превключване на данни, преобразуване на информация от паралелен в последователен вид, генератори на сигнали, реализиране на логически функции.

## II. Превключваща логика

- ✓ Превключващата логика **съдържа памет**.
- ✓ **Изходните** променливи  $Y$  **зависят от входните** променливи  $X$  и от **състоянието на системата**  $Z$  т.е. **има обратна връзка**, която осигурява възможността за запомняне на състоянията.



## II. Превключваща логика

- ✓ Последователностните логически схеми притежават свойството да запомнят въздействието на входящите сигнали. Затова те се наричат още “**устройства с памет**”.
- ✓ **Състоянието се запомня** побитово в тригери.
- ✓ Описанието става чрез таблици на истинност или с времедиаграми.
- ✓ Реализира се с тригери или програмируеми логически елементи (PLD).

**Примери:** броячи, таймери, паметите за данни.



# II. Превключваща логика

## □ Тригери

- ✓ Тригерите са **основните запомнящи клетки** на схемите за превключване (*последователностните схеми*).
- ✓ Тригерите се разделят на два основни типа - **асинхронни** и **синхронни**.
- ✓ При **асинхронните** тригери входните сигнали въздействат върху състоянието на тригера непосредствено със своето появяване.
- ✓ При **синхронните** тригери се въвежда допълнителен синхронизиращ (тактов) вход, който се означава с **C (Clock)**.  
Тригерът променя състоянието си след постъпване на активен сигнал на този вход.





# II. Превключваща логика

## □ Тригери

### S-R тригери (Set-Reset)

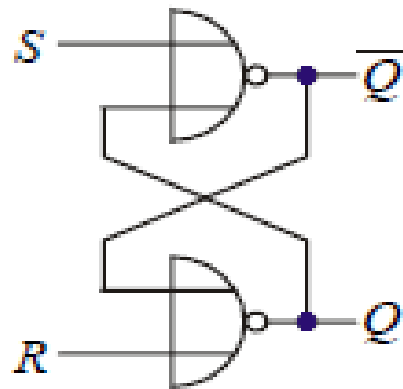
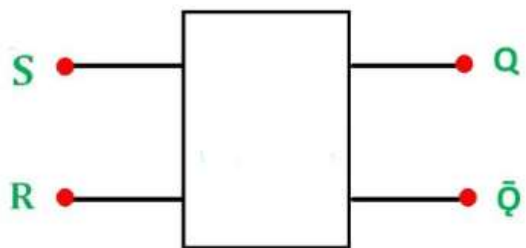
SR-тригерите са основната клетка, която се използва във всички по-сложни тригери. При SR тригерите изградени с **ИЛИ-НЕ** елементи, активното ниво на входните сигнали е **1**.

Схема на RS-тригер,  
изграден с елементи ИЛИ-  
НЕ с обратни връзки.

Таблица на истинност

$S$	$R$	$Q$	$\bar{Q}$
0	0	няма промяна	
0	1	0	1
1	0	1	0
1	1	забранена	

Графичен символ



# II. Превключваща логика

## □ Тригери

**S-R тригери** изградени с логически елементи И-НЕ

При тях активното ниво на входовете е **0**, което се вижда от таблицата за истинност.

Схема на RS-тригер,  
изграден логически  
елементи И-НЕ

Графичен символ

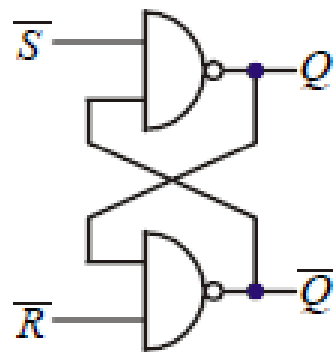
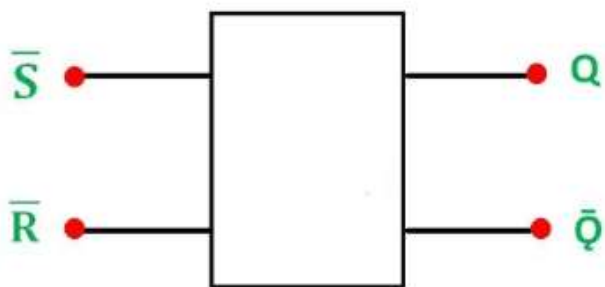


Таблица на истинност

$\bar{S}$	$\bar{R}$	$Q$	$\bar{Q}$
0	0	забранена	
0	1	1	0
1	0	0	1
1	1	няма промяна	



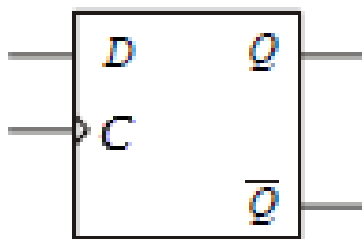
# II. Превключваща логика

## □ Тригери

### D - тригери

- ✓ D-тригерът притежава **един информационен вход**, означаван с D (Delay-закъснение).
- ✓ Логическото ниво на този вход се появява на изхода след постъпването на **тактов импулс**.
- ✓ D-тригерът представлява **елементарна клетка памет**. Информацията от входа D се установява в изхода Q след един такт закъснение, затова той се нарича още закъснителен тригер.

#### Графичен символ



#### Таблица на истинност

D	Clock	Q
0	0	Без промяна
0	1	0
1	0	Без промяна
1	1	1

# II. Превключваща логика

## □ Тригери

### JK- тригери

JK-тригерът притежава два входа за въздействие (J - установяващ и K - нулиращ) и един синхронизиращ вход - C. Действието му е подобно на това на SR-тригера, с тази разлика, че неопределеността в състоянието при едновременно активиране и на двата информационни входа е премахната.

От таблицата на истинност се вижда, че с изключение на едновременното активиране на J и K входовете, действието на JK-тригера е еквивалентно на това на SR-тригера, като J е еквивалентен на S, а K - еквивалентен на R. При  $J = K = '1'$  обаче всеки тактов импулс сменя състоянието на тригера в противоположно, т.е. тригерът се „преобръща“ при всеки тактов импулс.





# II. Превключваща логика

## □ Тригери

### JK- тригери

Графичен символ

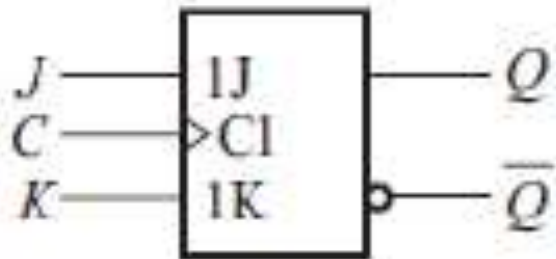


Таблица на истинност

$J$	$K$	$Q$	$\overline{Q}$
0	0	Без промяна	
1	0	1	0
0	1	0	1
1	1	$\overline{Q}^{n-1}$	$Q^{n-1}$



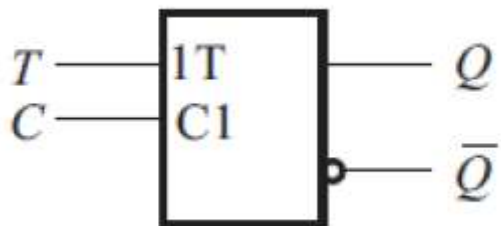
# II. Превключваща логика

## □ Тригери

### Т - тригери

Т тригерът е синхронен тригер, който притежава само един информационен вход за въздействие Т /Toggle - превключвам/. Когато  $T=0$ , състоянието на тригера не се променя. Когато  $T=1$ , тригера се "преобръща" в противоположно състояние при всеки активен фронт. Нарича се още **броячен тригер**, защото е основна клетка в много схеми на броячи.

#### Графичен символ



#### Таблица на истинност

$T$	$Q$	$\overline{Q}$
0	Без промяна	
1	$\overline{Q}^{n-1}$	$Q^{n-1}$

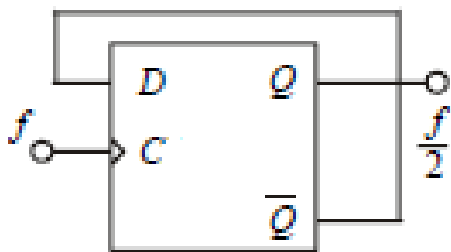
# II. Превключваща логика

## □ Тригери

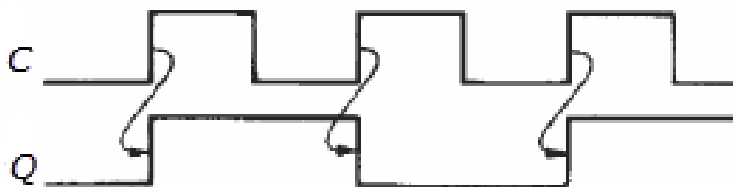
### Т - тригери

В интегрално изпълнение не съществуват Т-тригери, тъй като лесно се получават от другите видове.

Ако се използва D-тригер, се получава съкратен Т-тригер, чрез свързването на изхода Q с входа D



Тъй като Т-тригерът превключва при постъпването на всеки тактов импулс, той изпълнява функцията на делител на две, т.е. честотата в изхода му е два пъти по-ниска от входната честота.



# II. Превключваща логика

## □ Тригери

T- тригер от D и от JK тригер - използват се в броячите

