

D FLIP-FLOP ASYNCHRONOUS RESET PRESENTATION

MEMBERS

- 21200274 Nguyễn Tiến Đại
- 21200280 Lê Đình Dũng
- 21200356 Lê Minh Thông

AGENDA

- Introduction
- Logic Gates Are Used.
- Design and Operation.
- Simulation.
- Timing Analysis.

INTRODUCTION

Introduction

- Mạch chốt D reset bất đồng bộ là một mạch điện tử logic hữu ích được sử dụng rộng rãi trong các thiết kế điện tử.
- Ưu điểm:
 - Mạch đơn giản, dễ dàng thiết kế
 - Khả năng hoạt động với nhiều tần số đồng hồ khác nhau.
- Khuyết điểm:
 - Có thể chậm
 - Tiêu thụ nhiều điện năng
 - Nhiễu bởi các tín hiệu điện từ bên ngoài.

Introduction

- Mạch flip flop D RESET bất đồng bộ hoạt động theo ba chế độ:
 - (1) lưu trữ dữ liệu
 - (2) Reset mạch
 - (3) Ngõ vào giống ngõ ra khi Reset mức 0 và xung CLK cạnh lên.

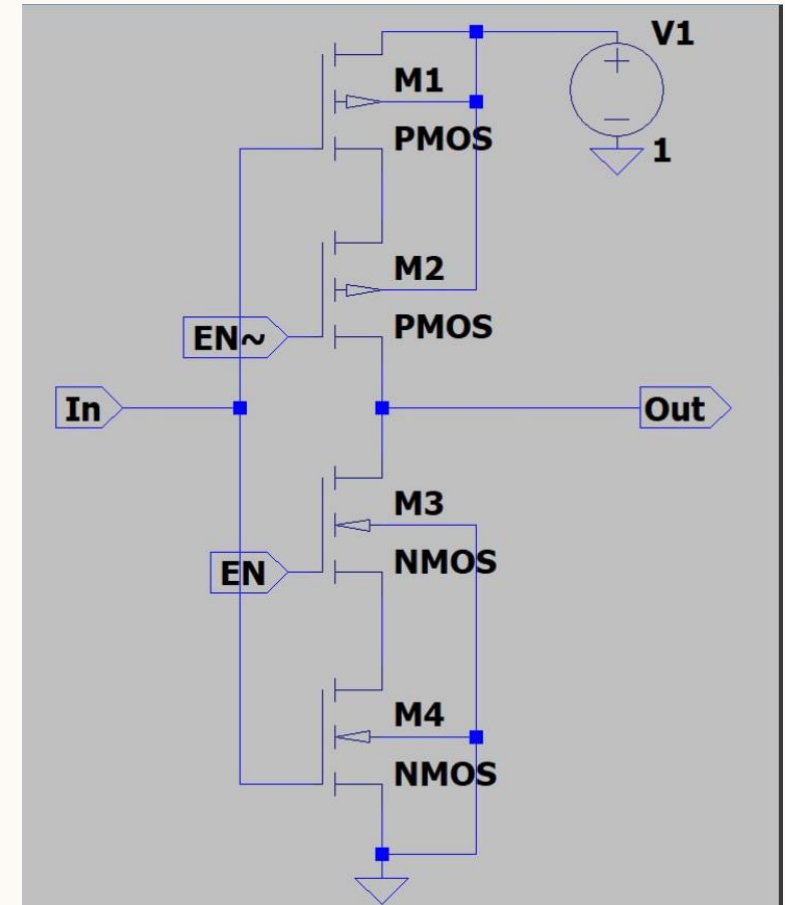


LOGIC GATES ARE USED.

High Assert Tristate Inverter

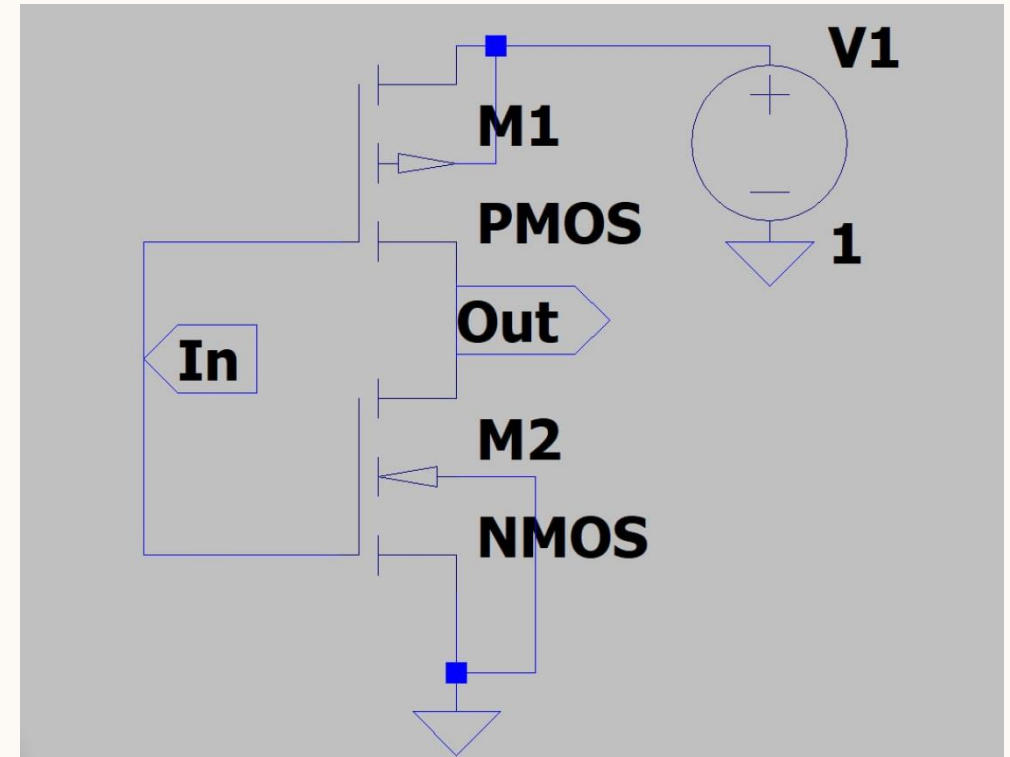
Truth Table of High Assert Inverter Tristate Buffer

Enable	A	Q
0	0	Hi-Z
0	1	Hi-z
1	0	1
1	1	0



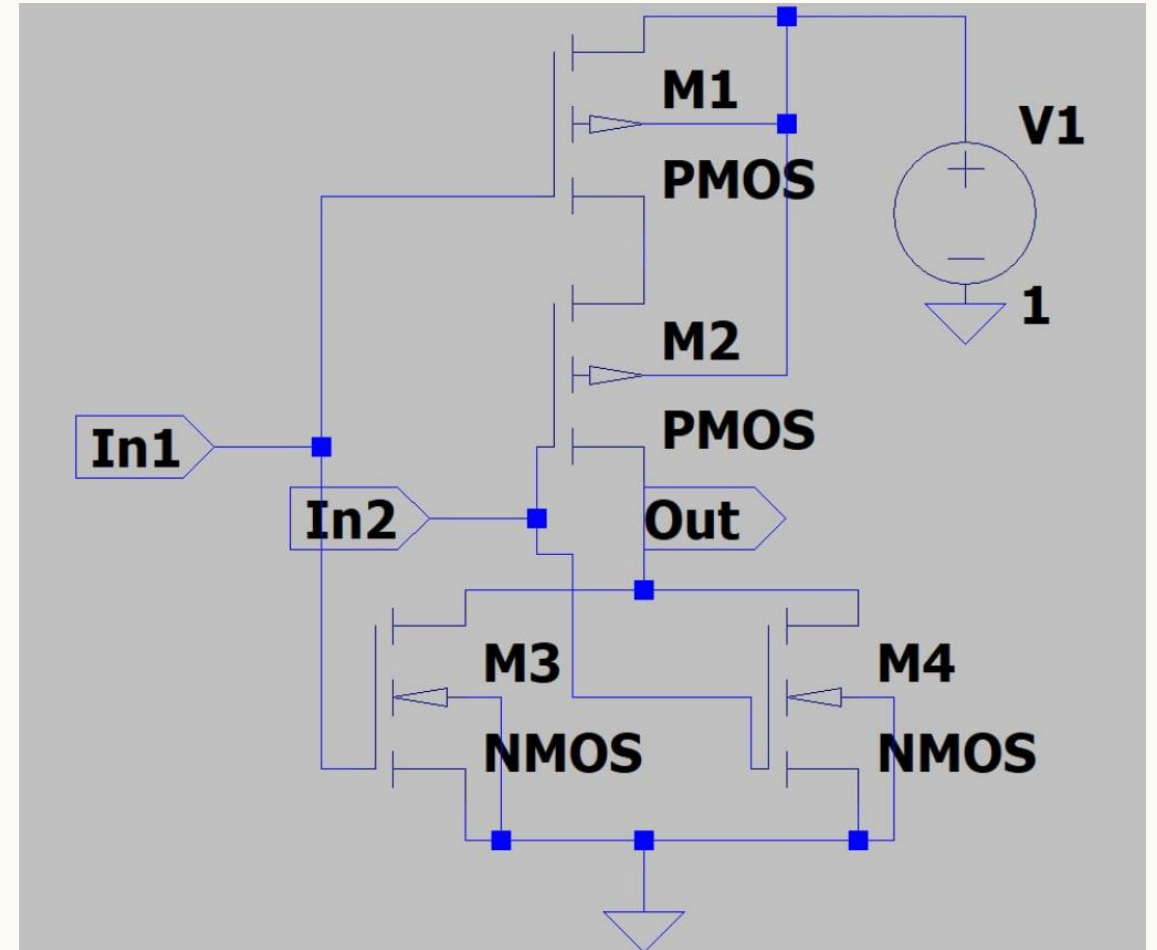
Inverter

Input	Output
1	0
0	1



NOR2

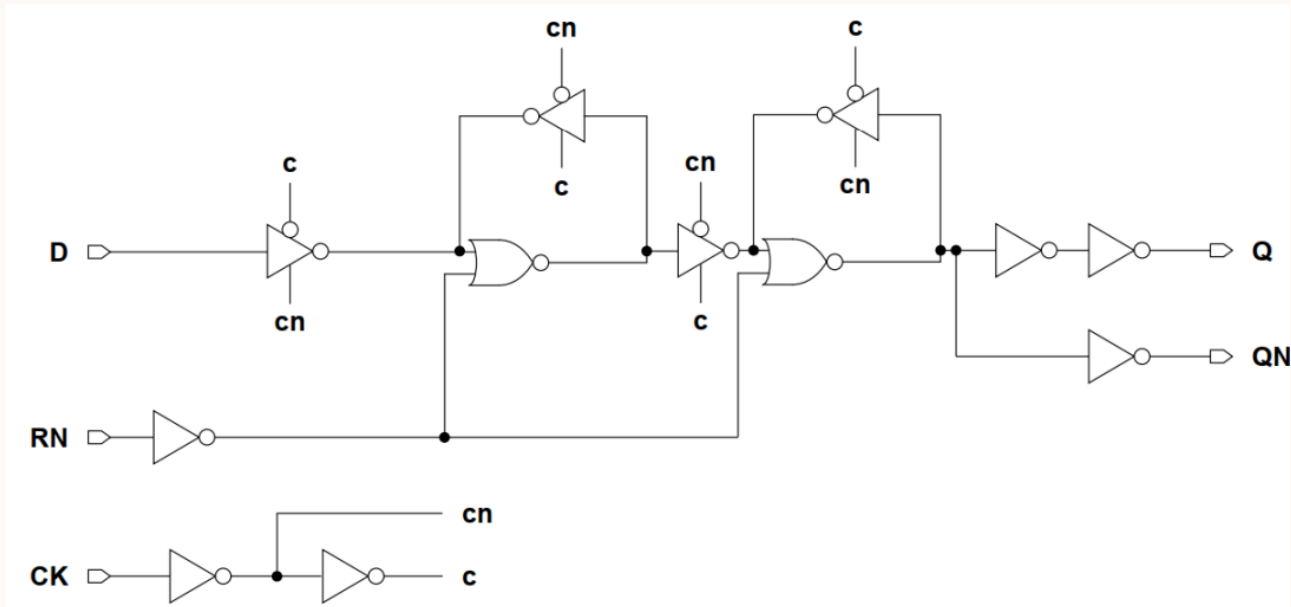
Input A	Input B	Output
0	0	1
0	1	0
1	0	0
1	1	0





DESIGN AND OPERATION.

Schematic



RN	D	CK	Q[n+1]	QN[n+1]
0	x	x	0	1
1	0		0	1
1	1		1	0
1	x		Q[n]	QN[n]

- Khi Reset ở mức 0, không quan tâm đến D, CLK, output Q reset về 0.
- Khi Reset ở mức 1, khi xung cạnh lên CLK thì Q có cùng trạng thái với D.
- khoảng thời gian còn lại, không quan tâm đến D, mạch giữ nguyên trạng thái.

Logical Effort

- Logical Effort: $G = 2 \cdot \frac{5}{3} \cdot \frac{5}{3} \cdot 2 \cdot \frac{5}{3} \cdot 1 \cdot 1 = \frac{500}{27}$
- Electrical Effort: $H = \frac{C_{out}}{C_{in}} = \frac{120}{4} = 30$
- Branching Effort: $B = 2.3 = 6$
- Path Effort: $F = GBH = \frac{10000}{3}$
- Best state effort: $\hat{f} = \sqrt[6]{10000/3} = 3.87$
- Parasitic delay: $P = 2+2+2+2+1+1 = 10$
- Delay: $D = 3.87 \times 6 + 10 = 33$

Logical Effort

=> Thế ngược tìm kích thước các cổng:

- $X8 = \frac{120.1}{3.87} = 31$

- $X7 = \frac{31.1}{3.87} = 9$

- $X6 = 2 \cdot \frac{9}{3.87} \cdot \frac{5}{3} = 8$

- $X3 = 2 \cdot \frac{8}{3.87} = 4$

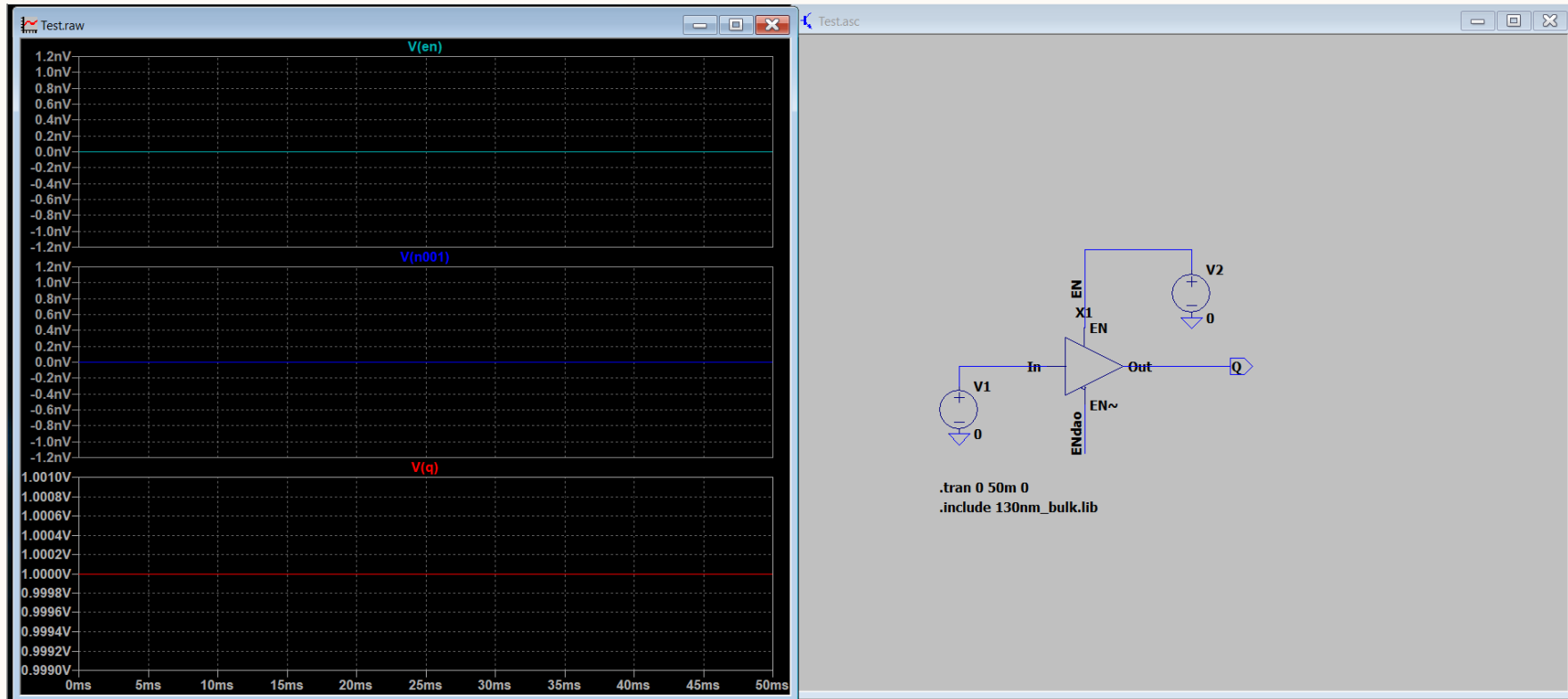
- $X5 = 2 \cdot \frac{4}{3.87} \cdot \frac{5}{3} = 4$

- $X1 = 2 \cdot \frac{4.2}{3.87} = 4$

SIMULATION.

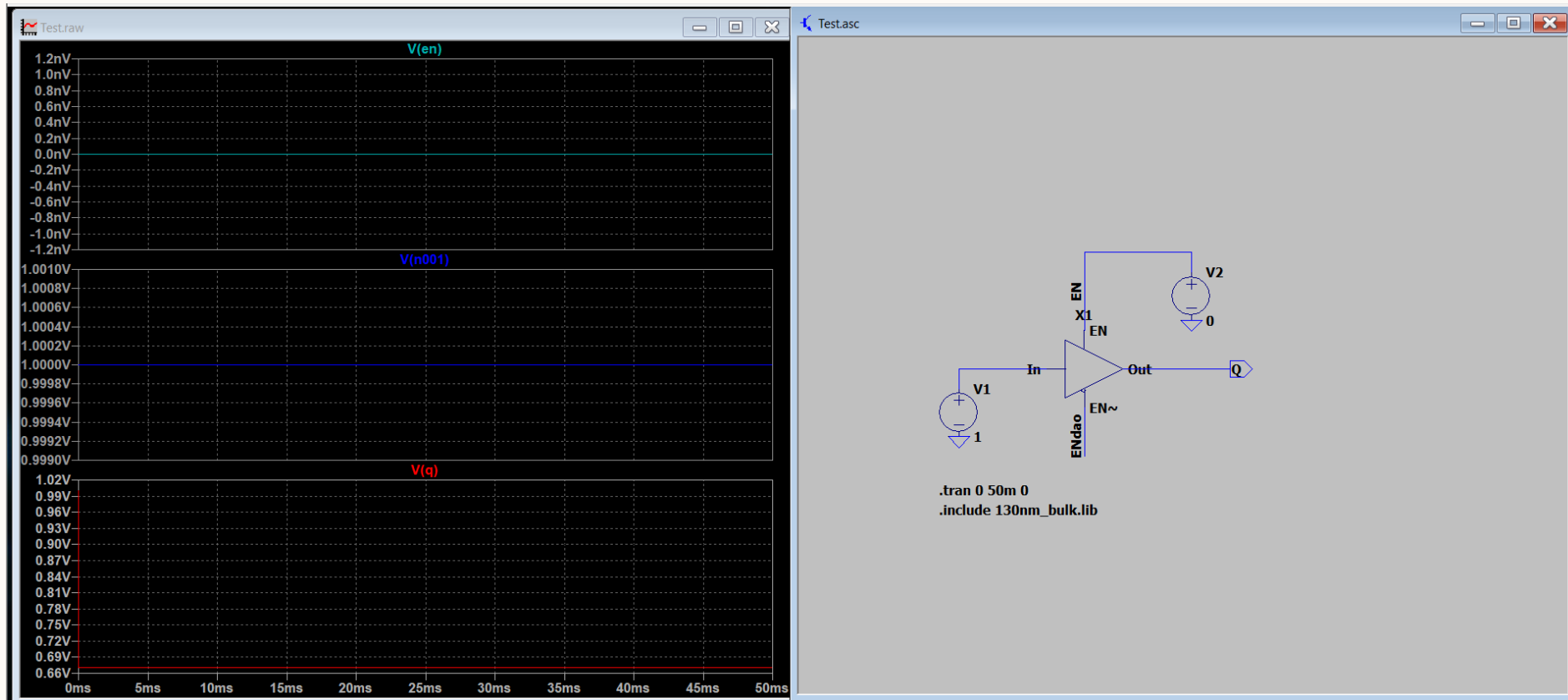
Tristate Inverter

- $A=0, EN=0 \Rightarrow Q: \text{Hi-Z}$



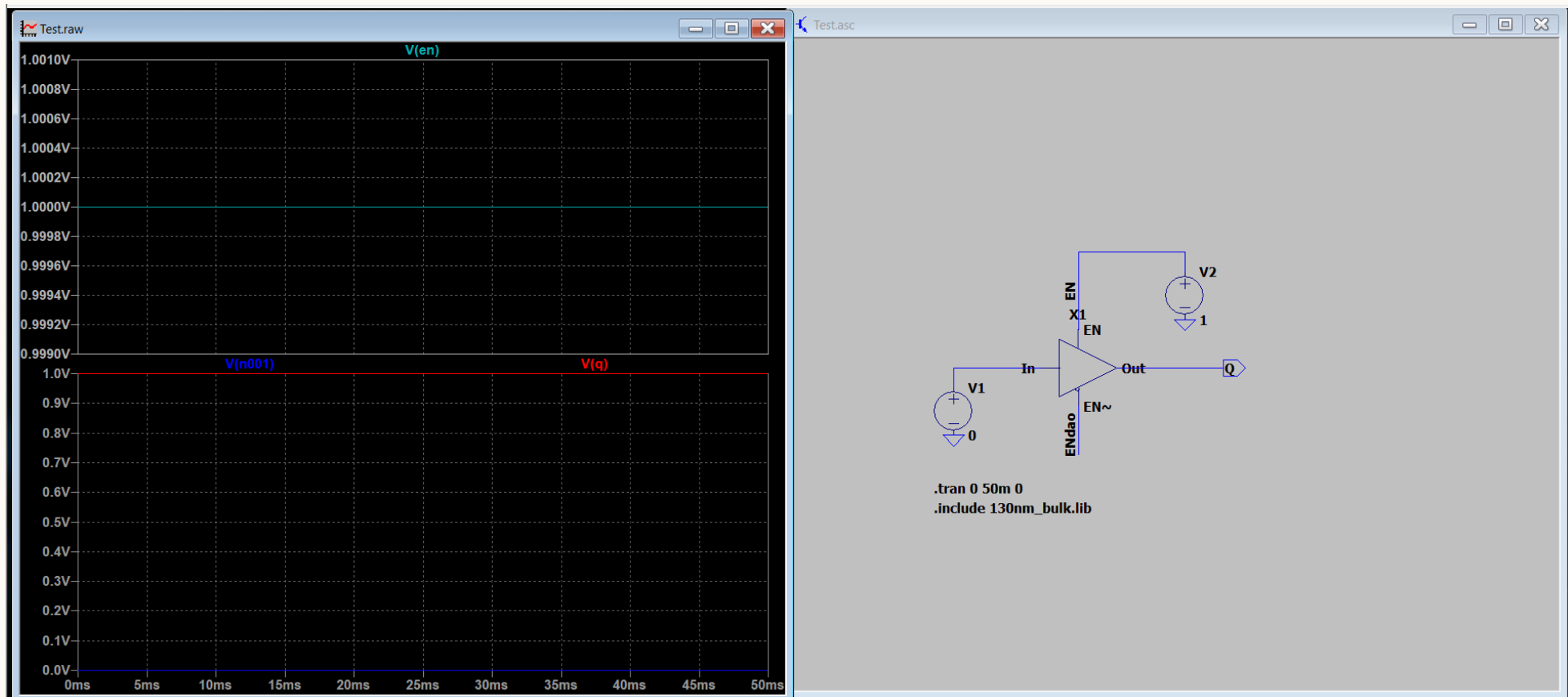
Tristate Inverter

- $A=1, EN=0 \Rightarrow Q: \text{Hi-Z}$



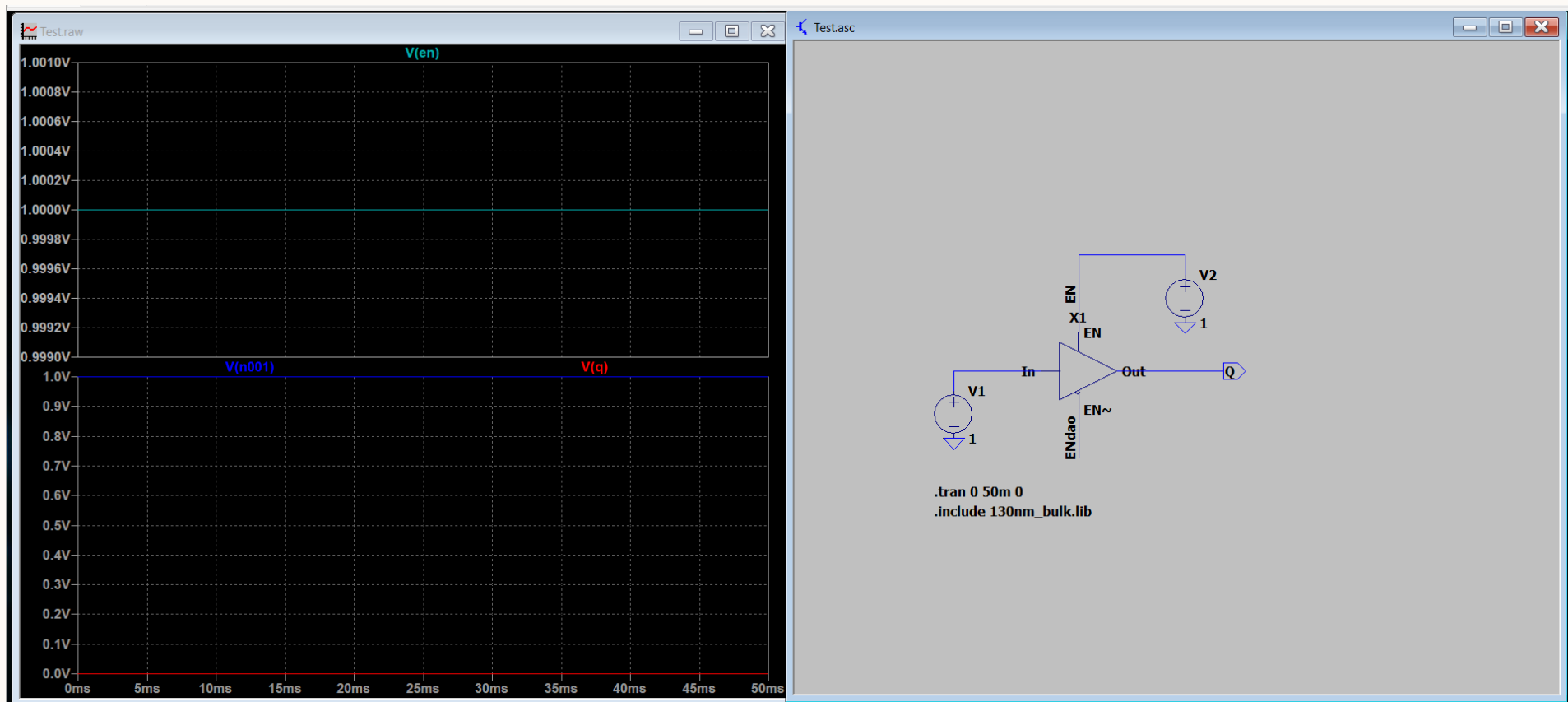
Tristate Inverter

- $EN=1, A=0 \Rightarrow Q=1$

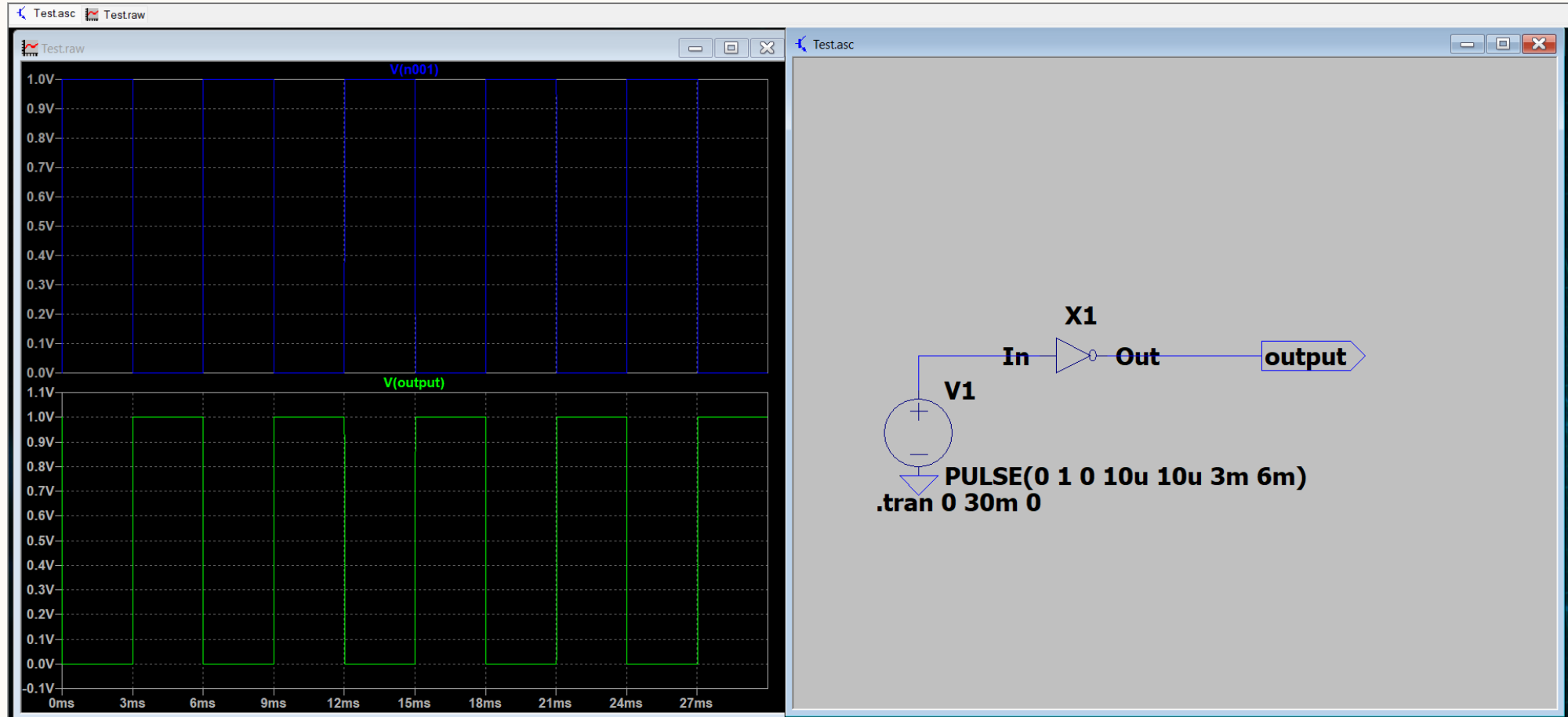


Tristate Inverter

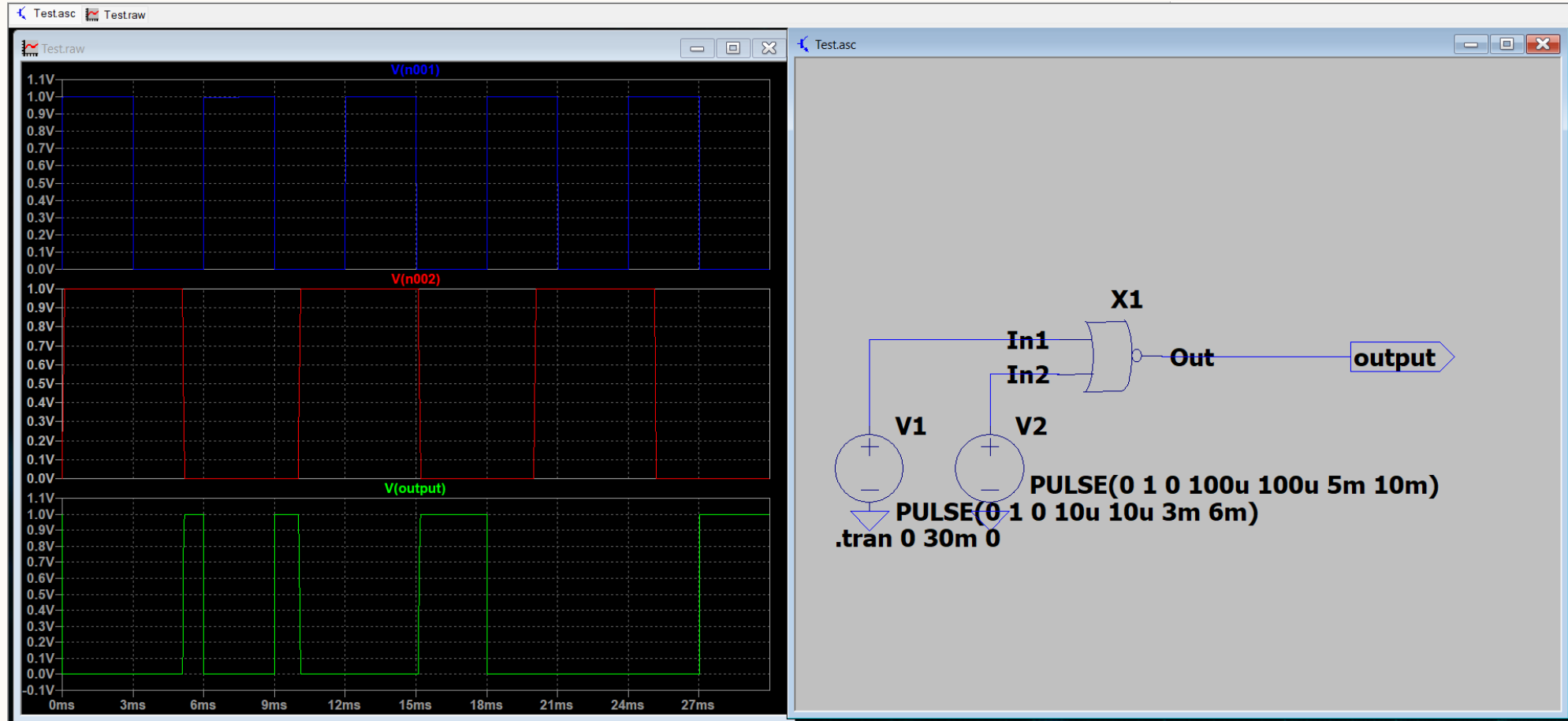
- $EN=1, A=1 \Rightarrow Q=0$



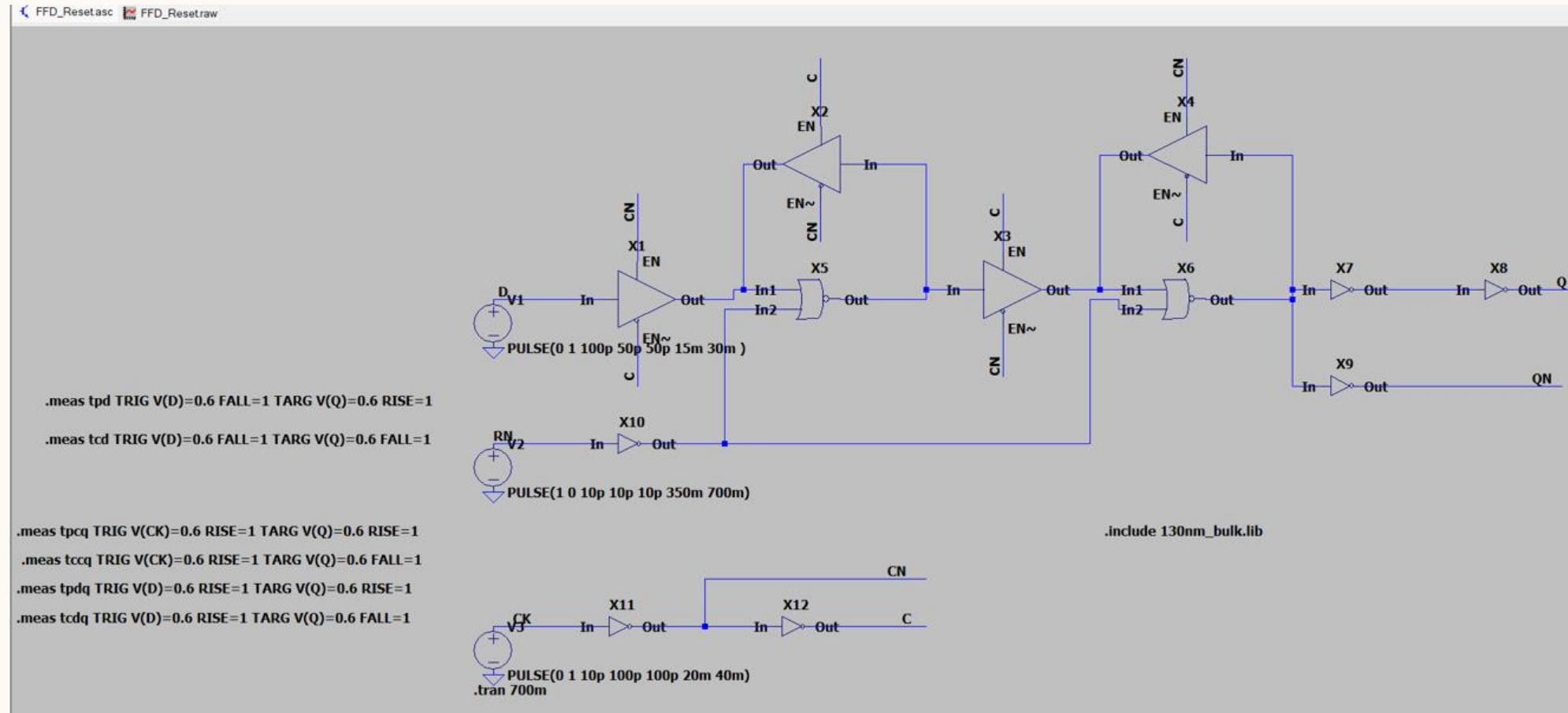
Inverter



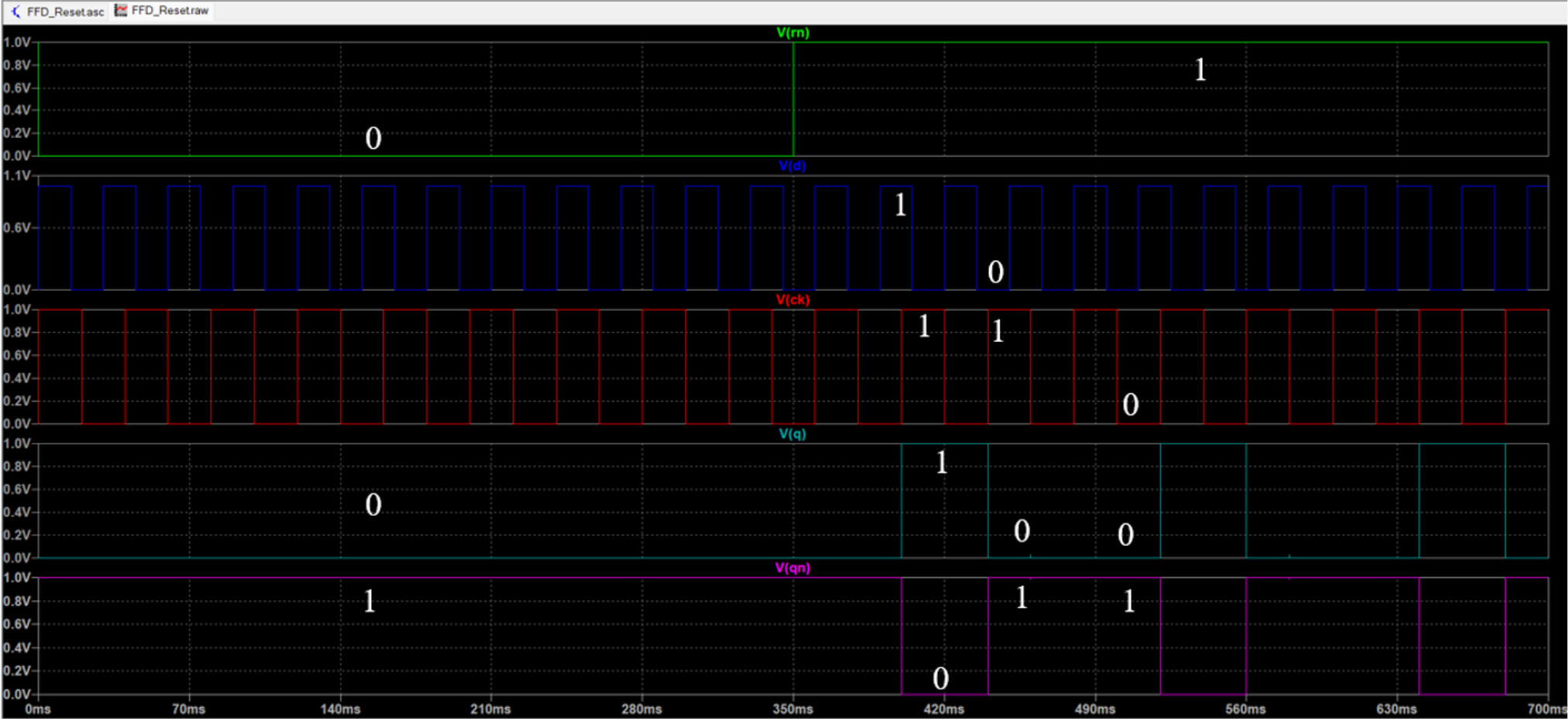
NOR2



D Flip-Flop Async Reset Schematic

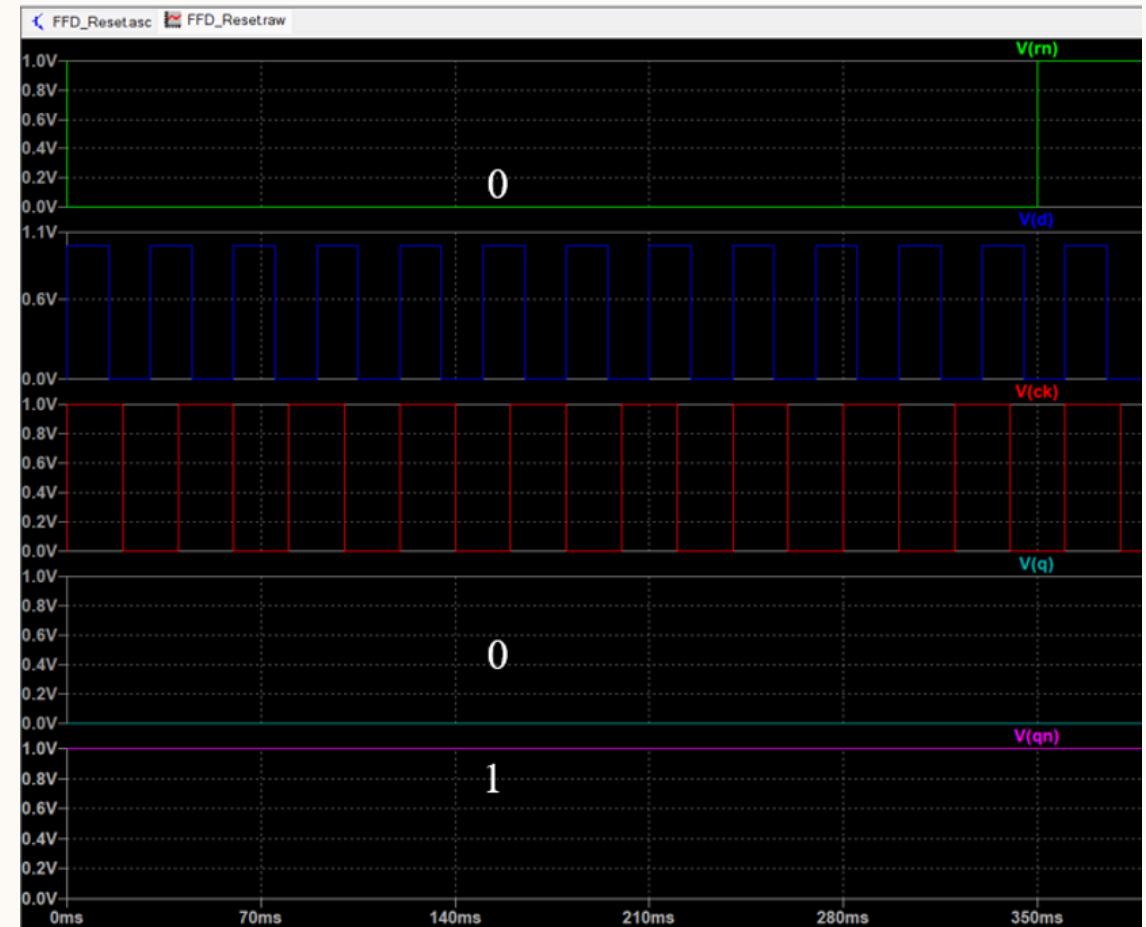


D Flip-Flop Async Reset WaveForm



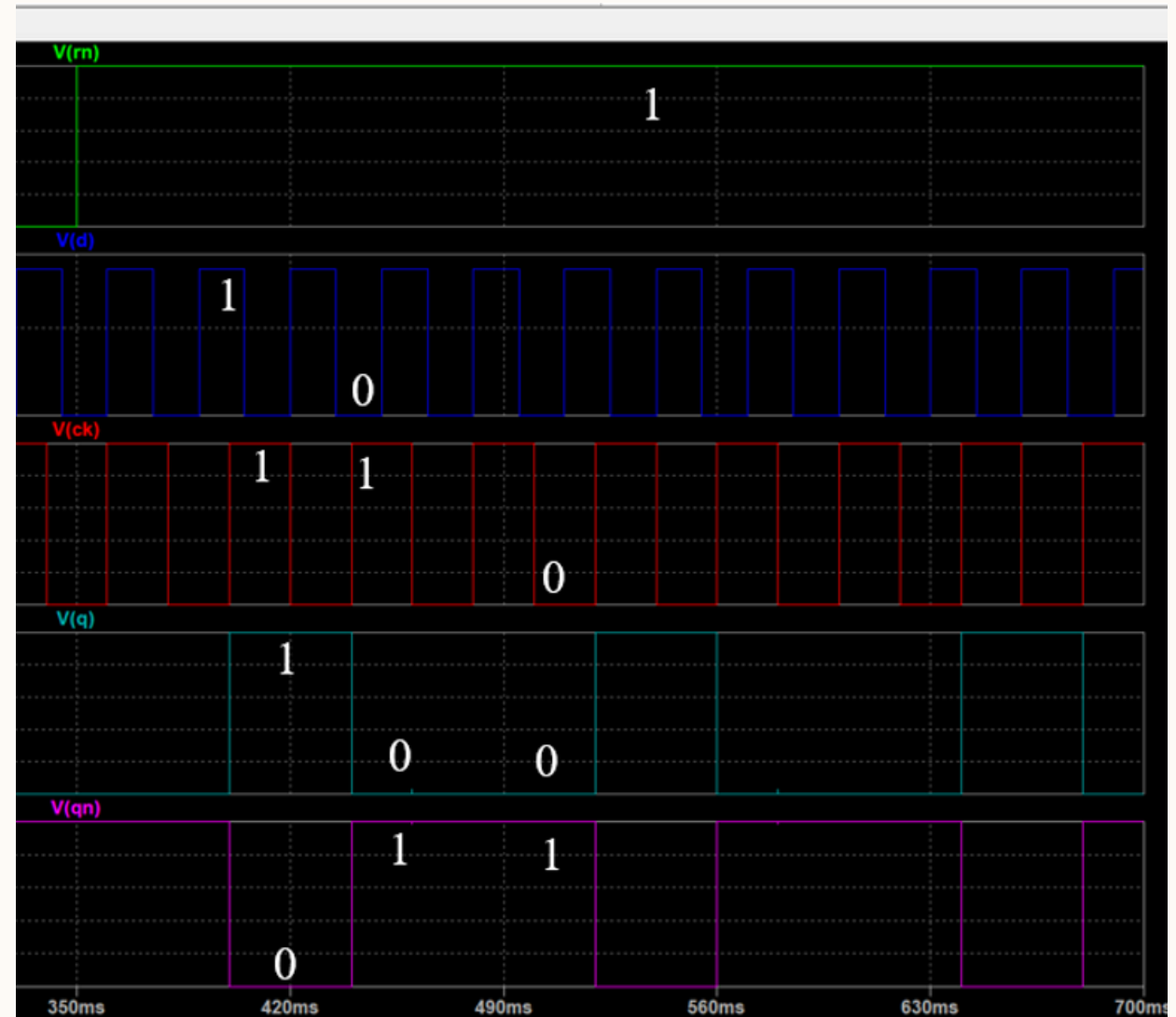
D Flip-Flop Async Reset

- Khi Reset = 0
- ngõ ra Q=0 mà không cần quan tâm D và CLK



D Flip-Flop Async Reset

- Khi Reset = 1
- Xung CLK cạnh lên thì Q có cùng trạng thái với D.
- Khoảng thời gian còn lại, không quan tâm đến D, mạch giữ nguyên trạng thái.



TIMING ANALYSIS.

Timing Analysis

- Use LTSpice to measure:
 - Propagation delay.
 - Contamination delay.
 - Clock to Q propagation delay.
 - Clock to Q contamination delay.
 - D to Q propagation delay.
 - D to Q contamination delay.

```
.meas tpd TRIG V(D)=0.6 FALL=1 TARG V(Q)=0.6 RISE=1
```

```
.meas tcd TRIG V(D)=0.6 FALL=1 TARG V(Q)=0.6 FALL=1
```

```
.meas tpcq TRIG V(CK)=0.6 RISE=1 TARG V(Q)=0.6 RISE=1
```

```
.meas tccq TRIG V(CK)=0.6 RISE=1 TARG V(Q)=0.6 FALL=1
```

```
.meas tpdq TRIG V(D)=0.6 RISE=1 TARG V(Q)=0.6 RISE=1
```

```
.meas tcdq TRIG V(D)=0.6 RISE=1 TARG V(Q)=0.6 FALL=1
```

```
tpd=0.385 FROM 0.015 TO 0.4  
tcd=0.425 FROM 0.015 TO 0.44  
tpcq=0.4 FROM 7e-11 TO 0.4  
tccq=0.44 FROM 7e-11 TO 0.44  
tpdq=0.4 FROM 1.3e-10 TO 0.4  
tcdq=0.44 FROM 1.3e-10 TO 0.44
```

PROJECT RESPONSIBILITIES ASSIGNMENT TABLE

Student ID	Name	Responsibilities	Total
21200274	Nguyễn Tiến Đại	Logic Effort, Word	30%
21200280	Lê Đình Dũng	Schematic, Timing	40%
21200356	Lê Minh Thông	Test, PPT	30%



THANK YOU