

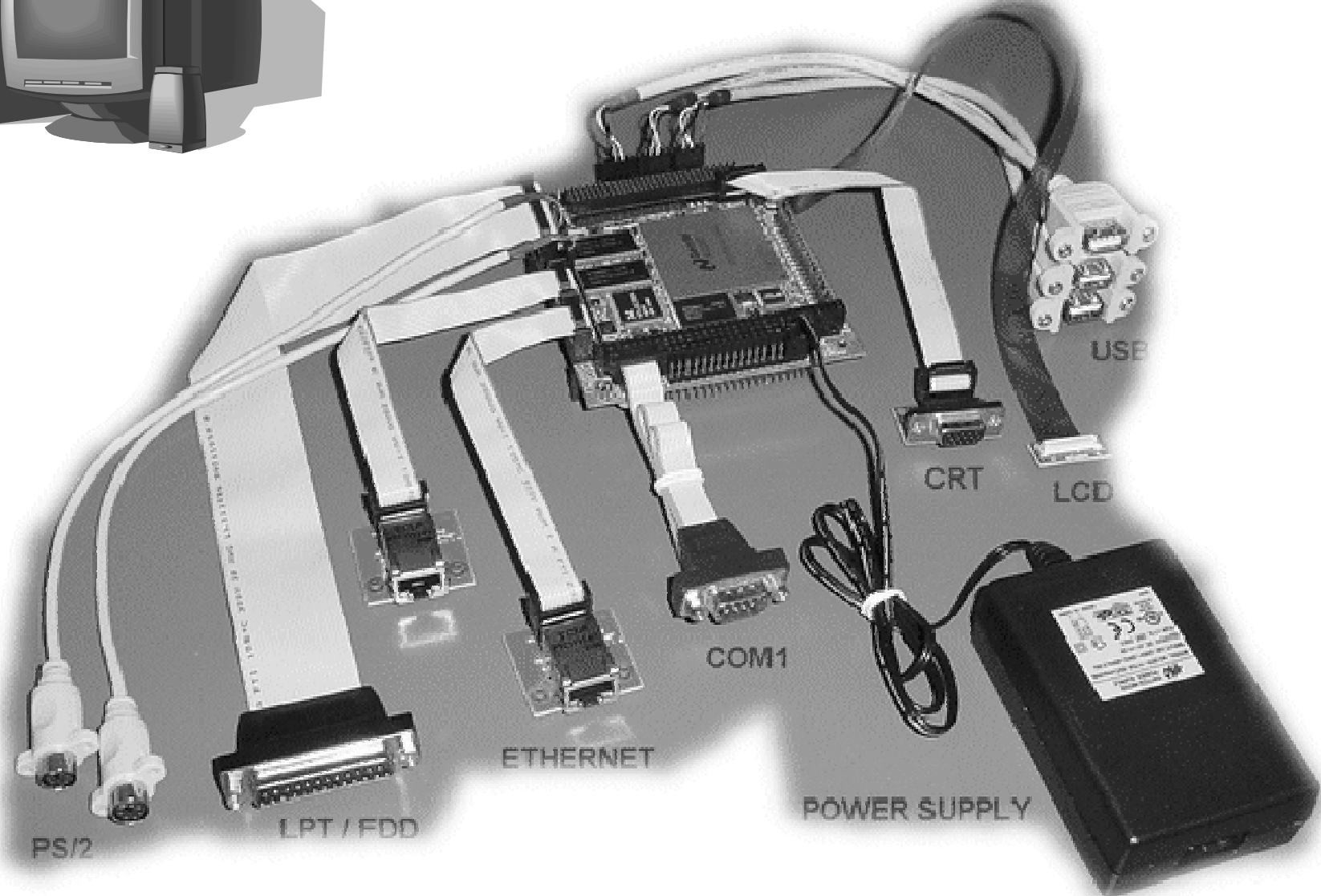
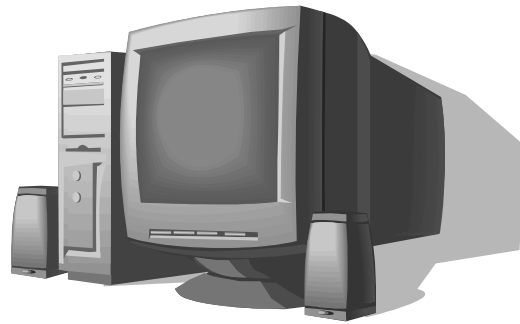
Esercitazioni ESD#1



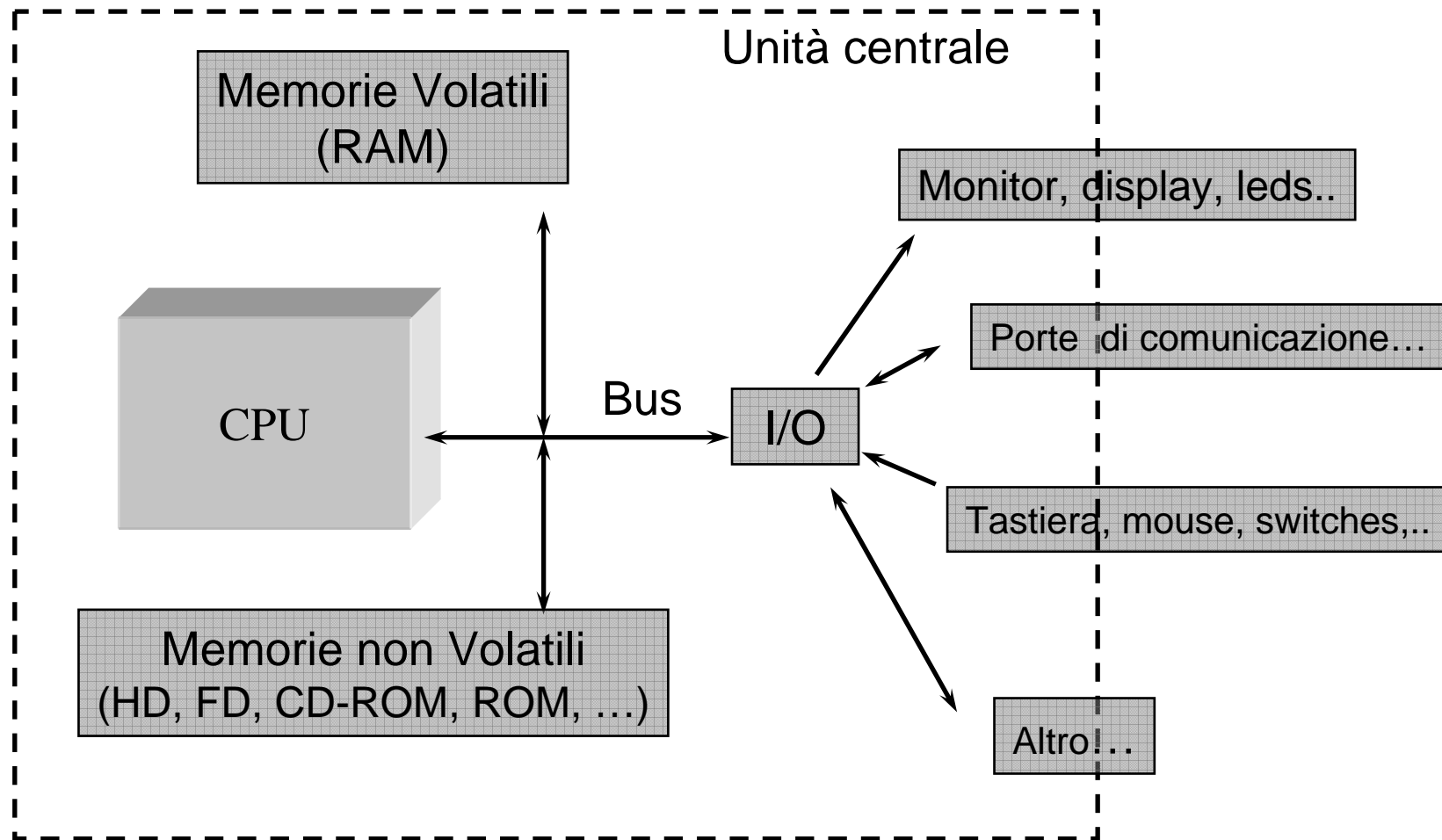
- **Aula -CPUs (8/2/07)**
 - Fondamenti cpu;
 - Classificazioni (uP, dsp, microcontrollori, soc,...)
 - Esempi di architetture particolari
 - DSP
 - Introduzione esercitazione
- **Lab - misure su protoboard (15/2/07)**
 - Introduzione: logica comb. e registro
 - Schema (porte logiche, registro)
 - Misure di Tpd, Tsu, Th, Tcritico, Tcko
- **Aula - Daughter card e temporizzazioni (22/2/07)**
 - Daughter card (DC):
 - struttura generale;
 - Decoder;
 - registro e buffer
 - Esempi di accesso - analisi temporizzazioni
 - DSP:
 - Caratteristiche principali
 - DSK (Development Starter Kit):
 - cenni
 - temporizzazioni
- **Lab - misure su DC: (1/3/07)**
 - Introduzione: counter, registro, buffer
 - Schema (counter, registro, buffer)
 - Misure di Tsu, Th, Tcritico, Tcko
- **Lab - misure su DC: (8/3/07)**
 - Schema (counter,decoder,reg,buffer)
 - Misure di Tsu, Th, Tcritico, Tcko
- **Lab - misure su DSK+DC: (15/3/07)**
 - Introduzione: cpu,decoder
 - Schema (cpu,decoder,reg,buffer)
 - timing dsp, decodifica, Tsu, Th, Tcko
- **Lab - misure su DSK+DC : (22/3/07)**
 - Schema ()
 - timing dsp, decodifica, Tsu, Th, Tcko



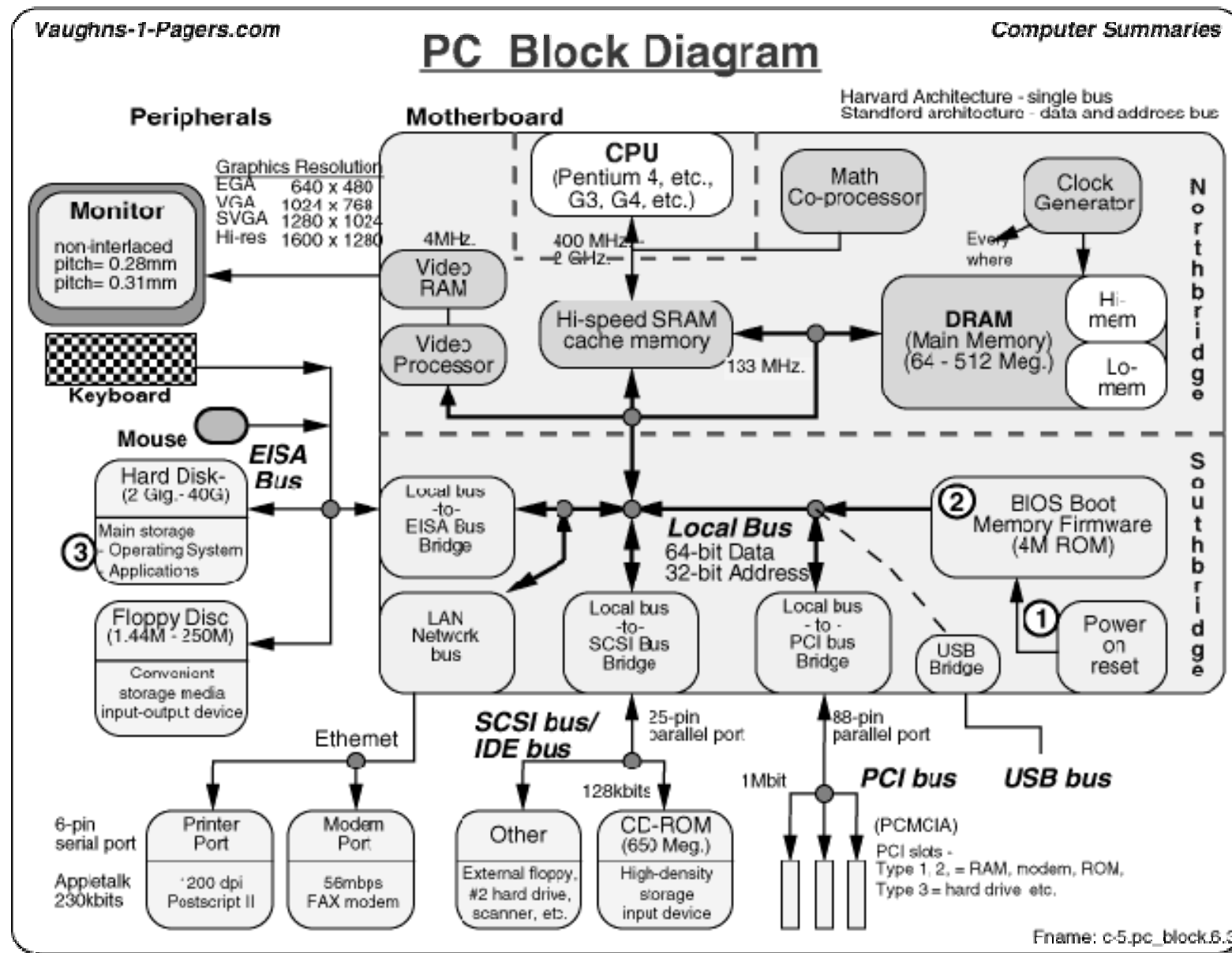
PC e interfacce



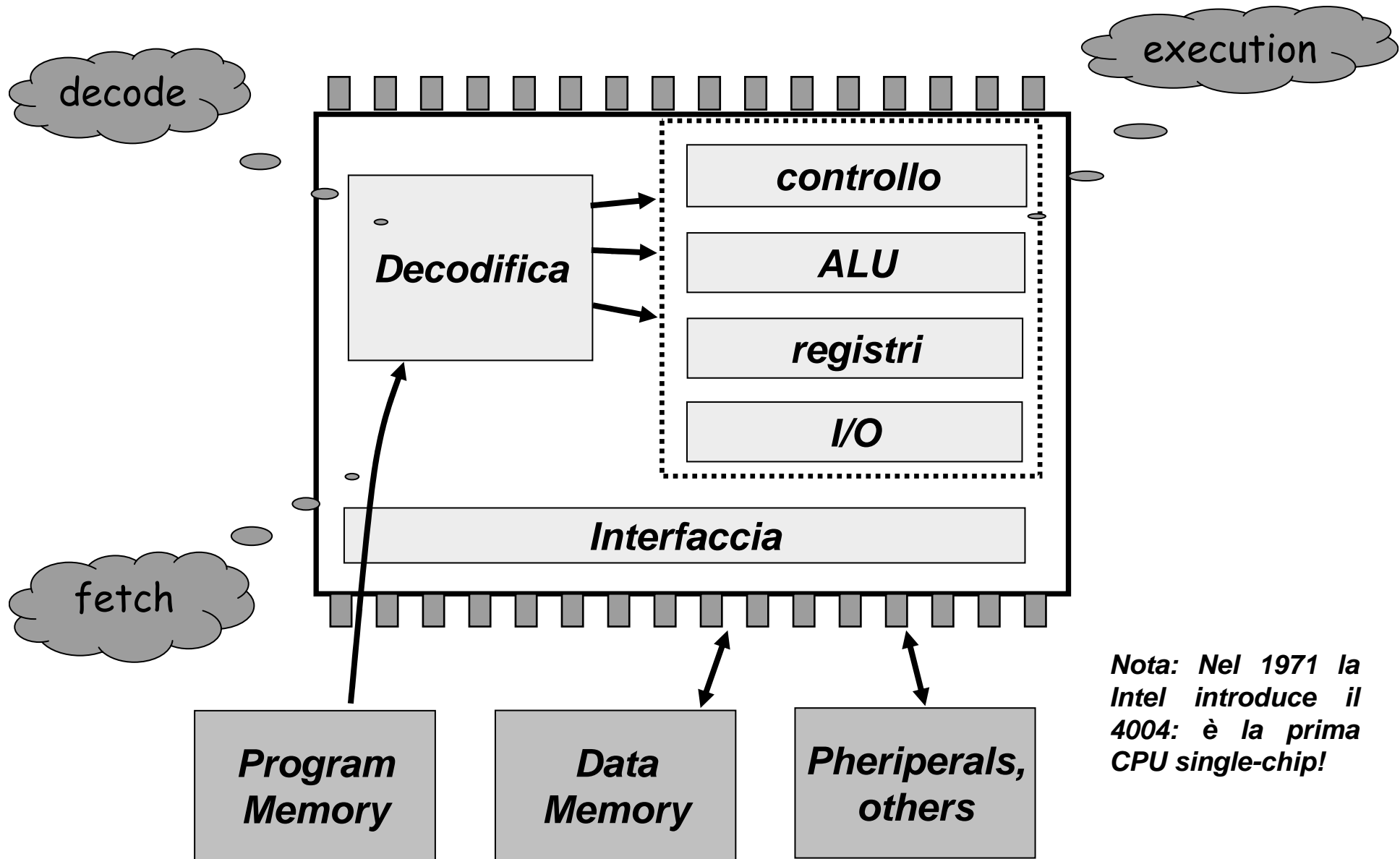
Architettura di un calcolatore



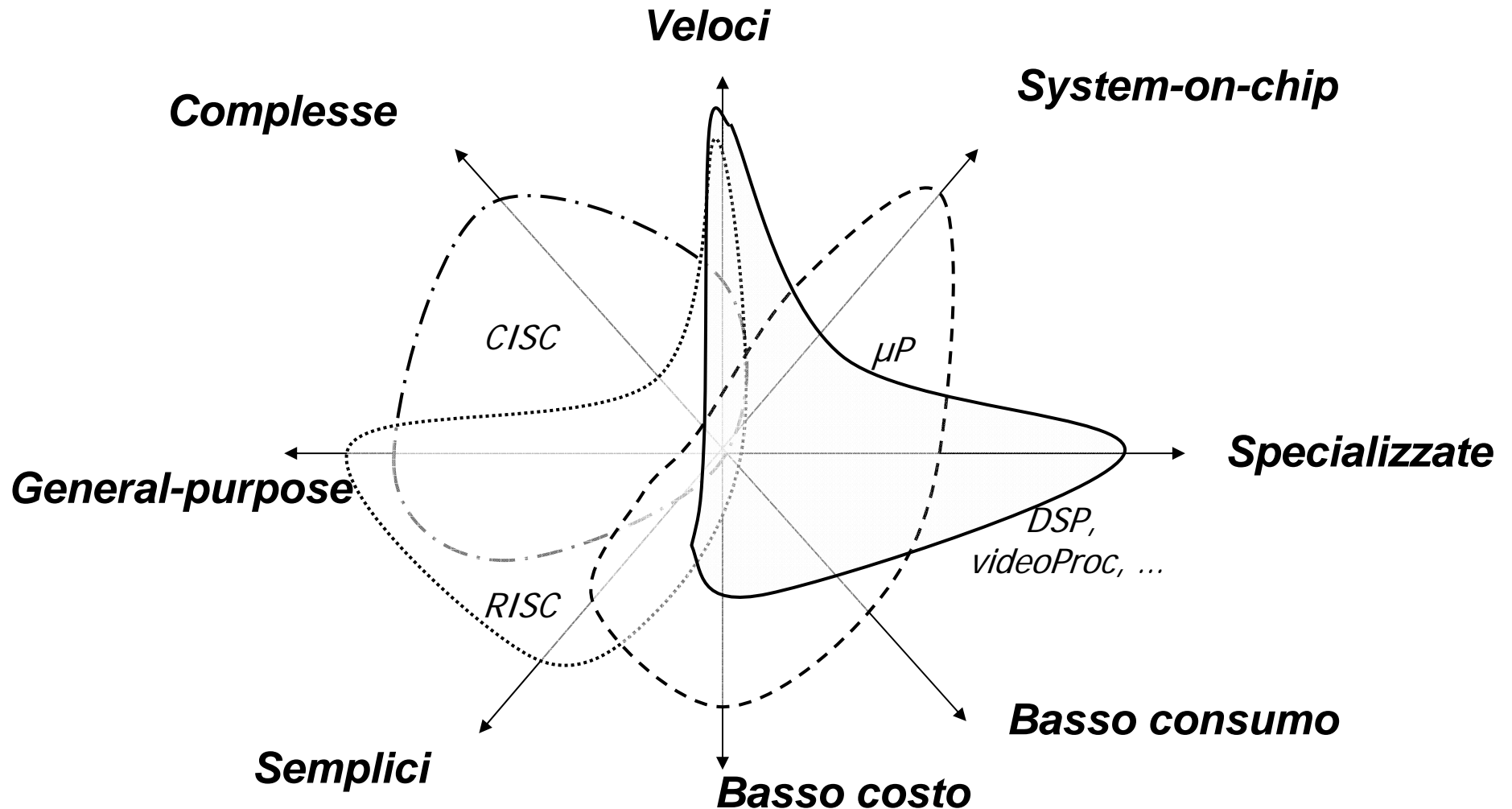
PC: un tipico schema a blocchi



Central Process Unit



Architetture CPU a confronto

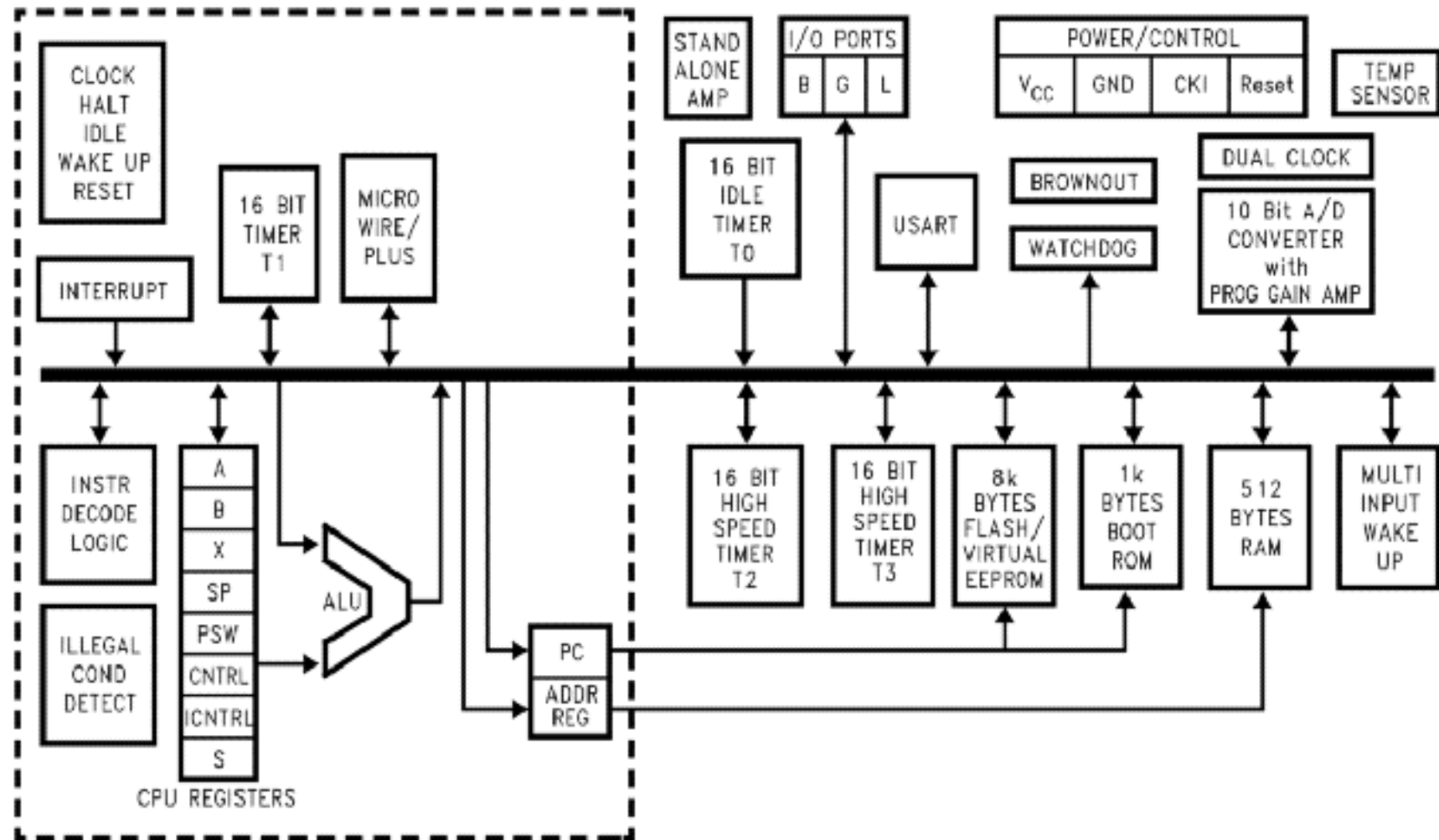




Il μ Controllore

- CPU tipo CISC con set di istruzioni dedicato;
 - Supporta varie modalità di indirizzamento, operazioni su registri, bit manipulation;
- System on chip
 - Ram, rom, gestione di I/O
- Dispositivi accessori
 - Convertitori A/D, D/A, porte di comunicazione specializzate, Power supervisor, watch-dog, Timers, pwm, pll, gestione sofisticata di interrupts;
 - DPRam, Eprom, E²prom, Flash;

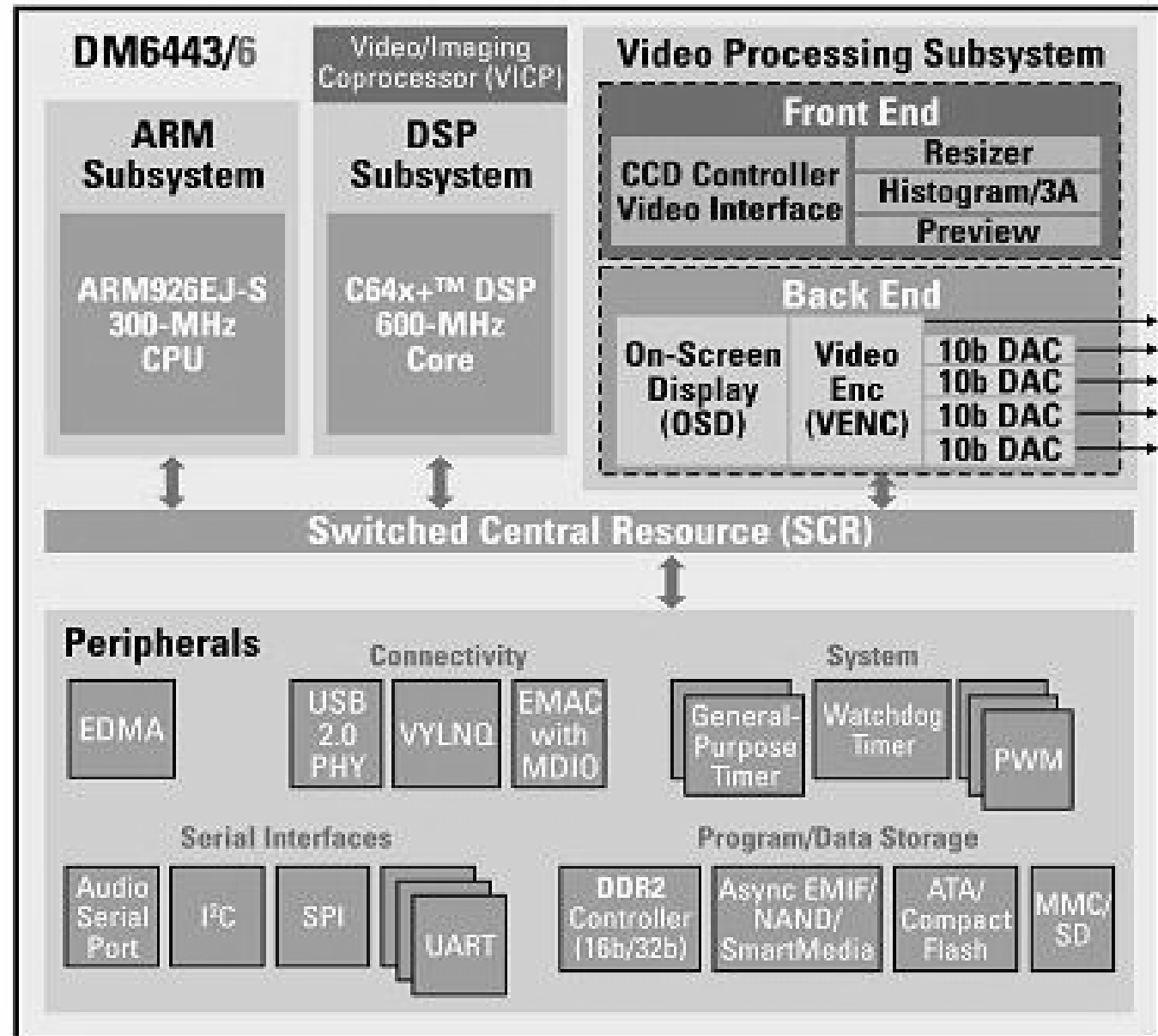
μControllore National COP8





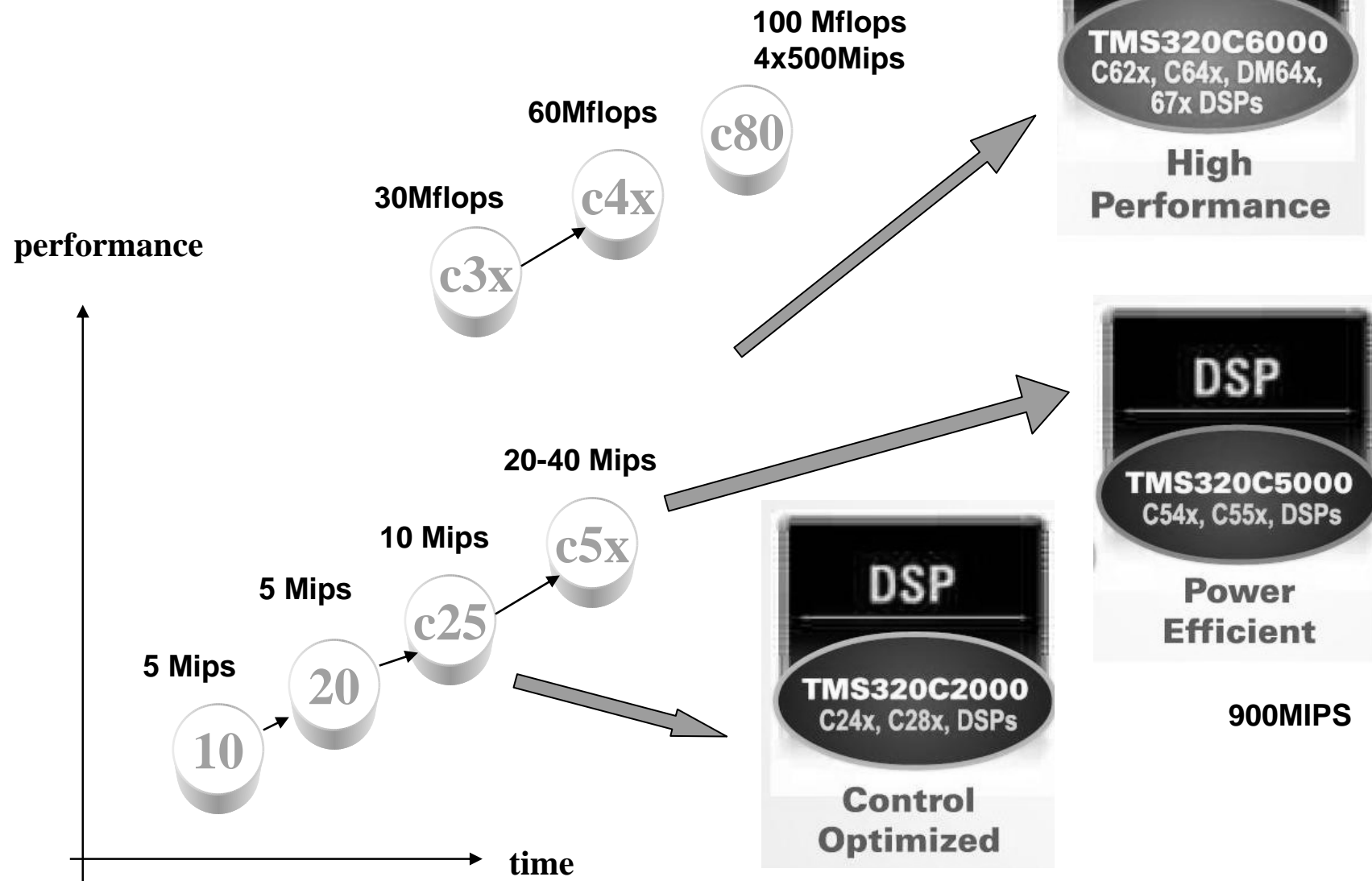
SoC
“DaVinci”
(TI)

TMS320DM644x™ Processors



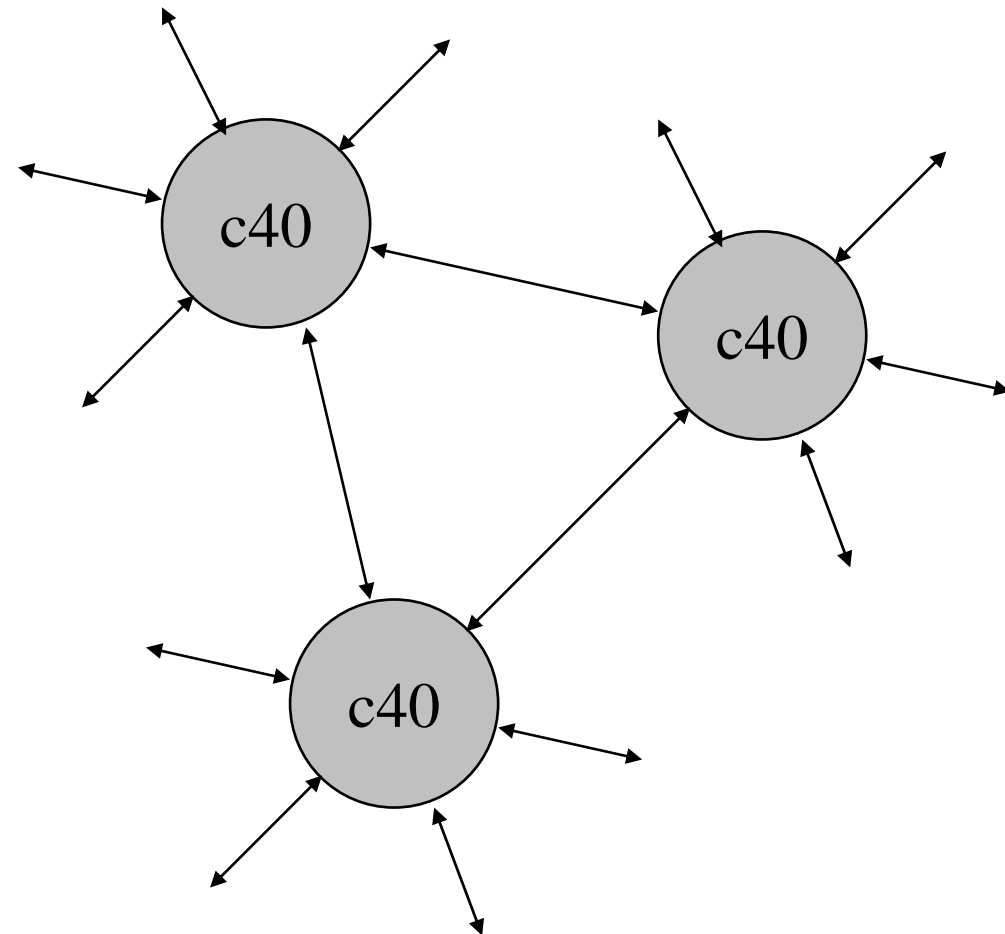
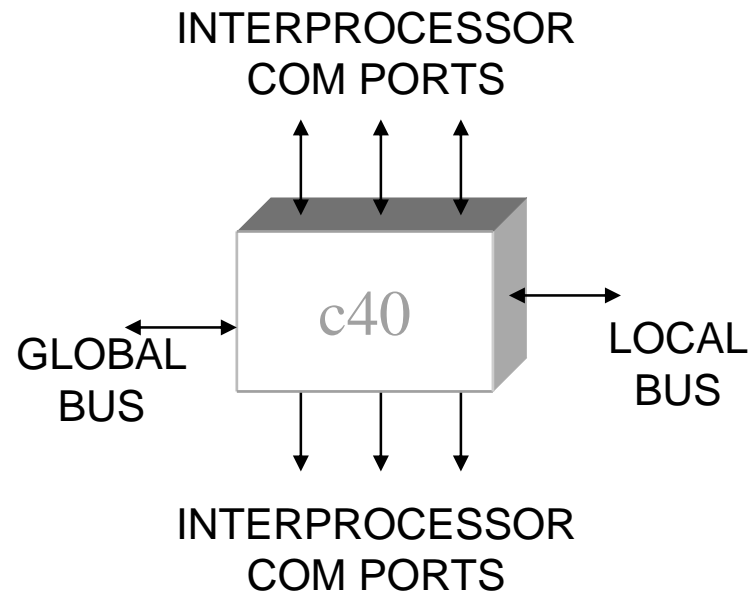
Evoluzione DSP TI

8000 MIPS - 1600MFLOPS





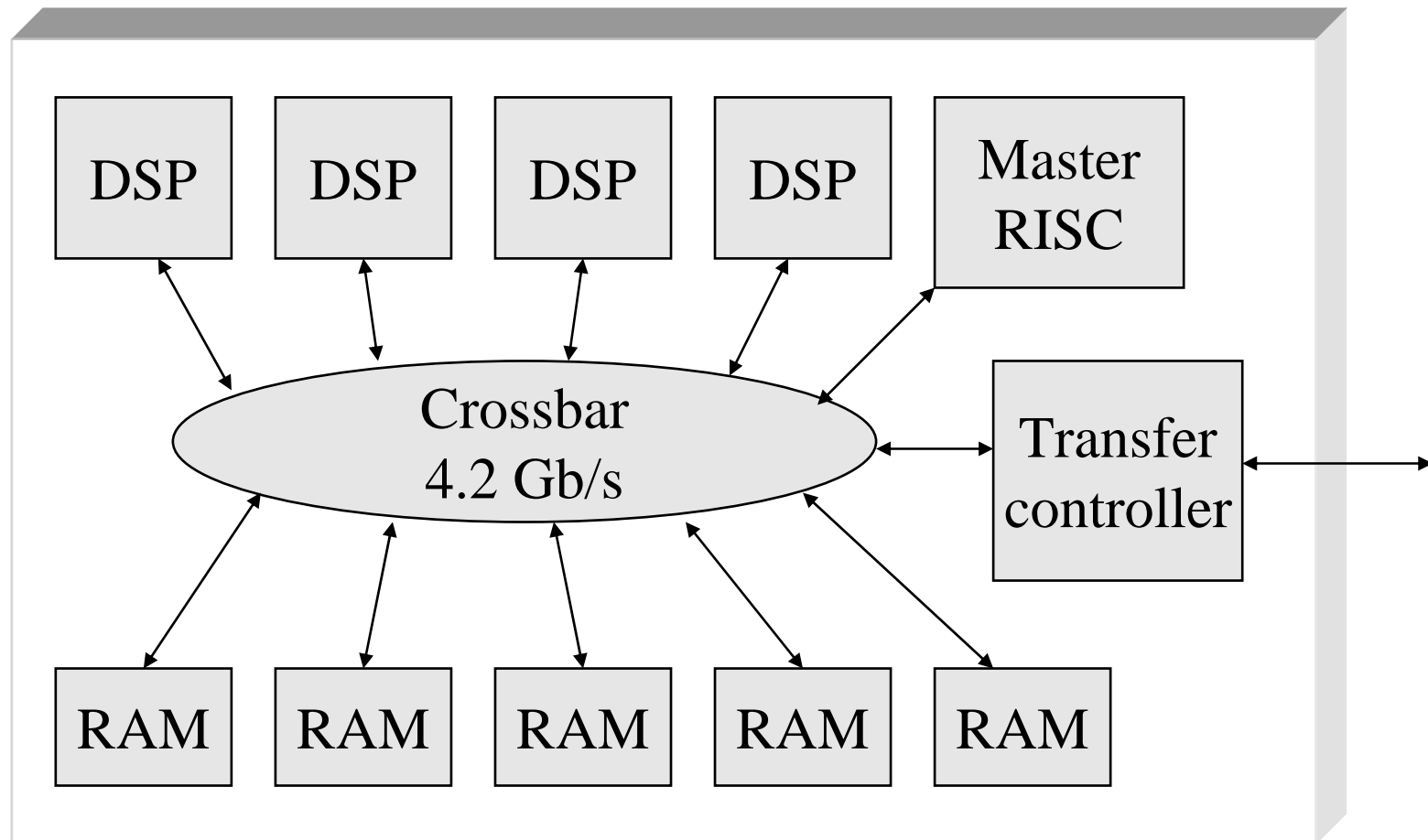
C40 – multi-processor network



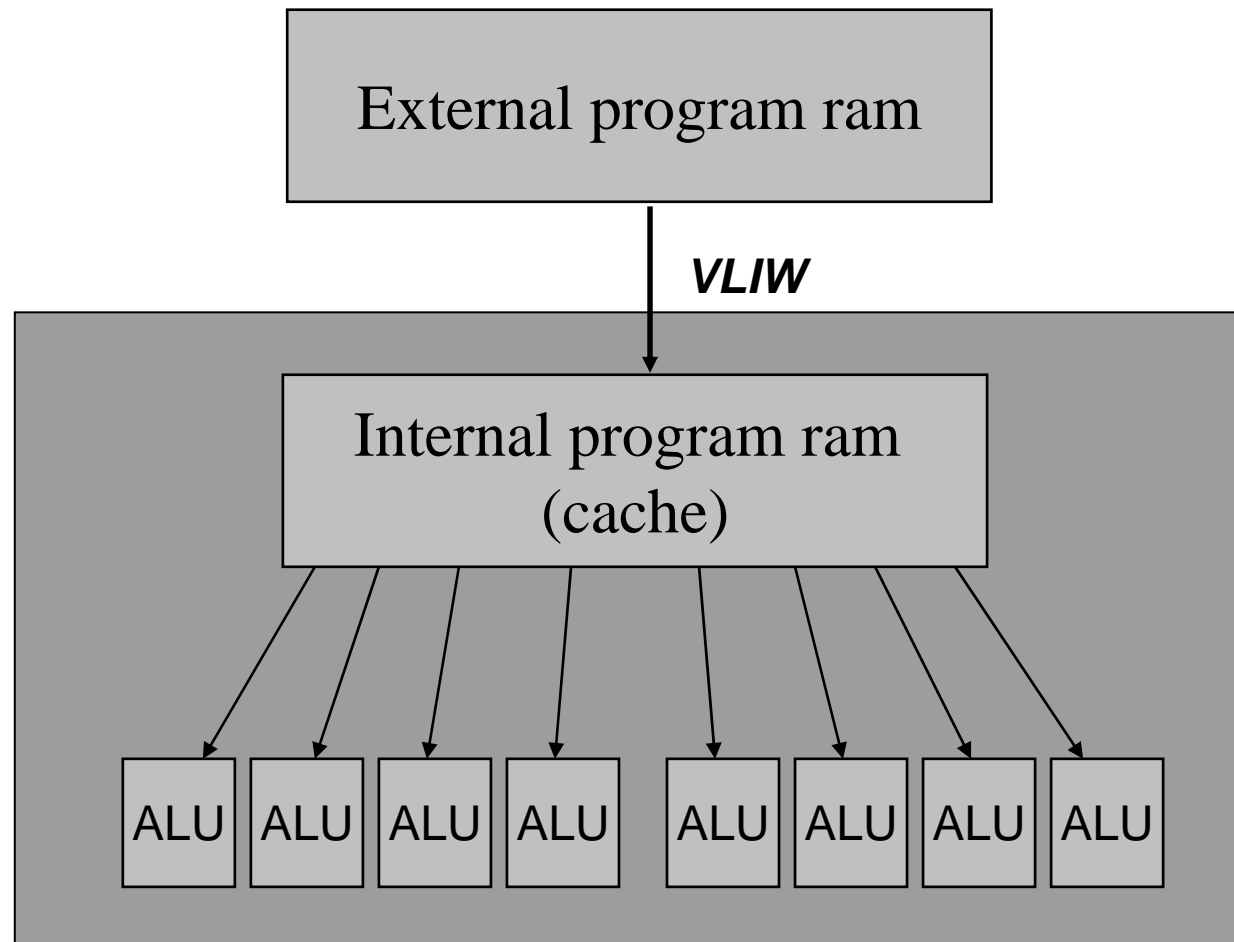
- CPU floating point da 275 Mops, 40ns cycle-time
- 16 Gbyte di spazio di indirizzamento
- 2 Kdw di sram interna
- 2 bus ad alta velocità: globale e locale
- 6 porte di comunicazione da 20 Mb/s
- Sono disponibili tutte le funzionalità del c50



C80 - multi-processor architecture

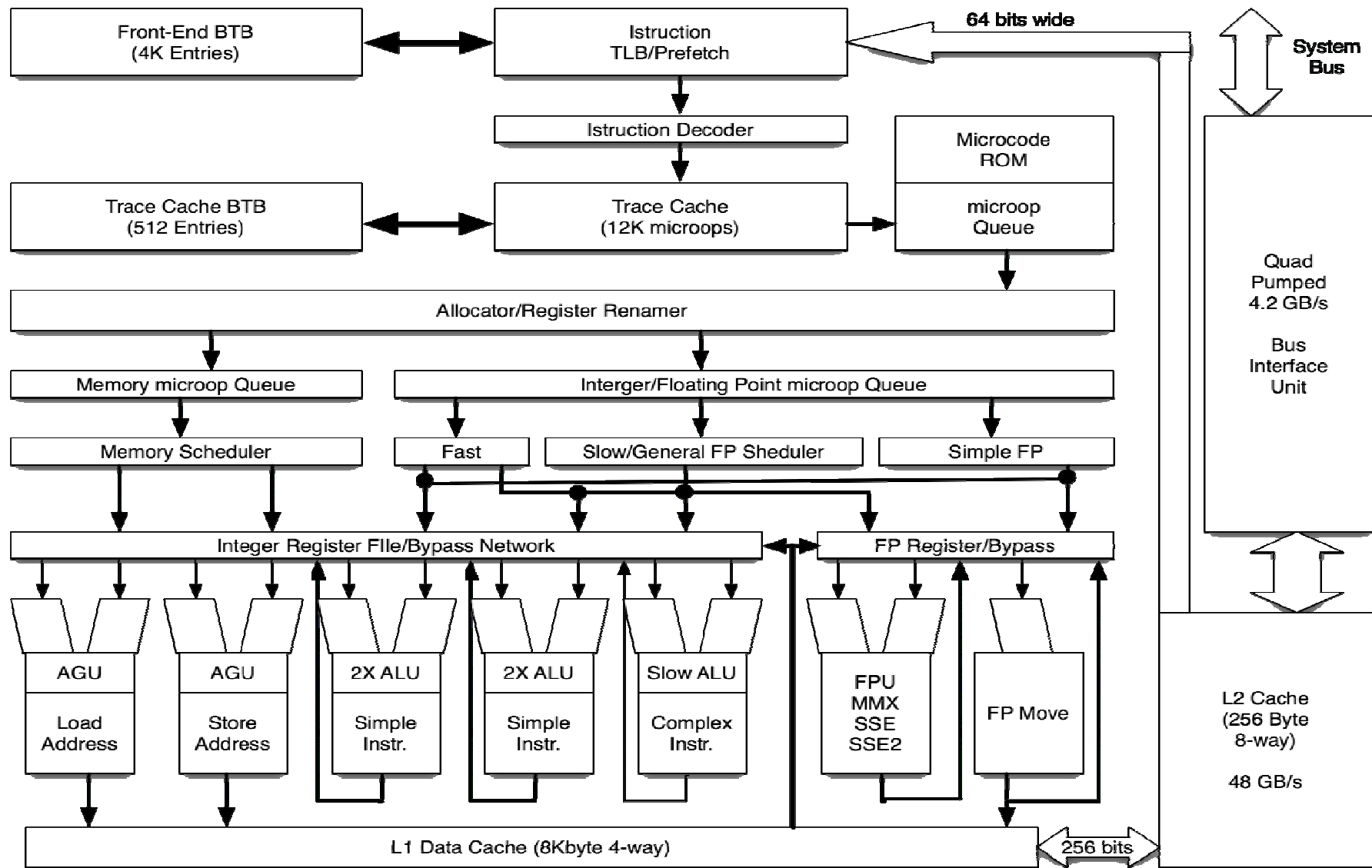


C6xxx – VLIW

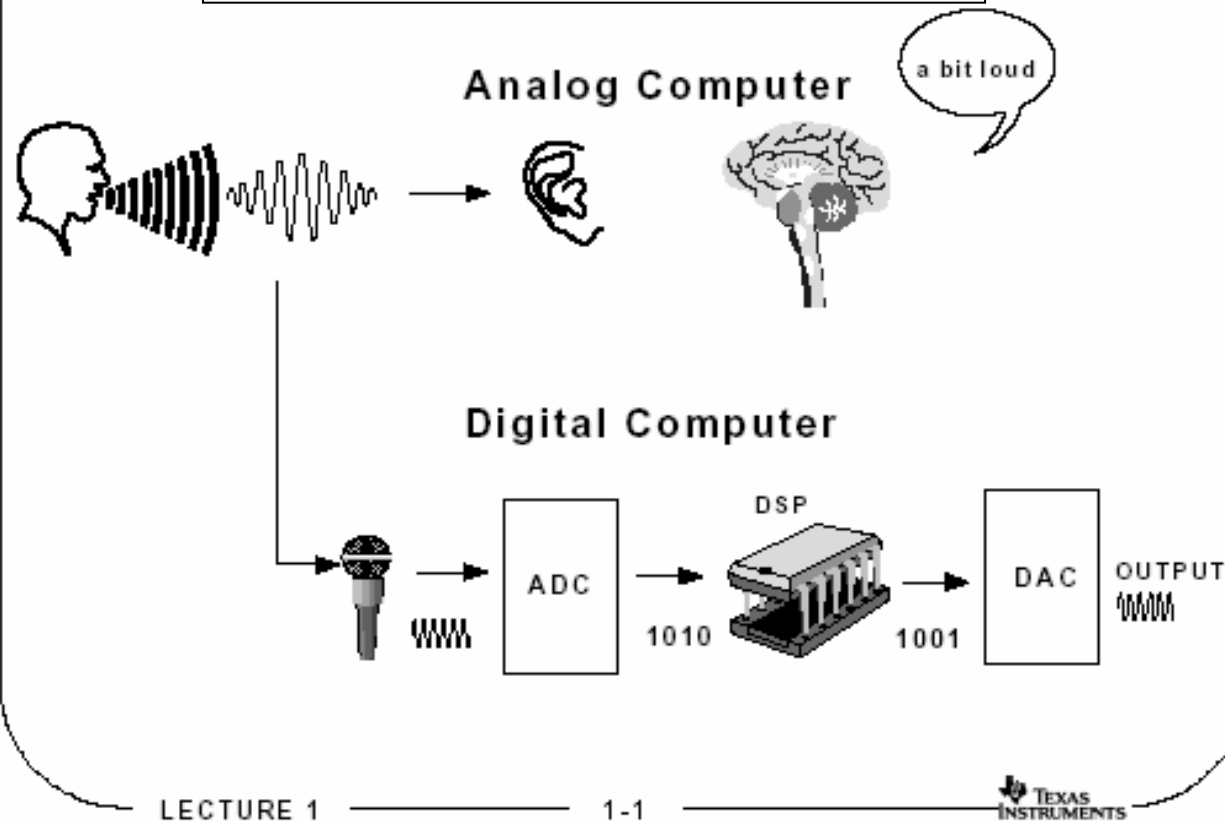


TMS320C6414T-1000: 1GHz, 8000MIPS, 90nm technology

Pentium 4



DSP: what is DSP?



Un Digital Signal Processor (DSP) è un circuito integrato progettato per l'elaborazione digitale di dati (segnali) ad alta velocità

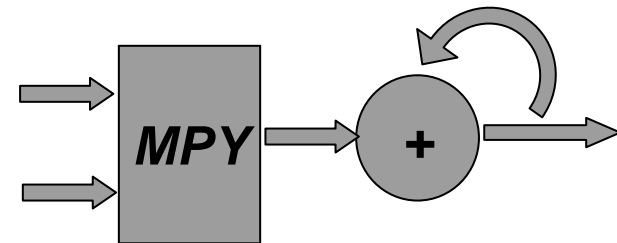
DSP: algoritmi tipici

$$\textit{FourierTransform} : X_m = \sum_{n=0}^{N-1} x_n e^{-j2mn\pi/N}$$

$$\textit{IIR} : y_n = \sum_{k=0}^{N-1} a_k \cdot x_{n-k} + \sum_{k=1}^{N-1} b_k \cdot y_{n-k}$$

Convoluzione, correlazione, espansioni in serie, ...

Problema ricorrente -> MAC



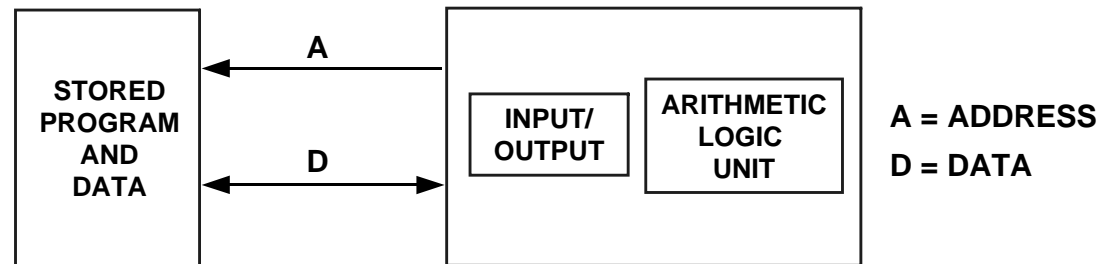
DSP: caratteristiche

- Architetture ALU orientate al signal-processing
 - Moltiplicatori
 - ALU e accumulatori a 32-48 bit
 - Barrel-shifters
- Metodi di indirizzamento specializzati
- Architettura Harvard (interna) da 16 o più bit
- Memorie veloci (interne)

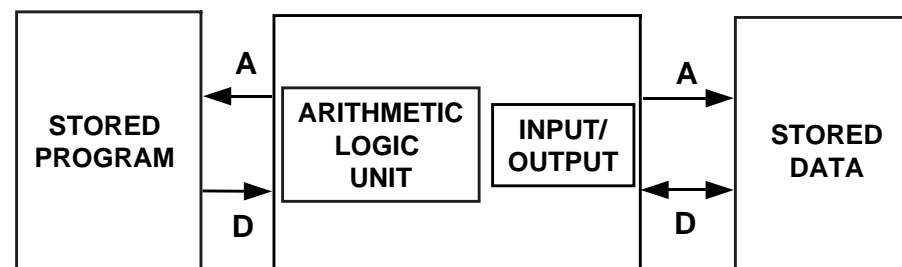
Architetture Von Neuman e Harvard

Digital Computers

von Neuman Machine



Harvard Architecture







TMS32010-Z80 a confronto (anno '86)

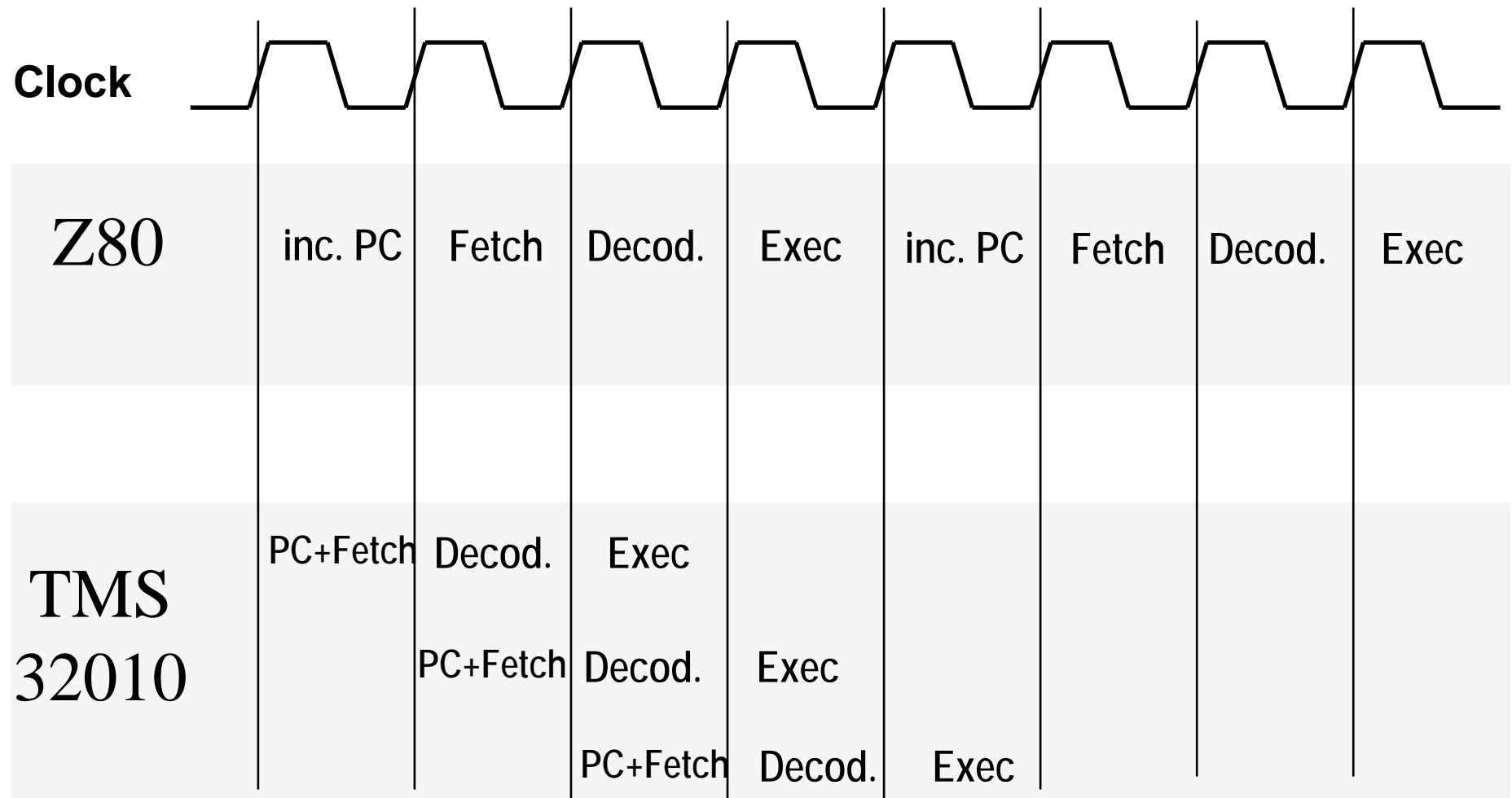
Caratteristiche TMS

- $T_{\text{ciclo}} = 200\text{ns}$
- Memoria int: 144word
- Memoria ext.: 4kw
- Architettura 16 bit
- ALU 32 bit
- Moltiplicatore: hw
- Istruzioni in 1 ciclo

Caratteristiche Z80

- $T_{\text{ciclo}} = 250\text{ns}$
- Memoria int: ---
- Memoria ext.: 64kB
- Architettura ad 8 bit
- ALU 8 bit
- Moltiplicatore: sw
- Da 4 a 23 cicli per l'esecuzione di una istruzione

TMS32010-Z80: esecuzione istruzioni

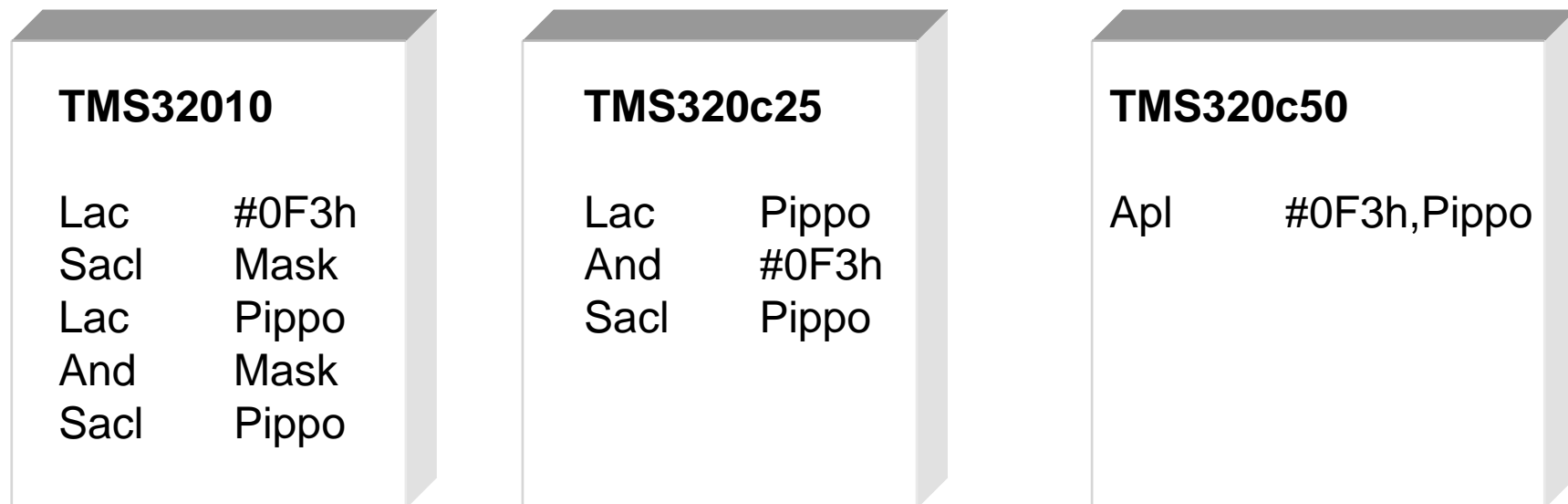




Il set istruzioni

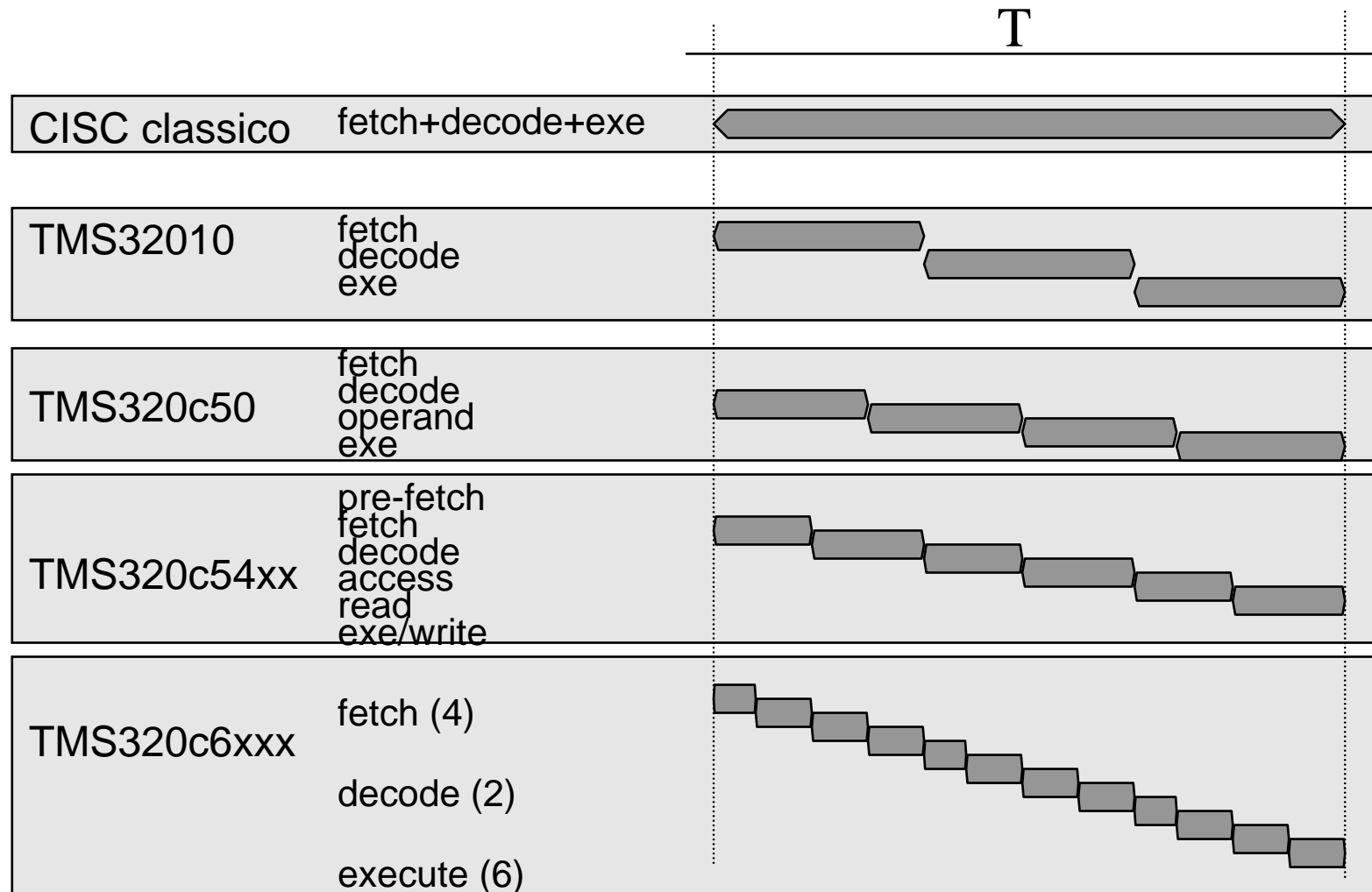
Supponiamo di voler eseguire la seguente operazione:

Pippo = Pippo & 0F3h





Instruction-pipeline





Instruction-pipeline: esempio

B NewAdd
LAC
OR
.....
NewAdd: SACL
 AND

FETCH

DECODE

OPERAND

EXECUTE

| n-1 | n | n+1 | n+2 | n+3 | n+4 | n+5 | n+6 |
|-----|---|--------|--------|--------|--------|------|-----|
| | B | NewAdd | LAC | OR | SACL | AND | |
| | - | B | NewAdd | LAC | | SACL | |
| | - | - | B | NewAdd | | | |
| | - | - | - | B | NewAdd | | |



Ripetizione di blocchi di codice

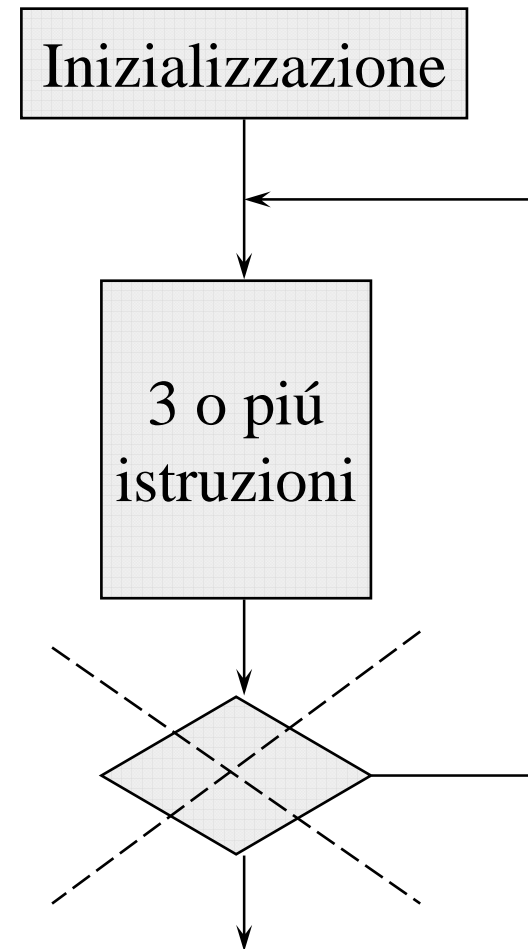
Un LOOP è sempre composto da:

- inizializzazione
- corpo del loop
- controllo del numero di iterazioni

Utilizzando la RPTB il controllo viene realizzato in HW consentendo:

- a) risparmio di 1 registro AR;
- b) ottimizzazione della pipeline evitandone lo svuotamento e risparmiando quindi 4 cicli macchina.

Se il corpo del loop è composto da poche istruzioni, il tempo perso nel controllo non è trascurabile deteriorando le prestazioni

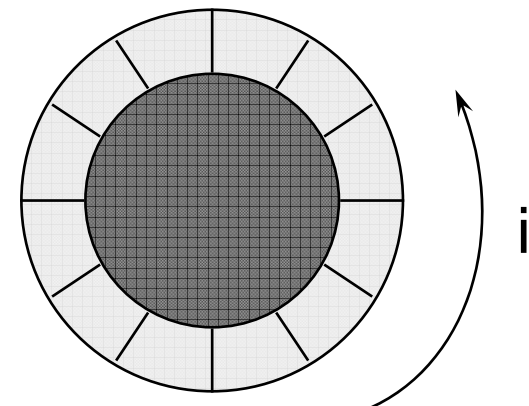
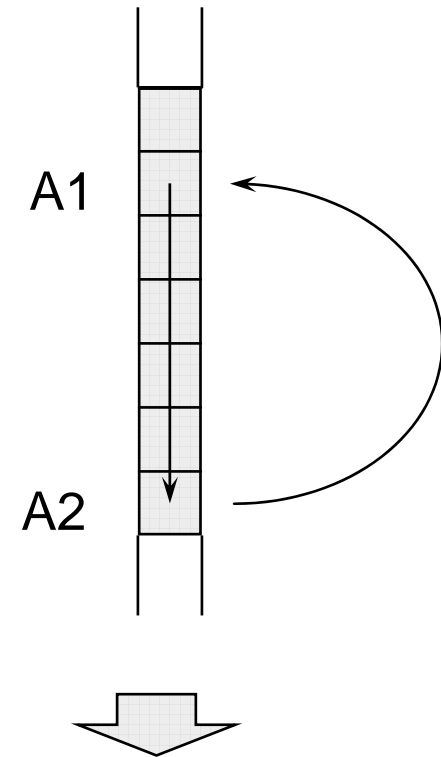


Data addressing: circular buffer

Supponendo di voler leggere con continuità il contenuto di una porzione di memoria. Per ogni dato da estrarre occorre:

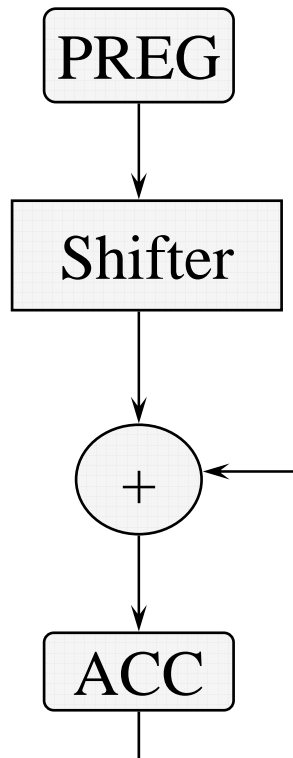
- leggere la cella corrente: $v(i)$
- Incrementare il puntatore: $i = i+1$
- Controllare la posizione del puntatore ($i > A2$) ed eventualmente porre: $i = A1$.

Normalmente il controllo della posizione deteriora sensibilmente le prestazioni.

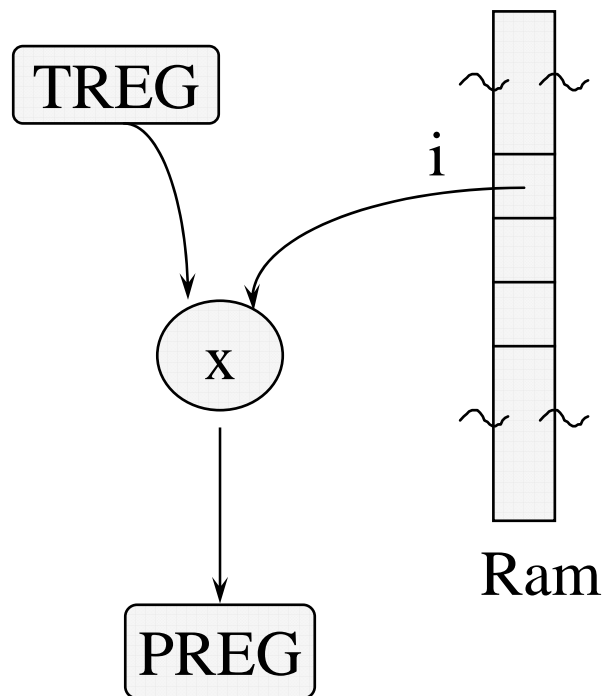


MPYA: Multiply and accumulate

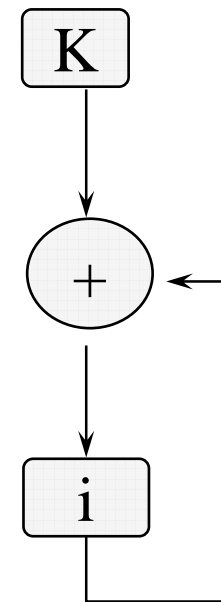
Esempio MPYA *0+



$$ACC = ACC + PREG * 2^n$$



$$PREG = TREG * RAM(i)$$



$$i = i + K$$

Soluzioni adottate per aumentare le prestazioni

- tecnologie e pipeline più spinte ➡ Mck;
- dispositivi hw dedicati (moltiplicatore, barrel shifter,...) ➡ operazioni complesse in 1 ciclo;
- aumento del numero di bus ➡ operandi;
- scambio dati con l'esterno lento ➡ aumento della ram interna;
- aumento dei dispositivi intelligenti (DMA) per sfruttare meglio la banda dei bus e per gestire lo scambio dati (relativamente lento) con l'esterno;
- aumento del numero di core;
- sostituzione di dispositivi hw dedicati in ALU perché più flessibili;
- Hw dedicato per indirizzamenti particolari, predizione salti, ...
- Instruction prefetch
- VLIM, Superscalar, CISC vs RISC



N: _____

Nome GRUPPO: _____

Studente: _____

Studente: _____

Studente: _____

Studente: _____

Note:

Setups disponibili in laboratorio



- Protoboard:



- Daughter card (DC):



- Development Starter Kit (DSK) + DC:

