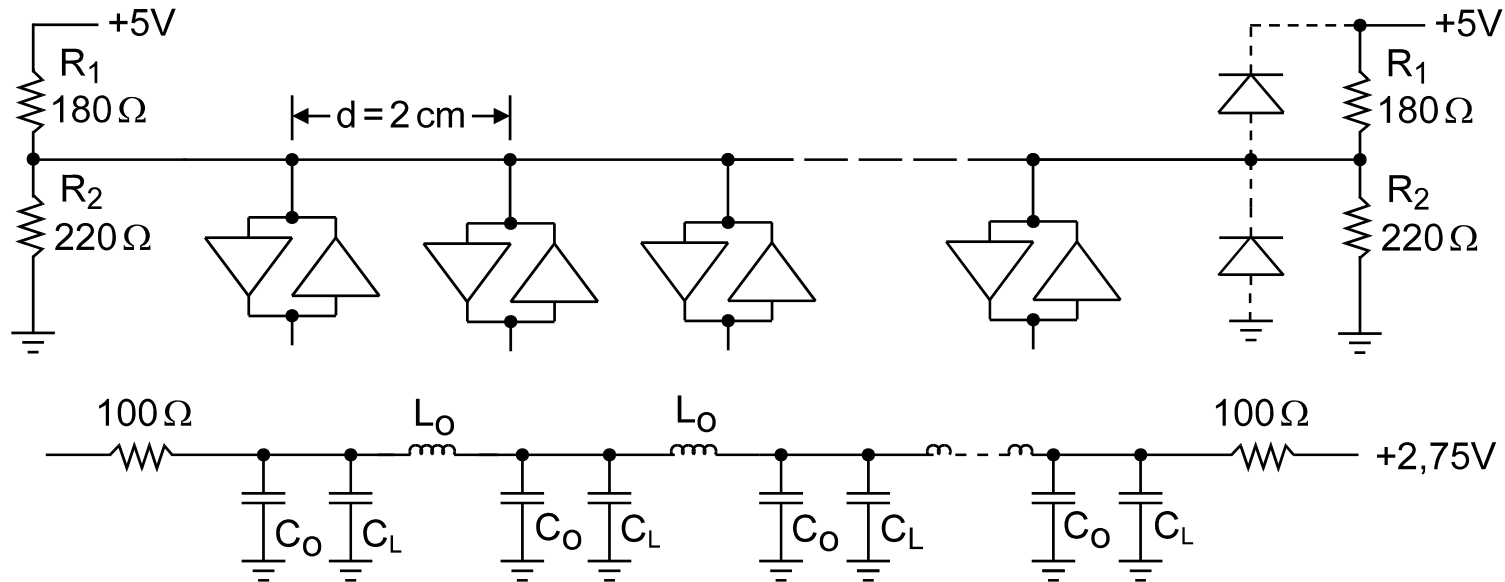


Interconexión de Sistemas

Líneas de Interconexión



LINE PARAMETER		
	UNLOADED	LOADED WITH LUMPED CAPACITANCE
L_O	6 nH/cm	6 nH/cm
C_O	0,6 pF/cm	0,6 pF/cm
C_L	-	20 pF/2 cm
Z	100 Ω	25 Ω
τ	6 ns/m	25 ns/m

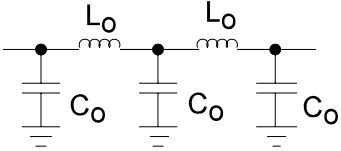
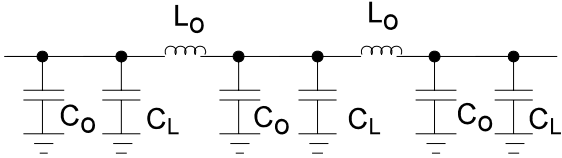
CAPACITANCE OF THE CONNECTOR CONTACT ~ 5 pF

CAPACITANCE OF THE PRINTED WIRE ~ 5 pF

CAPACITANCE OF THE TRANSCEIVER (I/O) ~ 10 pF

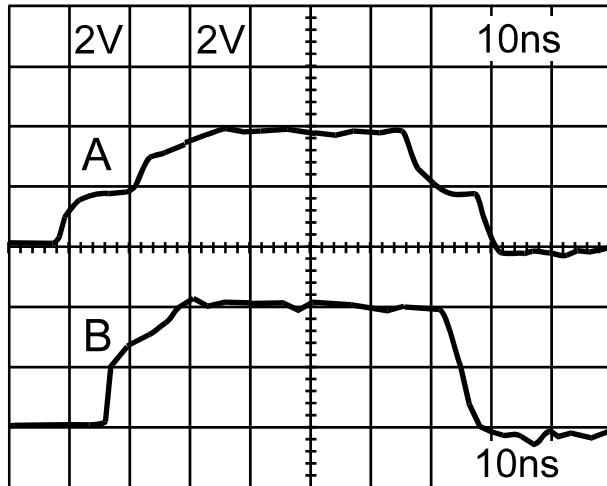
LUMPED CAPACITANCE C_L ~ 20 pF

Parámetros de Línea de Transmisión

		UNLOADED	LUMPED LOADING
			
INDUCTANCE	nH/cm	L_0	L_0
CAPACITANCE	pF/cm	C_0	$C_0 + C_L$
LINE IMPEDANCE	Ω	$Z_0 = \sqrt{\frac{L_0}{C_0}}$	$Z = \sqrt{\frac{L_0}{C_0 + C_L}} = Z_0 \sqrt{\frac{1}{1 + C_L/C_0}}$
PROPAGATION TIME	ns/m	$\tau_0 = \sqrt{L_0 C_0}$	$\tau = \sqrt{L_0 (C_0 + C_L)} = \tau_0 \sqrt{1 + C_L/C_0}$
CUT OFF FREQUENCY	Hz	$f_0 = \infty$	$f_0 = \frac{1}{2\pi \sqrt{L_0 (C_0 + C_L)}}$



Line Driver SN74ALSxxx



Line driver SN74ALS245 ($I_{OL} = 24\text{mA}$)

$Z_O = 30\ \Omega$; $\tau = 8\ \text{ns}$; $L = 32\ \text{cm}$

Sin terminación de línea

**Impedancia de salida del driver $\approx Z_O$
(impedancia adaptada)**

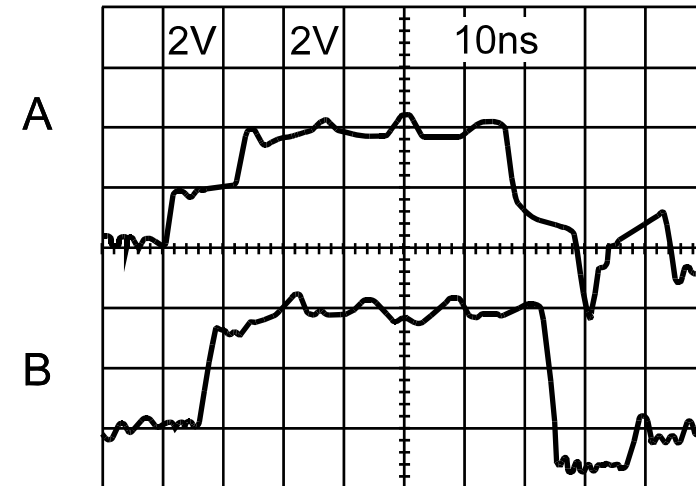
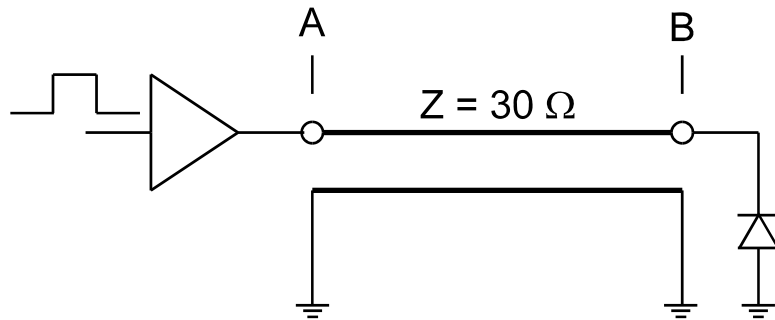
A: Señal de salida del driver

B: Señal en el extremo de salida de la línea

- ★ **No produce onda incidente de conmutación**
- ★ **Niveles lógicos válidos después de $2 \times \tau$**
- ★ **Proporciona adaptación de impedancia de salida del driver a la impedancia de línea, no produce sobrepicos**
- ★ **No es aplicable en sistemas rápidos con líneas de bus largas**

TTL-Bus

SN74ABT240, Sin Terminación de línea, solo con Diodo de enclavamiento

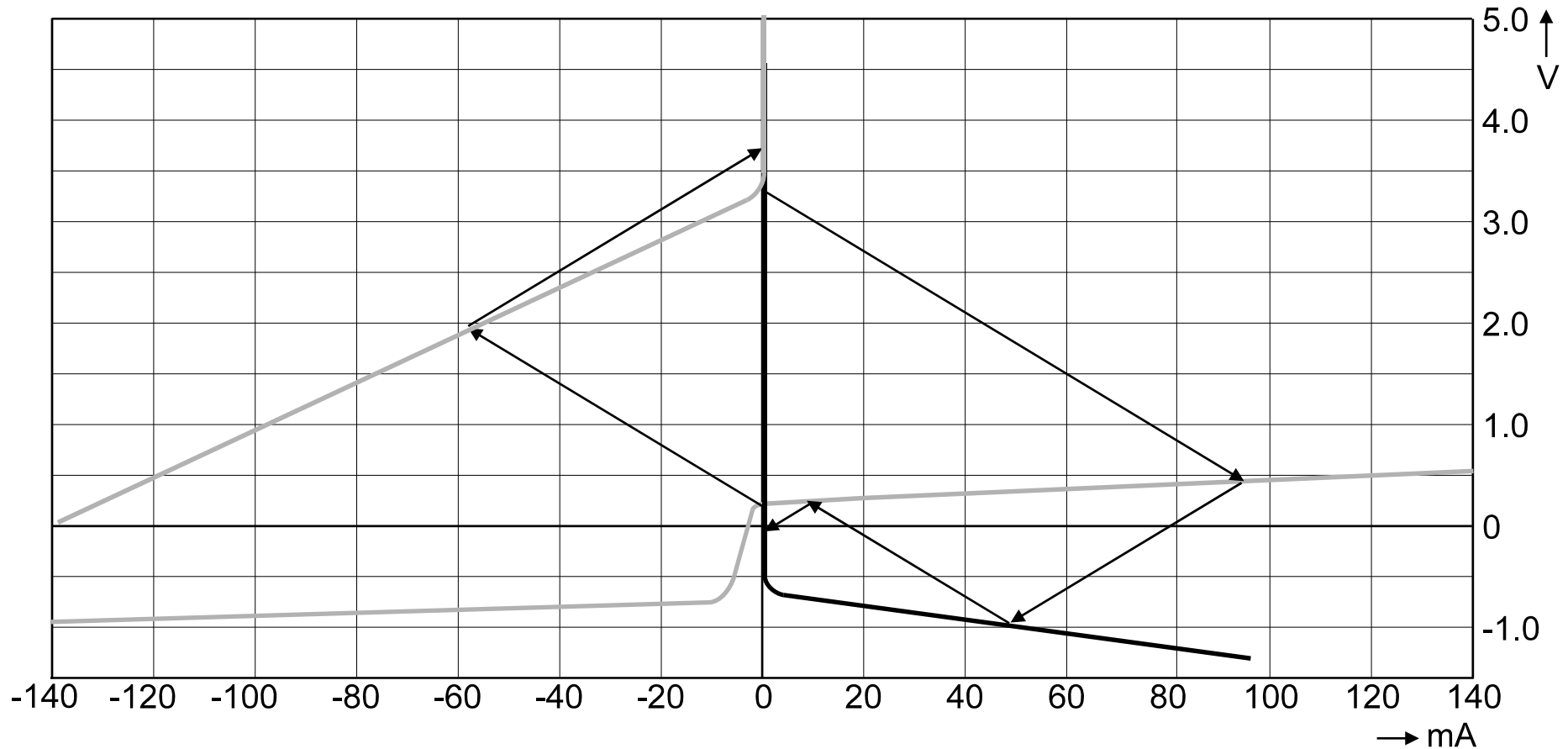


- ★ La salida del driver alcanza nivel alto (>2 Volts) solo después del doble del tiempo de propagación
- ★ El sobrepico negativo al final de la línea es limitado por el diodo de enclavamiento

TTL-Bus

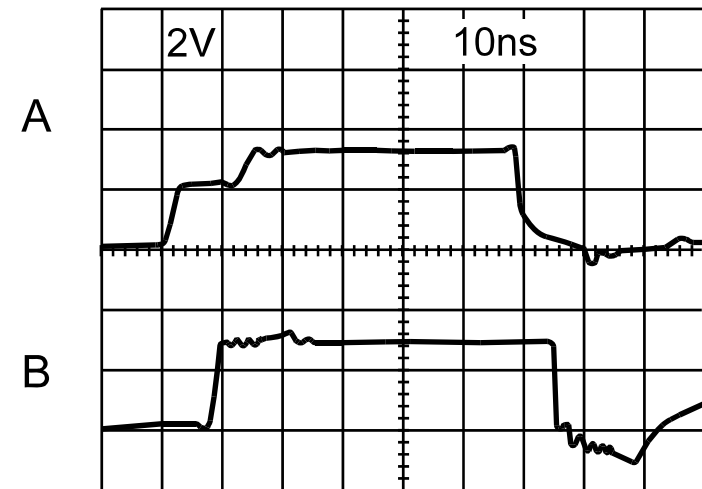
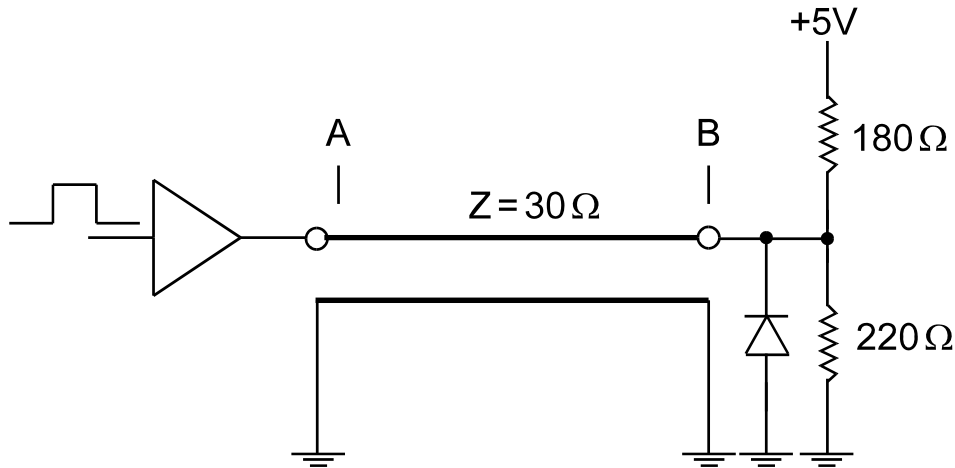
Diagrama de Bergeron

SN74ABT240, Sin Terminación de línea, solamente Diodo de enclavamiento



TTL-Bus

SN74ABT240, Terminación de línea con Red Thevenin

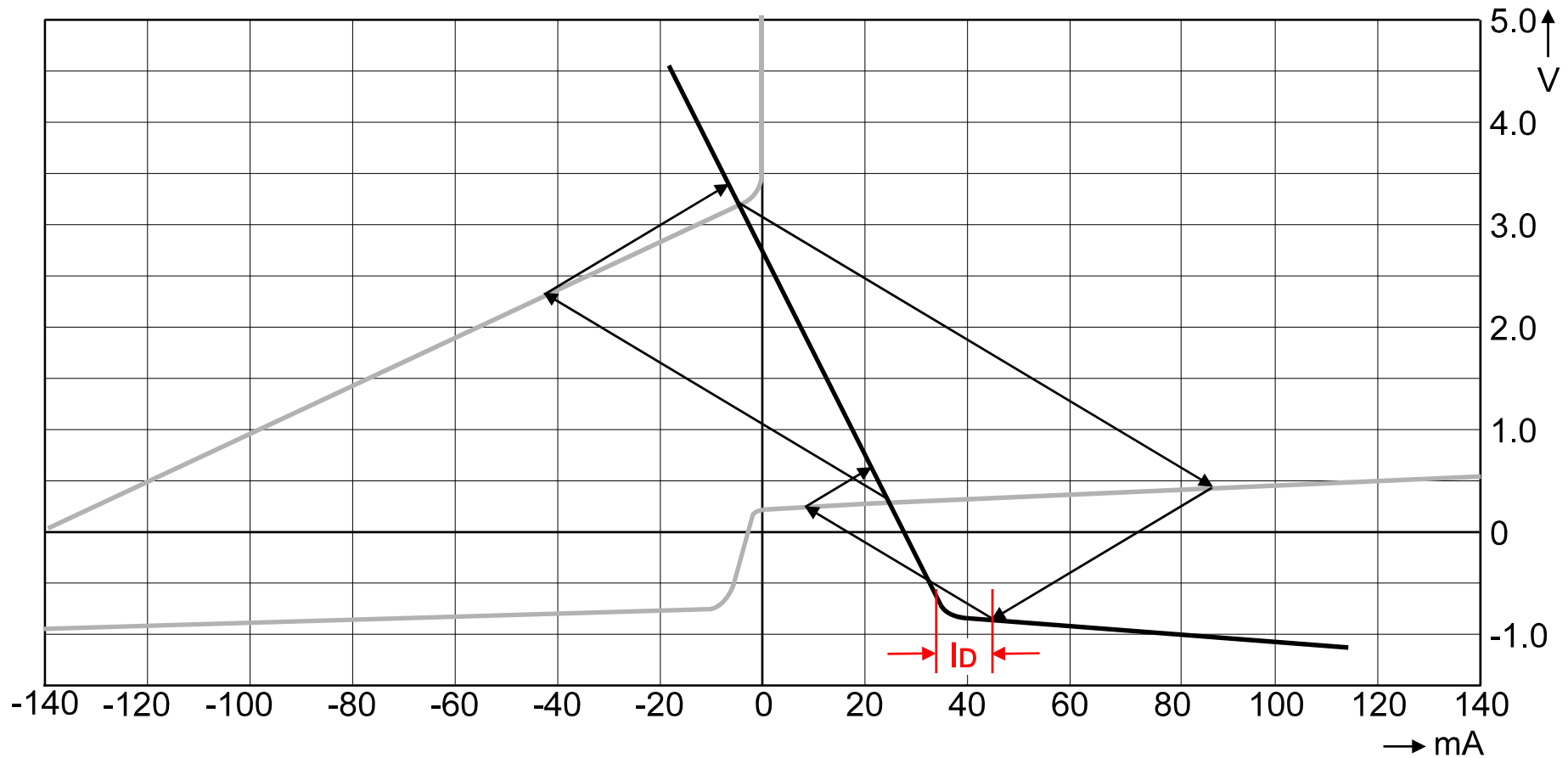


- ★ Onda Positiva Incidente tiene una amplitud >2 Volts
- ★ Las reflexiones son suficientemente amortiguadas por una terminación de $100\ \Omega$

TTL-Bus

Diagrama de Bergeron

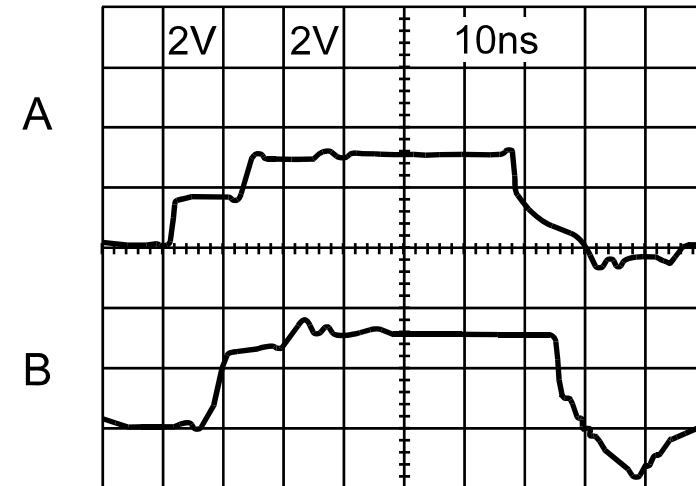
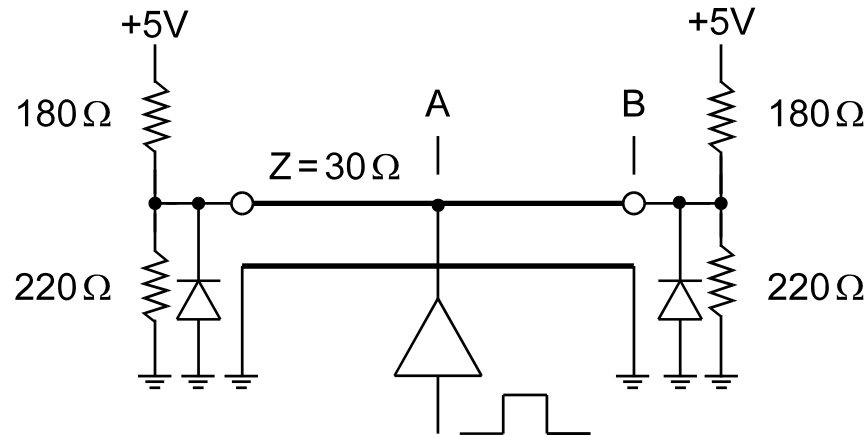
SN74ABT240, Terminación de Línea con Red Thevenin



I_D = CURRENT INTO THE CLAMPING DIODE

TTL-Bus

SN74ABT240, Entrada de Driver en el medio de un Bus, con Terminación Thevenin

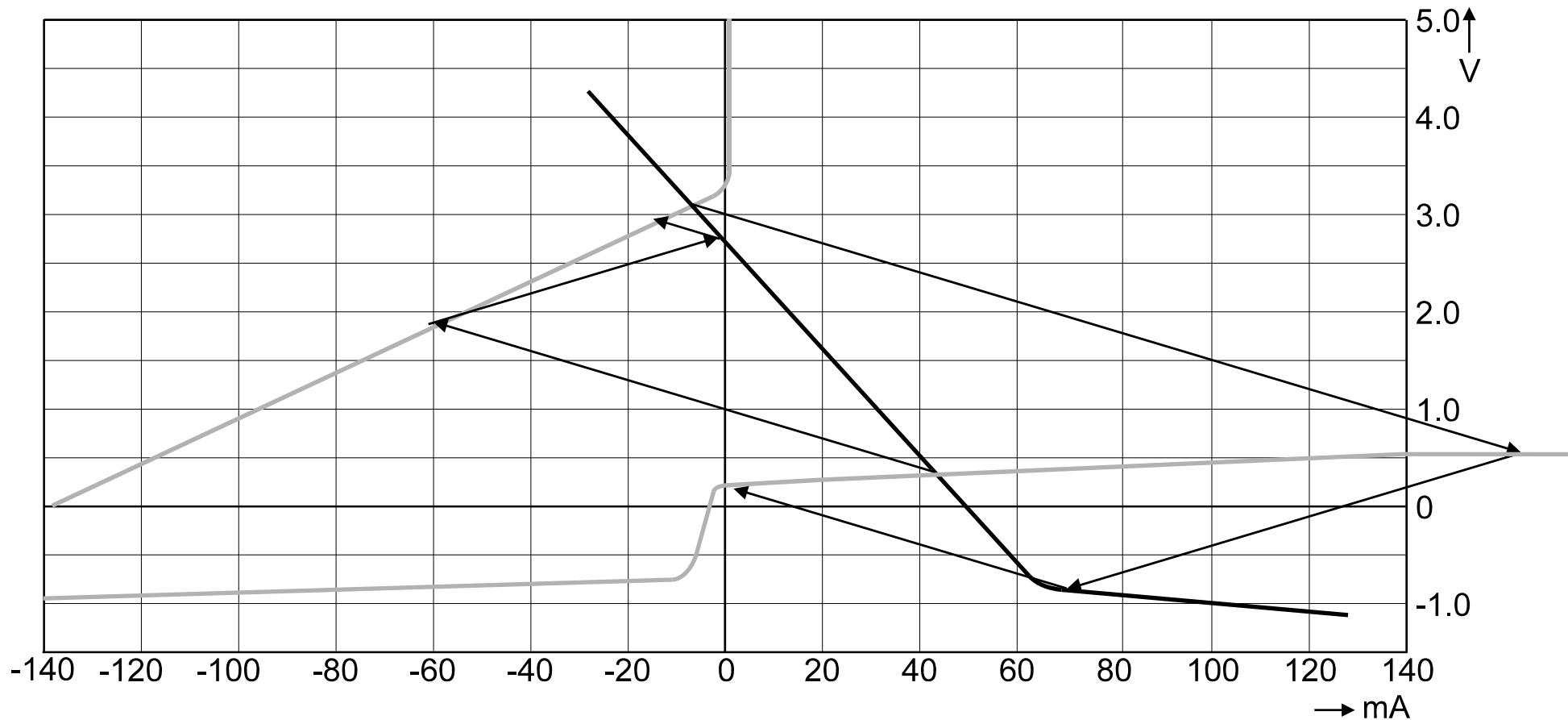


- ★ Carga efectiva = $15\ \Omega$
- ★ La salida del Driver alcanza el nivel alto solamente después que la onda reflejada retorna desde el extremo de la línea
- ★ Las reflexiones en la línea son amortiguadas suficientemente por la red de terminación

TTL-Bus

Diagrama Bergeron

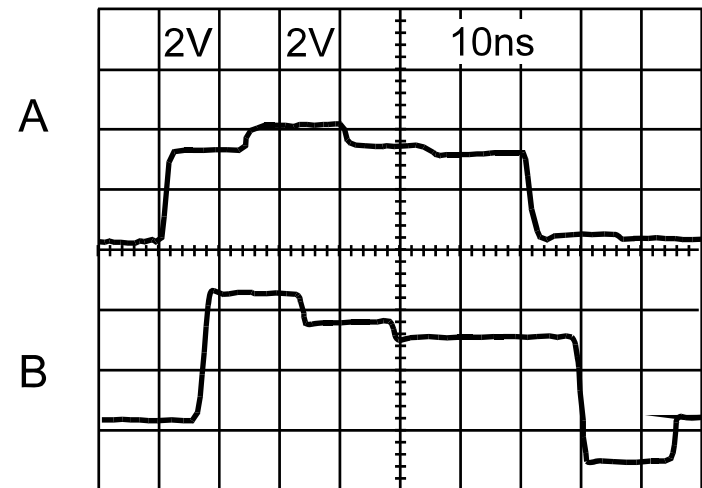
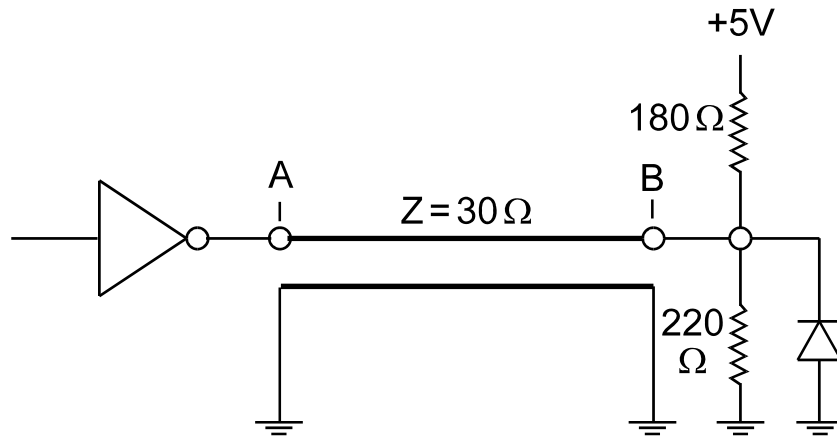
SN74ABT240, Entrada del driver en la parte media del Bus, Terminación Thevenin en los extremos



TTL-Bus

‘IWS’-Line Driver SN74ABT25xxx

IWS Driver, Terminación Thevenin

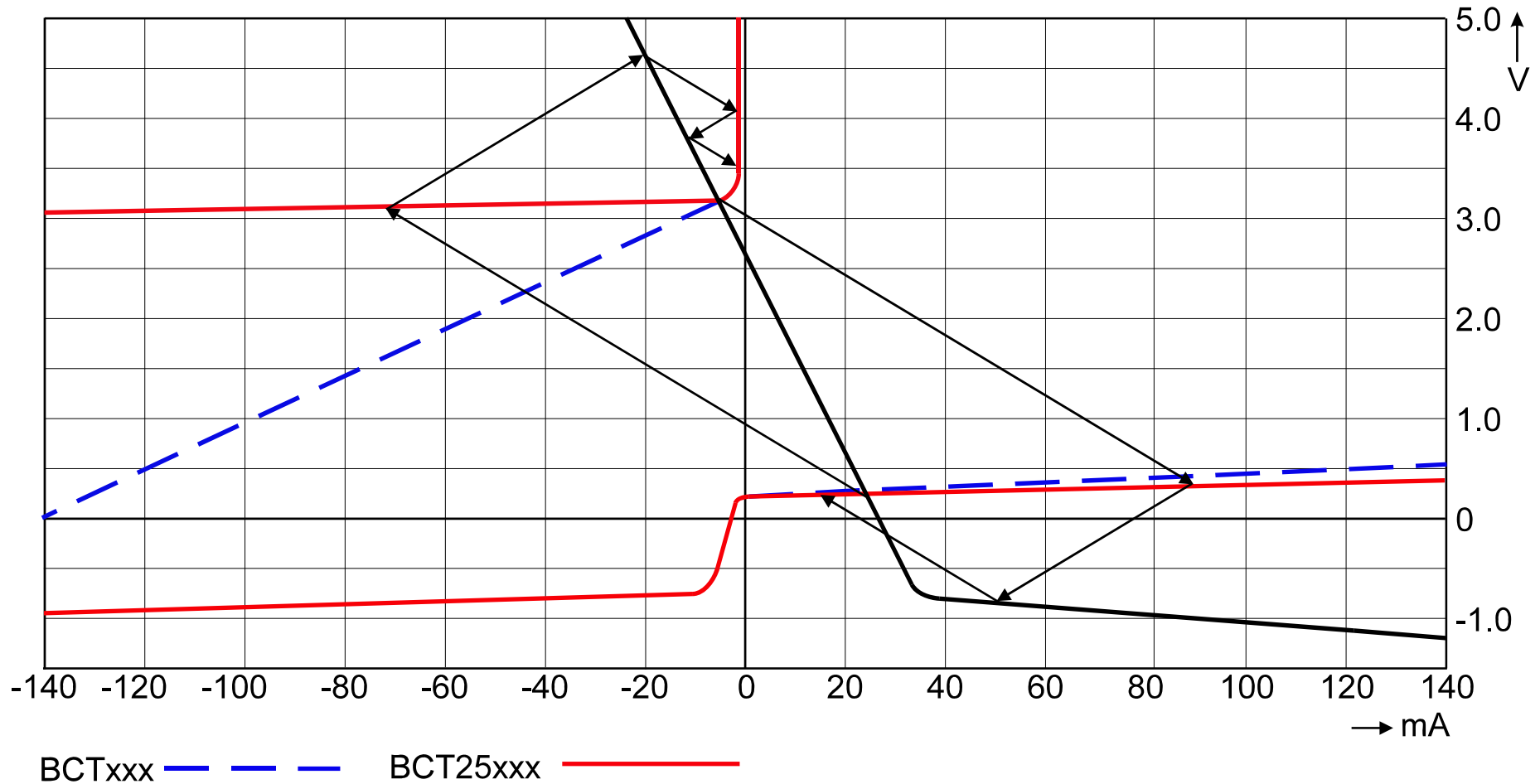


- ★ IWS (= Incident Wave Switching) (Onda de conmutación Incidente) Los drivers tienen una enorme mejora de la capacidad de conducción en estado alto
- ★ El nivel alto a la salida del driver se obtiene con la onda incidente

TTL-Bus

'IWS'-Line Driver SN74ABT25xxx

Terminación de línea con red Thevenin



Enhanced Transceiver Logic - ETL

Benefits:

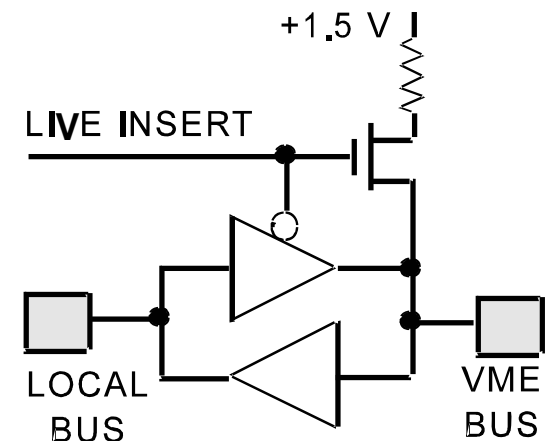
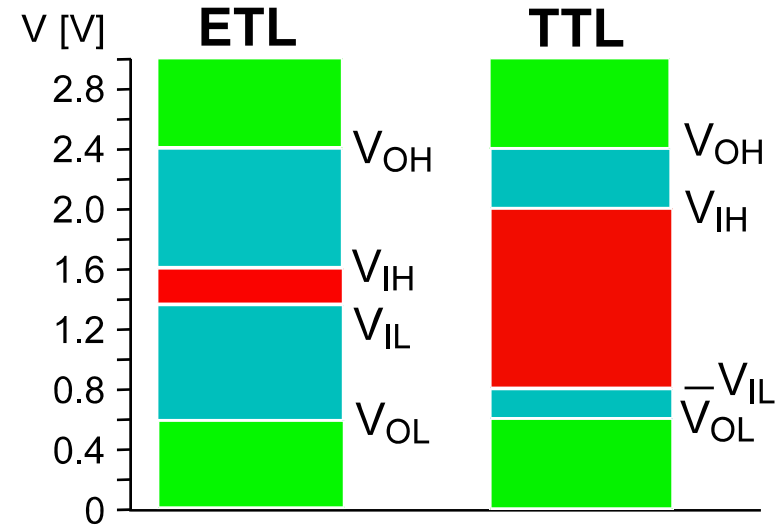
- ★ Extiende la vida de un bus con características TTL
- ★ Mejora margen de ruido
- ★ Soporta inserción alimentado
- ★ Menor diferencia de retardos (skew)
- ★ Mas alta capacidad de manejo

Characteristics:

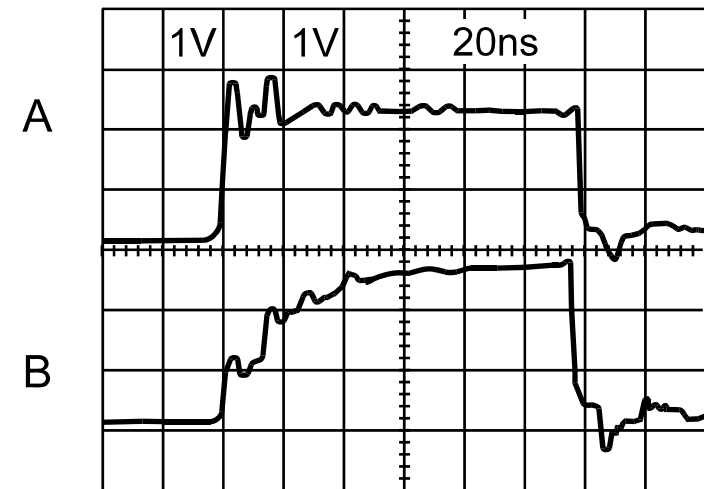
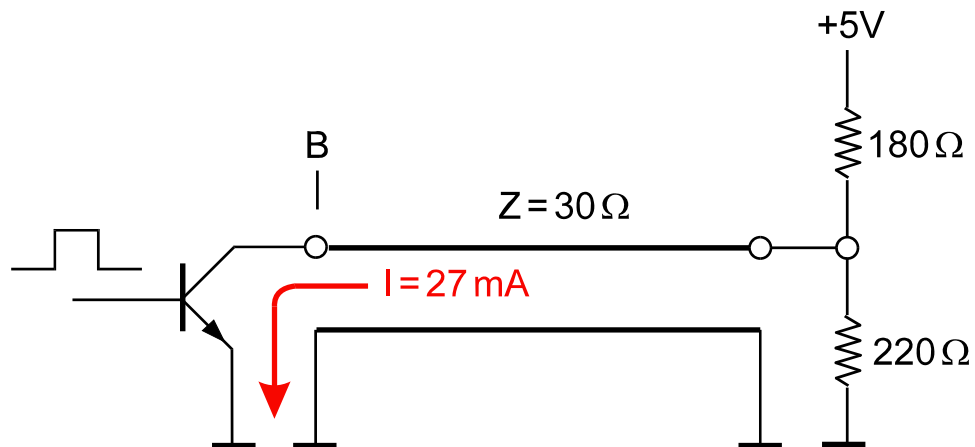
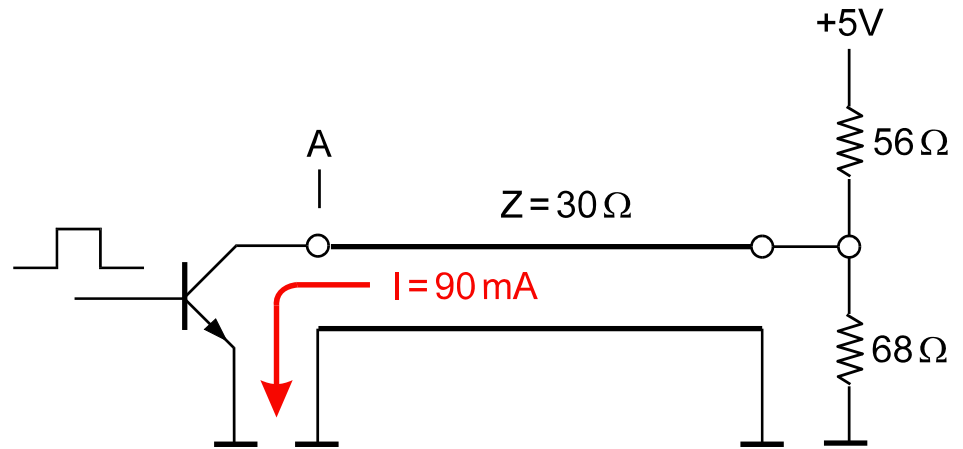
- ★ Umbral de disparo de entrada (1.4 ... 1.6 V)
- ★ El circuito de entrada de conmutación en modo de corriente (compensados en temperatura, voltaje)
- ★ Función de precarga (to 1.5 V) agregada para minimizar la descarga capacitiva al backplane activo
- ★ VCC-BIAS se usa para controlar el estado de alta impedancia durante la inserción con alimentación

Products:

SN74ABTE16245, SN74ABTE16246



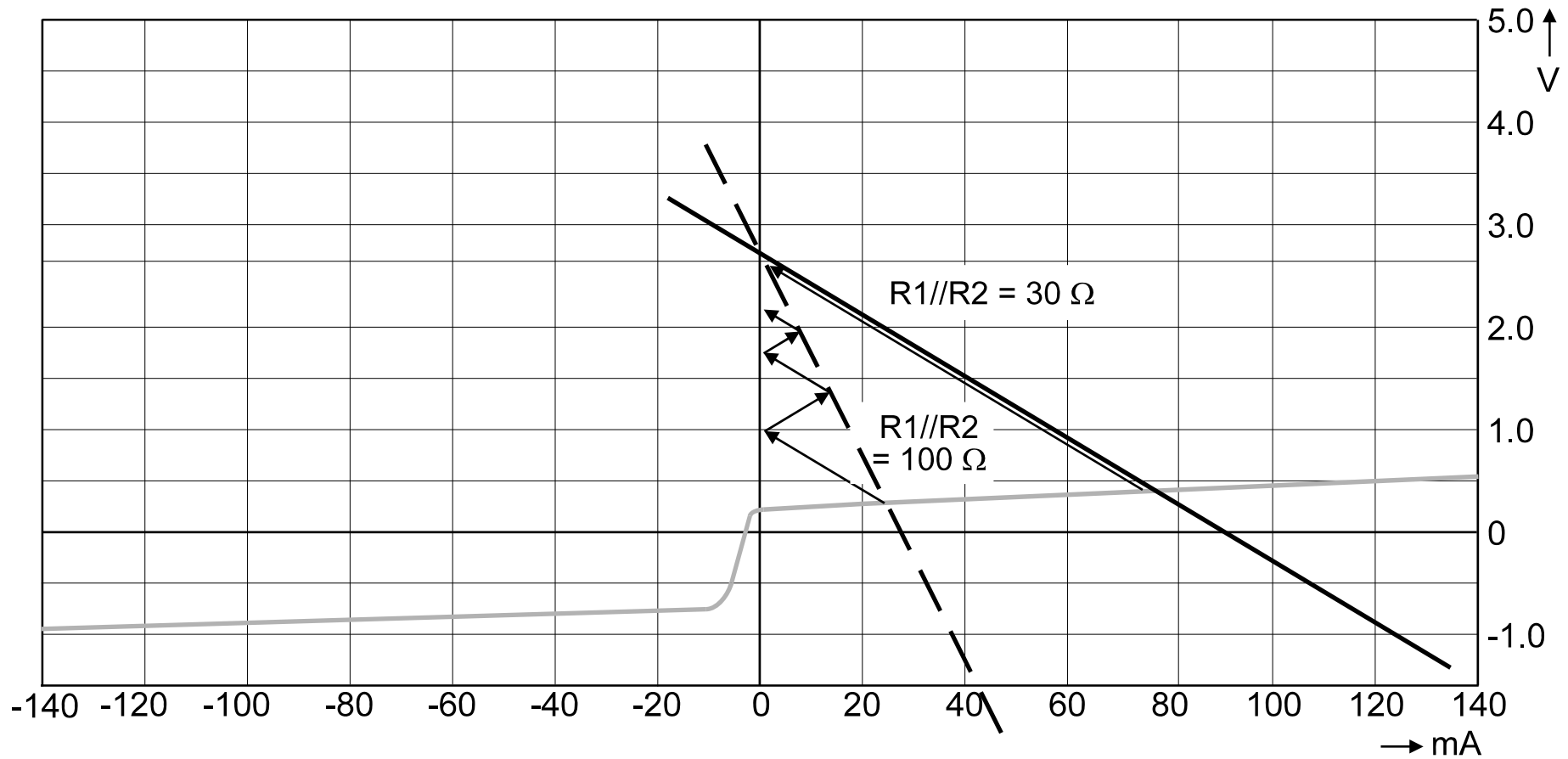
Line Driver con salida Colector abierto SN74BCT760



Line Driver con salida de Colector abierto

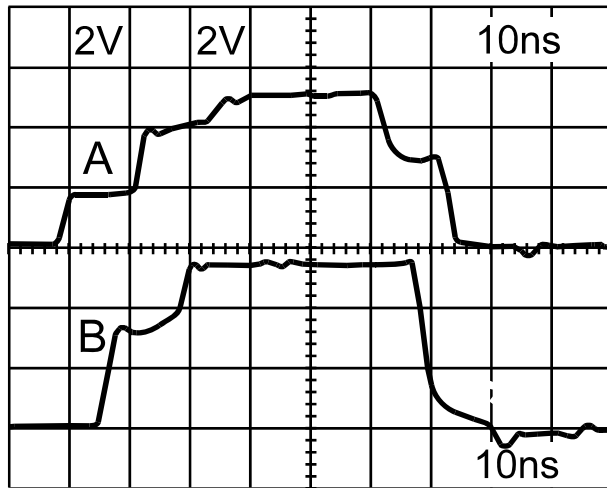
SN74BCT760

Diagrama Bergeron



CMOS-Bus

SN74HCxxx/SN74AHCxxx



Bus driver SN74HC245

$Z_o = 30 \Omega$; $\tau = 8 \text{ ns}$; $L = 32 \text{ cm}$

Impedancia de salida del driver $> Z_o$

Sin terminación de línea

A: Señal a la salida del driver

B: Señal al final de la línea

- ★ **No hay onda incidente de conmutación**
- ★ **Nivel lógico Valido después de $2 \times \tau$,
en el peor caso solamente despues de $4 \times \tau$**
- ★ **Debido a la alta impedancia de salida del
driver no se requiere terminación**
- ★ **No es aplicable para líneas de bus largas**

CMOS-Bus

SN74ACxxx

Bus driver 74AC245

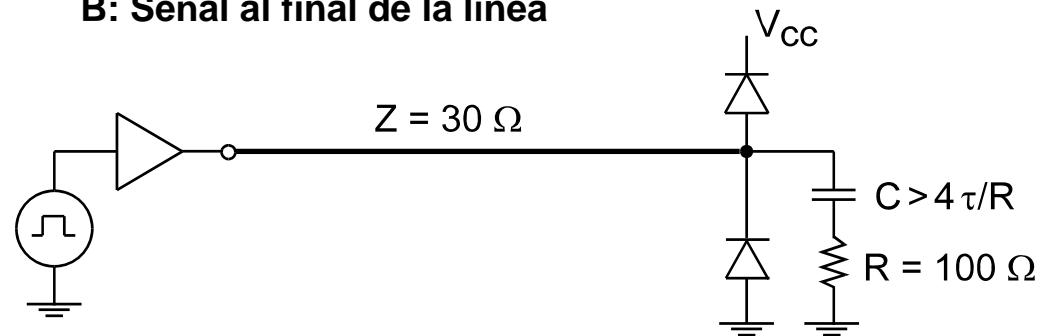
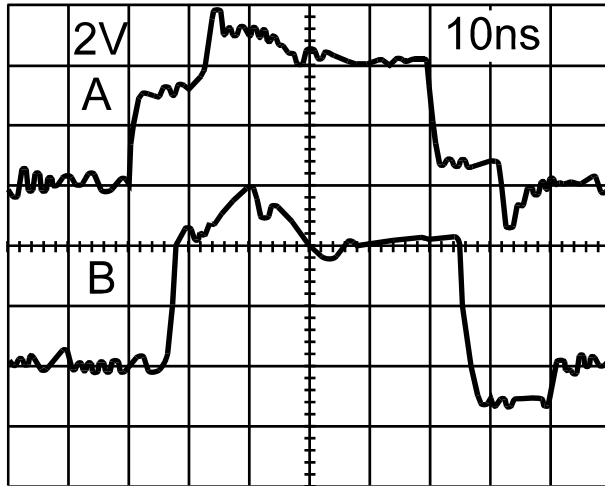
$Z_o = 30 \Omega$; $\tau = 8 \text{ ns}$; $L = 32 \text{ cm}$

Impedancia de salida del driver $> 10 \Omega$

Terminación de línea $R = 100 \Omega$, mas diodos

A: Señal a la salida del driver

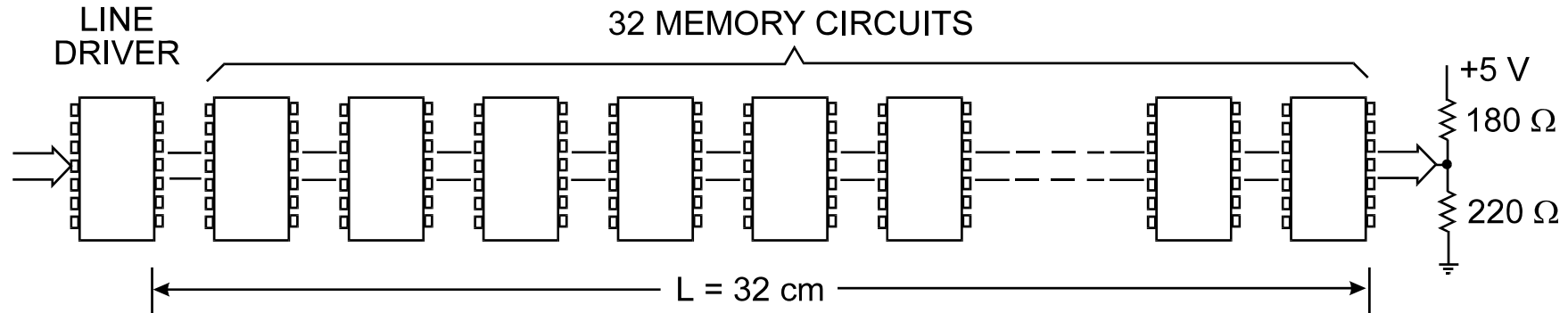
B: Señal al final de la línea



- ★ **Baja Distorsión de señal y bajas reflexiones debido a terminación de línea y a los diodos de enclavamiento**
- ★ **Capacidad de onda incidente de conmutación suficiente para circuitos TTL compatibles**

Sistema de Memoria con 1 M Words de 32 Bits

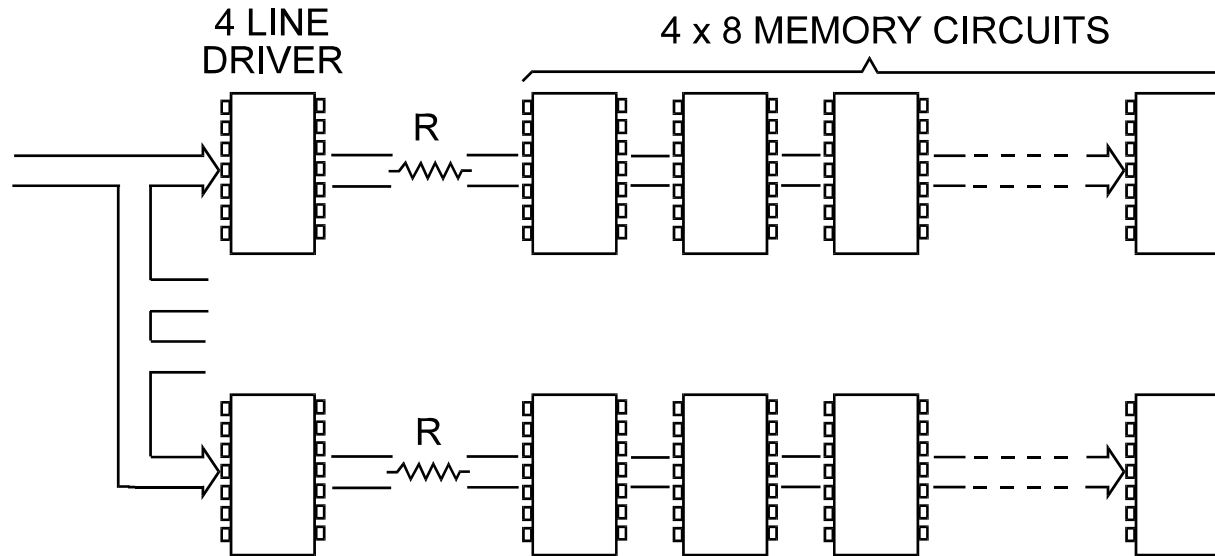
Versión 1



- ★ Impedancia de línea resultante = 30Ω
- ★ Line driver con $I_{OL} = 64 \text{ mA}$ requeridos (AS, F, BCT, ABT, LVT)
- ★ Alta potencia disipada en las redes de terminación y alta cantidad de componentes
- ★ Tiempo de propagación de señal = $7 \text{ ns} / 32 \text{ cm}$
 \Rightarrow Tiempo adicional de retardo de propagación = 14 ns

Sistema de Memoria con 1 M Words de 32 Bits

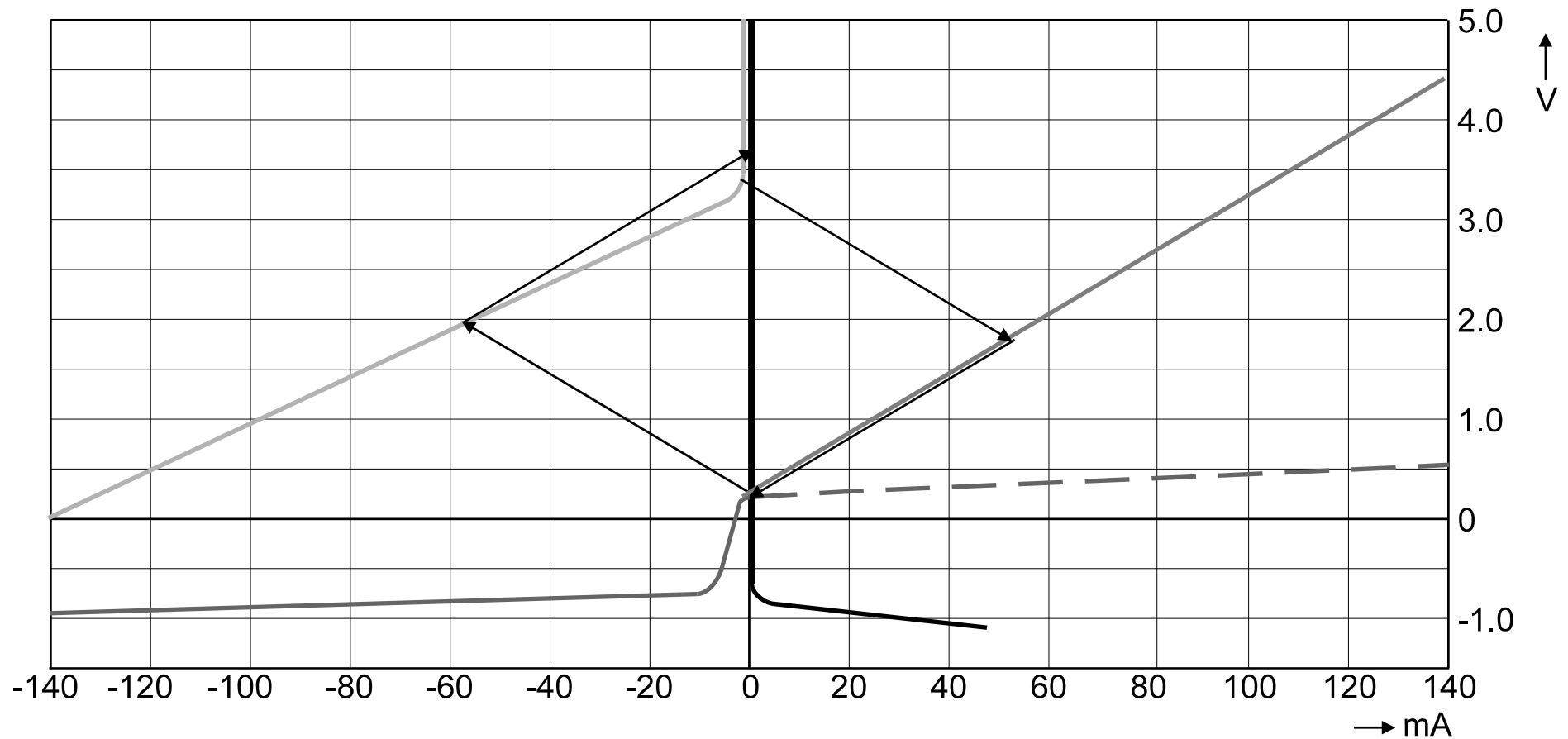
Versión 2



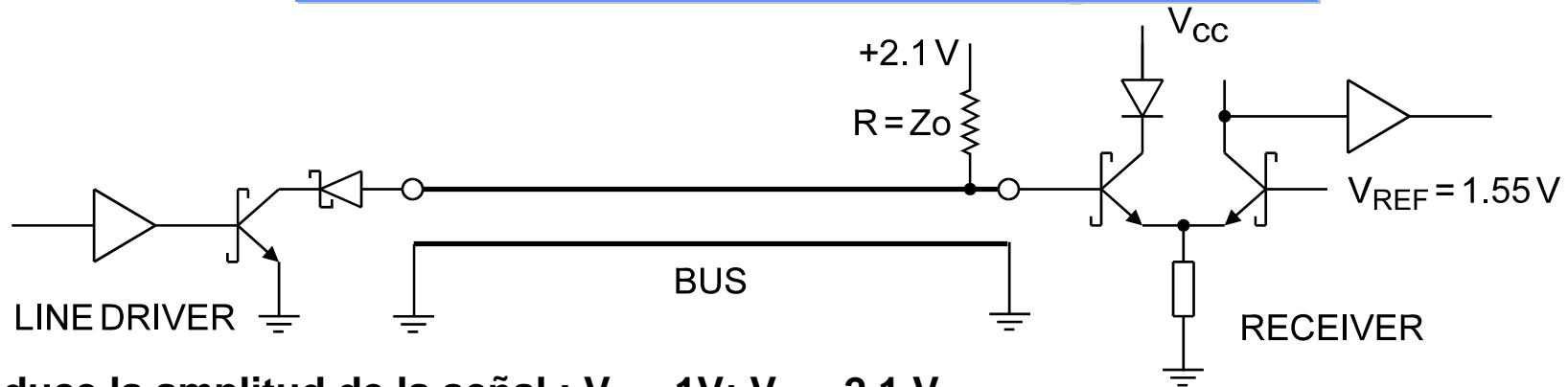
- ★ Impedancia de línea resultante= 30Ω
- ★ Tiempo de propagación de señal $1.75 \text{ ns} / 3 \text{ cm}$ (20 ns/m), por lo tanto el tiempo de propagación total es de solamente 3.5 ns
- ★ Adaptación de impedancia con resistencia en serie ($R = 10 \dots 20 \Omega$),
 \Rightarrow no incrementa el consumo de potencia !
 (line driver con $I_{OL} = 24 \text{ mA}$ suficiente para \Rightarrow LS, ALS)
 Line driver con resistencias integradas, e.g. SN74ABT2240,
 SN74ABT5400A

TTL-Bus

Line Driver con resistencias integradas en serie de $25\ \Omega$, SN74ABT2240

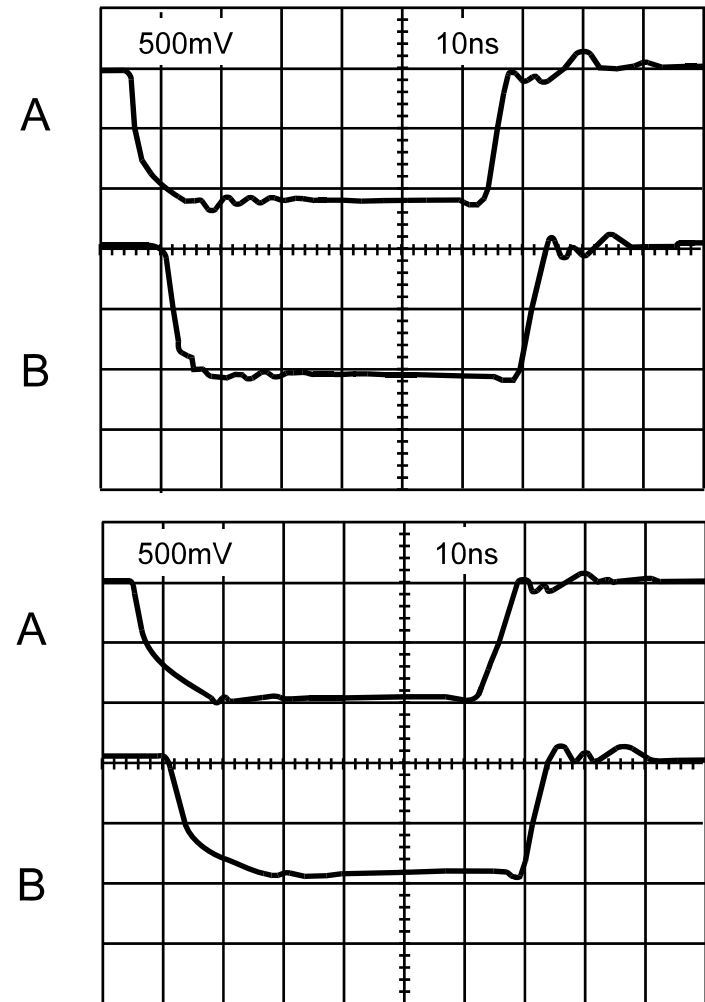
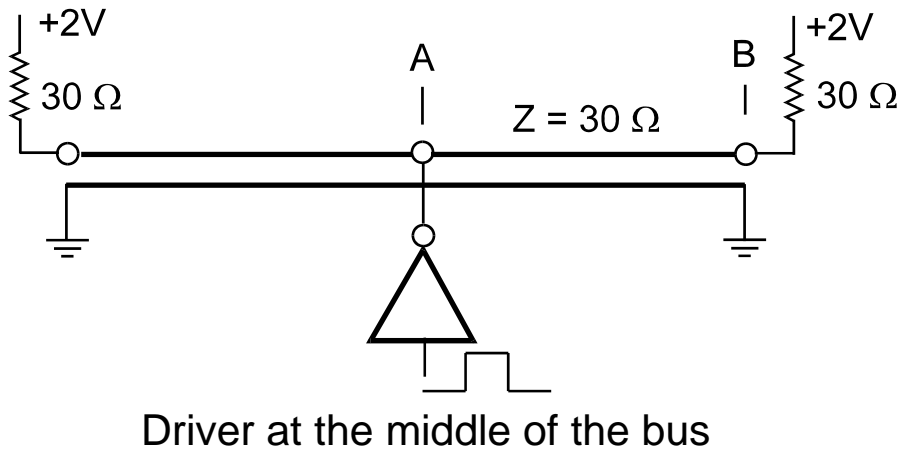
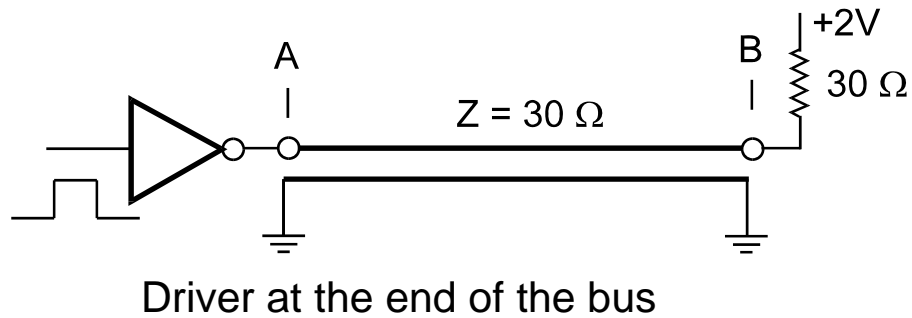


Backplane Transceiver Logic - BTL



- ★ **Reduce la amplitud de la señal : $V_L = 1V$; $V_H = 2.1V$**
- ★ **Alta capacidad de manejo: $I_{OLmax} = 100\text{ mA} \Rightarrow$ Onda de conmutación incidente reduce la impedancia de línea a 10Ω o $2 \parallel 20\Omega$**
- ★ **Correcta terminación de línea por medio de una resistencia de pull-up en el final de línea evita reflexiones en la línea**
- ★ **Diodos de desacople reducen la capacitancia a $< 5\text{ pF} \Rightarrow$ aumenta la impedancia de línea**
- ★ **Máxima razón del flanco de salida $2\text{ ns} \Rightarrow$ Forma de onda trapezoidal reduce el ruido del sistema**
- ★ **Soporta inserción/extracción con alimentación**
 - \Rightarrow Salidas en alta impedancia cuando $V_{CC}=0V$
 - \Rightarrow En encendido 3-state controla en las salidas
 - \Rightarrow BIAS V_{CC} terminal a pre-carga de salidas BTL
- ★ **Amplificador Diferencial garantiza voltaje de umbral estable del receptor**

Backplane Transceiver Logic - BTL



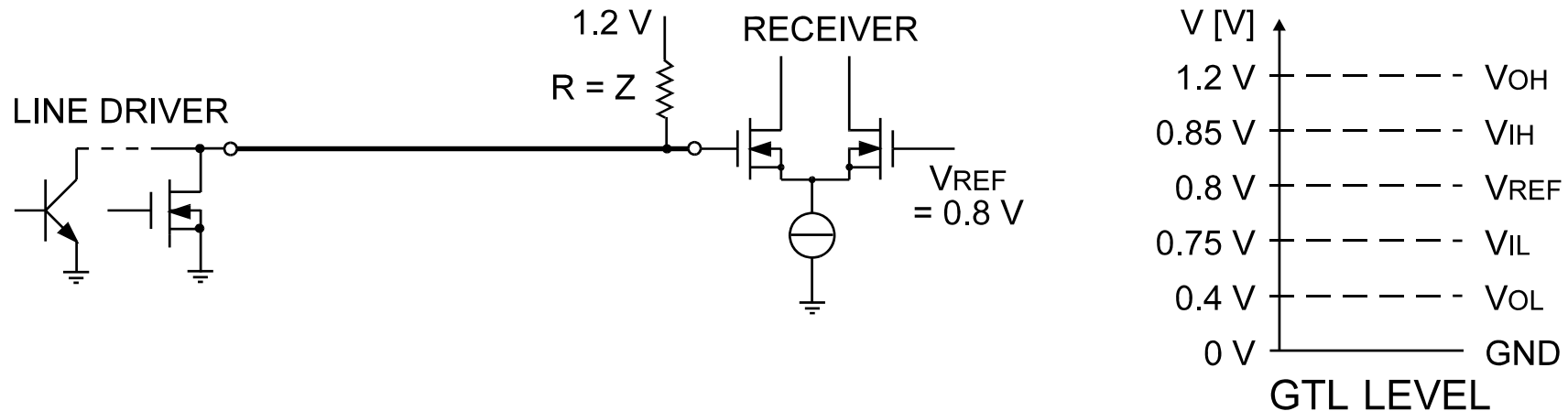
Backplane Transceiver Logic - BTL

- ★ BTL to TTL converter
- ★ Bus con capacidad de 7-bits to 18 bits
- ★ Transceivers con y sin registros o enclavadores de datos

SN74FB1650	100-PIN SQFP	18-Bit Universal Storage Transceiver
SN74FB1651	100-PIN SQFP	18-Bit Universal Storage Transceiver
SN74FB2031	52-PIN PQFP	9-Bit Address/Data Transceiver
SN74FB2032	52-PIN PQFP	9-Bit Competition Transceiver
SN74FB2033	52-PIN PQFP	8-Bit Registered Transceiver
SN74FB2040	52-PIN PQFP	8-Bit Noninverting Transceiver
SN74FB2041	52-PIN PQFP	7-Bit Noninverting Transceiver



Gunning Transceiver Logic - GTL



- ★ Reduce la amplitud de señal : $V_L = 0.4\text{V}$; $V_H = 1.2\text{ V}$
- ★ Baja capacidad de manejo: $I_{OLmax}=40\text{ mA} \Rightarrow$ Onda de conmutación incidente reduce a 20Ω or $2 \parallel 40\Omega$ la impedancia de línea
 \Rightarrow Disipación baja de potencia ($0.4\text{V} \times 40\text{mA}$ por salida)
- ★ Correcta terminación de línea por medio de una resistencia de pull-up en el final de línea evita reflexiones en la línea
- ★ Alto data rates ($> 100\text{ MBit/s}$)
- ★ Posibilidad de integración de line driver y receiver a ASICs
- ★ No soporta inserción/extracción con alimentación \Rightarrow Salidas a alta impedancia con $V_{CC}=0\text{V}$
- ★ Amplificador Diferencial garantiza estable umbral de voltaje del receptor

Gunning Transceiver Logic - GTL

- ★ Conversores GTL y GTL/GTL+ a TTL
- ★ ancho de bus de 7-bits a 18 bits
- ★ Transceivers con o sin registros or latches

comerciales:

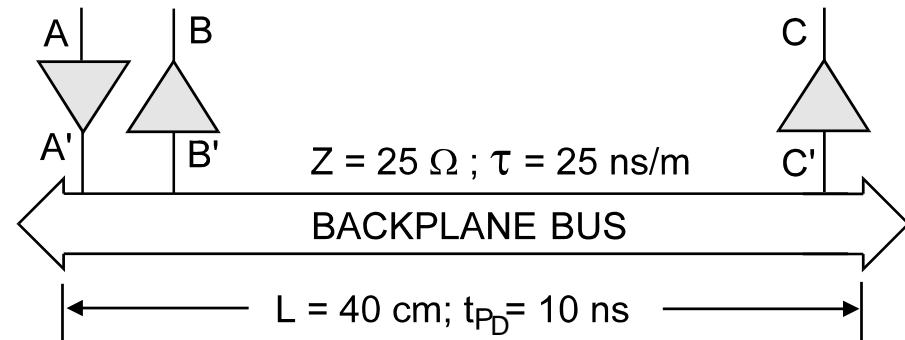
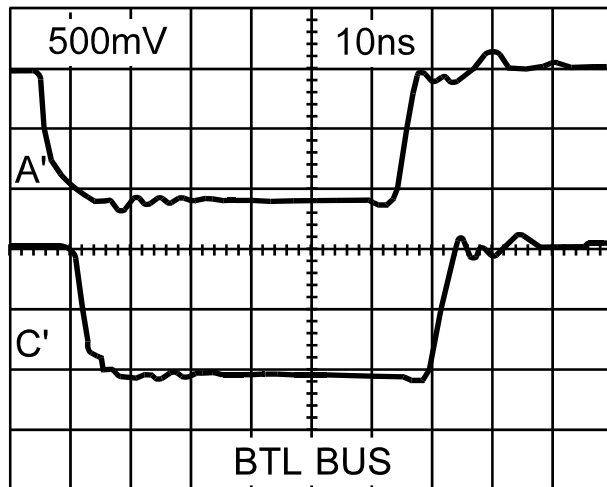
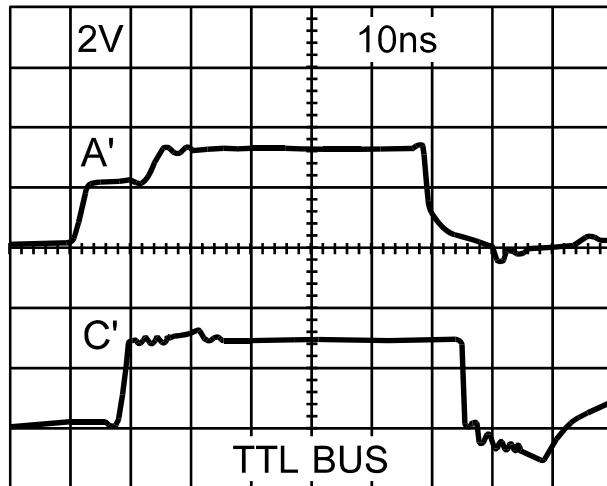
SN74GTL16612	56-PIN SSOP/TSSOP	18-Bit Universal Storage Transceiver
SN74GTL16616	56-PIN SSOP/TSSOP	17-Bit Universal Storage Transceiver con salida de clock con buffer
SN74GTL16622	64-PIN TSSOP	18-Bit GTL/GTL+ Registered Transceiver

Planificados en futuro próximo:

SN74GTL16922	64-PIN TSSOP	18-Bit GTL/GTL+ Registered Transceiver acepta señales TTL-compatible, CMOS (0V/5V) at TTL-inputs.
--------------	--------------	---



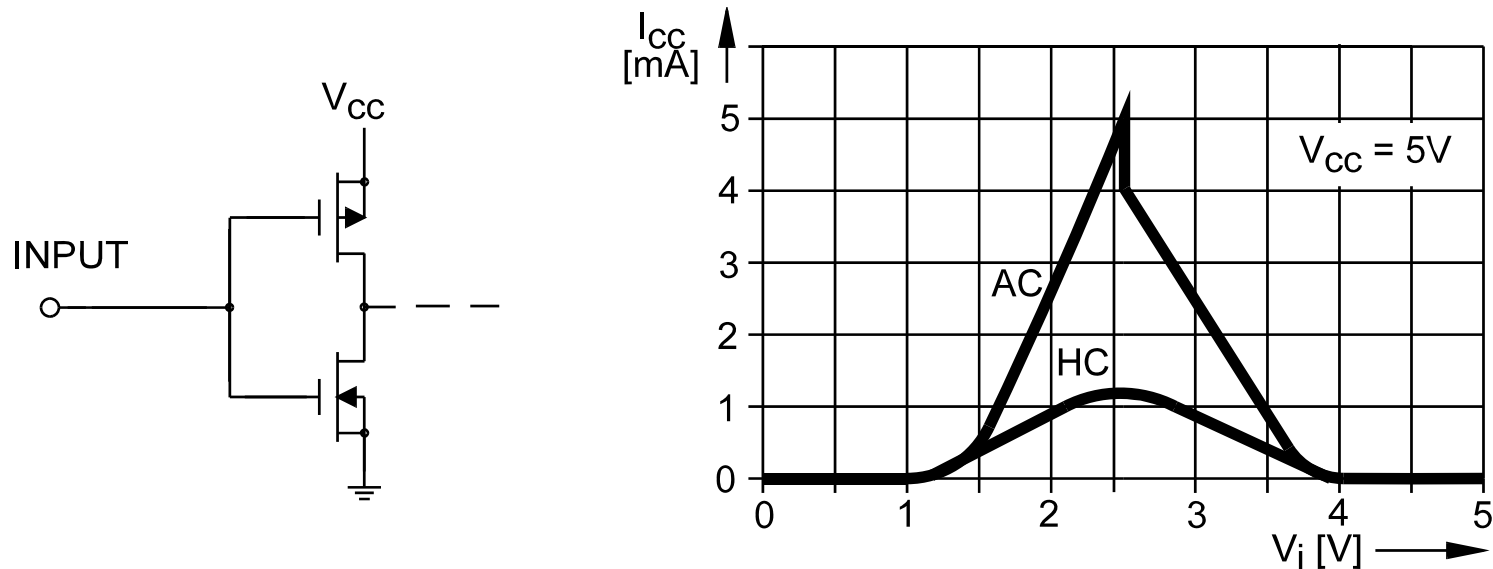
Comparación de velocidad



		tPD	Total propagation time	
			A > B	A > C
ABT	SN74ABT245	4.6 ns	29.2 ns*)	19.2 ns
IWS	SN74ABT25245	4.3 ns	8.6 ns	18.6 ns
BTL	SN74FB2031	5.0 ns	10.0 ns	20.0 ns

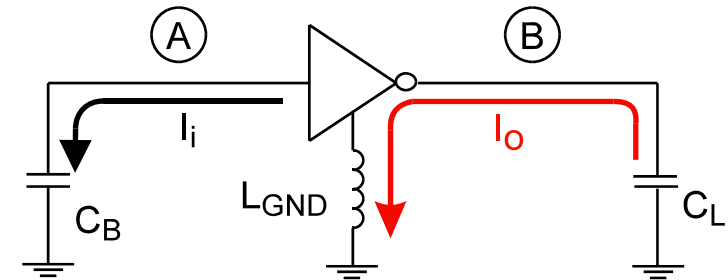
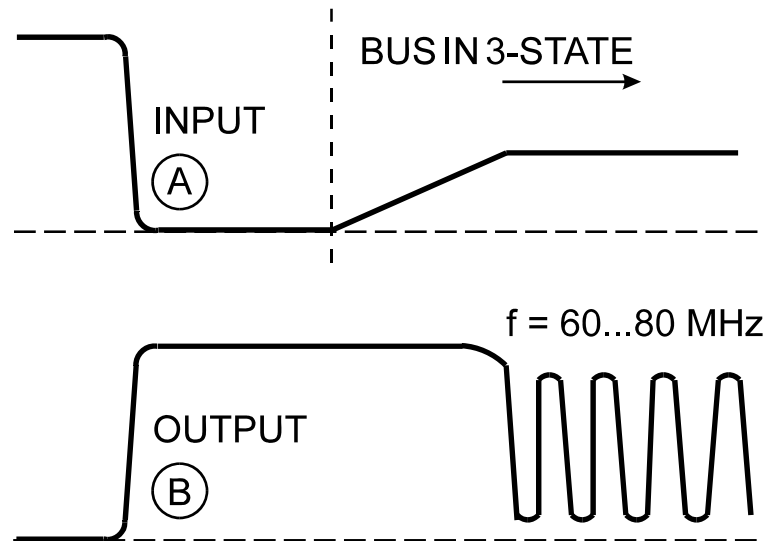
* Settling time = 2 x propagation time

Corriente de fuente para Entradas CMOS Flotantes



Cuando el voltaje de entrada de un circuito CMOS esta entre los niveles definidos (low or high) -e.d. flotante-, los transistores de canal P y N conducen simultáneamente. Esto resultará en un incremento de la corriente de fuente

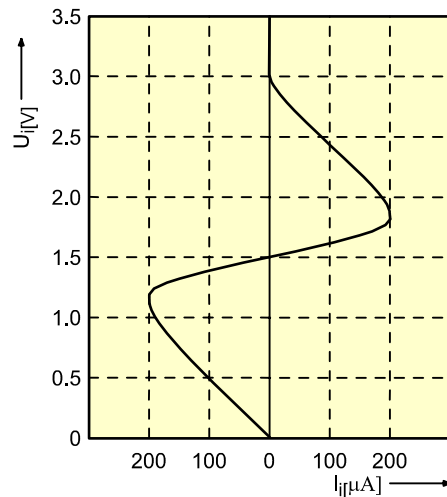
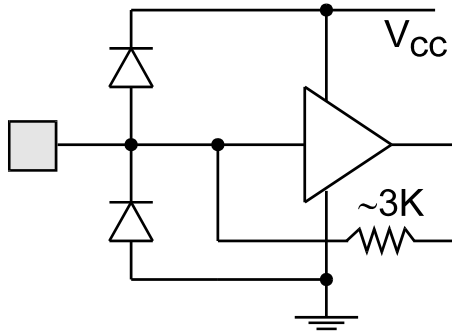
Oscilación en una Línea Bus Flotante



$$\frac{\Delta v}{\Delta t} = \frac{\sum I_i}{C_B} \approx \frac{500 \mu\text{A}}{500 \text{ pF}} = 1 \text{ V}/\mu\text{s}$$

- ★ Cuando una línea de bus es dejada flotante, la línea se cargará por la la corriente de entrada de los receptores colgados al bus hasta el voltaje umbral.
- ★ La realimentación a través de la inductancia de tierra (GND inductance) L_{GND} producirá una oscilación. Como resultado la corriente de salida de la etapa I_o producirá una sobrecarga en este circuito lo que destruirá a éste.

Bus Holders SN74ACT107x



- ★ Bus holders asegura un nivel válido en un sistema de bus CMOS, cuando todos los drivers estan inactivos (3-state).
- ★ No se requieren resistencias de pull-up!
- ★ Los diodos de enclavamiento integrados limitan los sobrepicos positivos y negativos causados por las reflexiones de la línea y por lo tanto aseguran la integridad del sistema.

Type

Function

Package

SN74ACT1071

10-Bit Bus Holder

16 Pin SOIC/SSOP

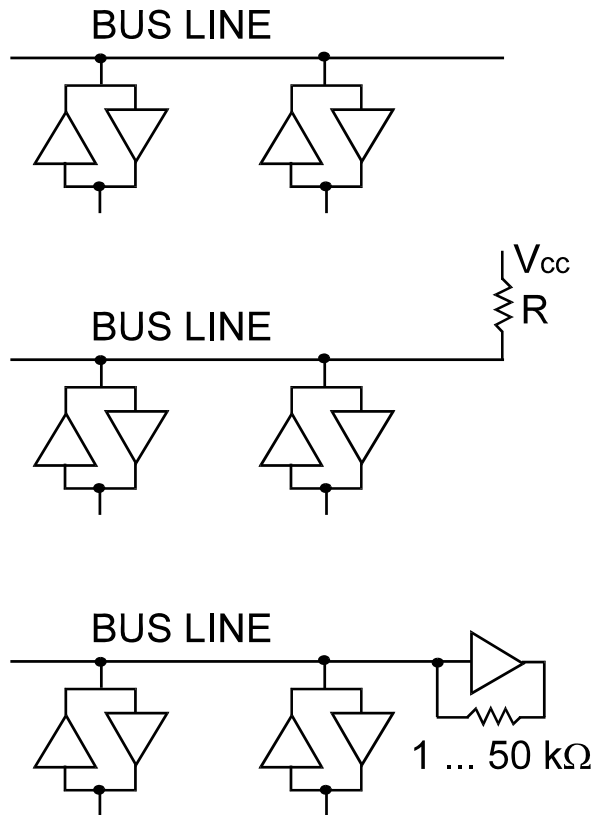
SN74ACT1073

16-Bit Bus Holder

20 Pin SOIC/SSOP

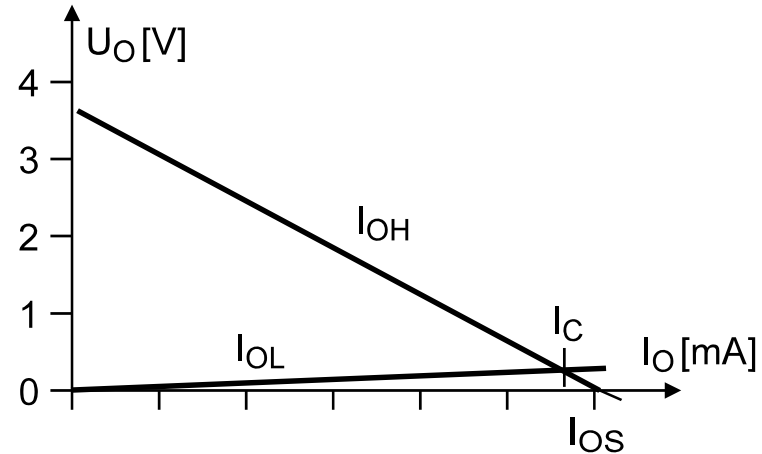
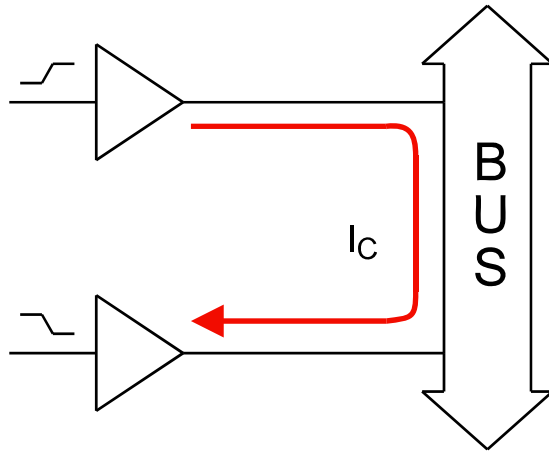
SN74ABTHxxx, SN74LVTHxxx,
SN74ALVCHxxxx, SN74LVCHxxx

Consideraciones de Líneas de Bus Flotantes (3-state)



- ★ No haga nada si la duración del 3-state es $< 2 \dots 5 \mu\text{s}$ solamente.
- ★ No tome precauciones con el hardware, pero asegurese de que no queden líneas de bus flotantes en el protocolo(e.g. PCI bus)
- ★ Use resistencias de pull up, pull down o redes de terminación de línea para asegurar niveles de voltaje definidos (disipación de potencia alta!)
- ★ Termine la línea de bus con un circuito “hold” para para congelar el último nivel lógico activo.
No incrementa la corriente de fuente !

Conflictos de Bus



- ★ Un conflicto de bus se producirá cuando, por una desadaptación de temporizado, dos drivers de línea aplican diferentes niveles lógicos(voltajes) en el bus a un mismo tiempo.
- ★ La corriente de salida excesiva I_O ($\approx I_{OS}$) producirá una alta disipación de potencia, lo cual implica una alta temperatura T_j en el chip.

$$T_j = T_a + P_{TOT} * R_{\theta ja}; \quad (R_{\theta ja} = 80 \dots 100^\circ \text{ C/W})$$

Note: La temperatura del chip T_j no debe exceder 150°C sin una dramática degradación de la confiabilidad (mechanical stress, etc.).

Conflictos del Bus

Cálculo de la Potencia de Disipación de un Line Driver

$$P_{TOT} = P_Q + (P_S * t_s + P_O * 2t_p + P_C * t_C) * f * n$$

- P_Q = Potencia de disipación estática
 P_S = Potencia de disipación promedio causada por los picos de corriente (spikes)
 t_s = Duración de los picos de corriente
 P_O = Disipación de potencia causada por el manejo de la línea de transmisión
 t_p = Tiempo de propagación en la línea de transmisión
 P_C = Disipación de potencia causada por el conflicto del bus
 t_C = Duración del conflicto del bus
 f = Frecuencia de repetición
 n = Número de salidas colgadas

Los mayores contribuidores a la disipación de potencia son :

- 1) P_Q 2) P_C 3) P_O**

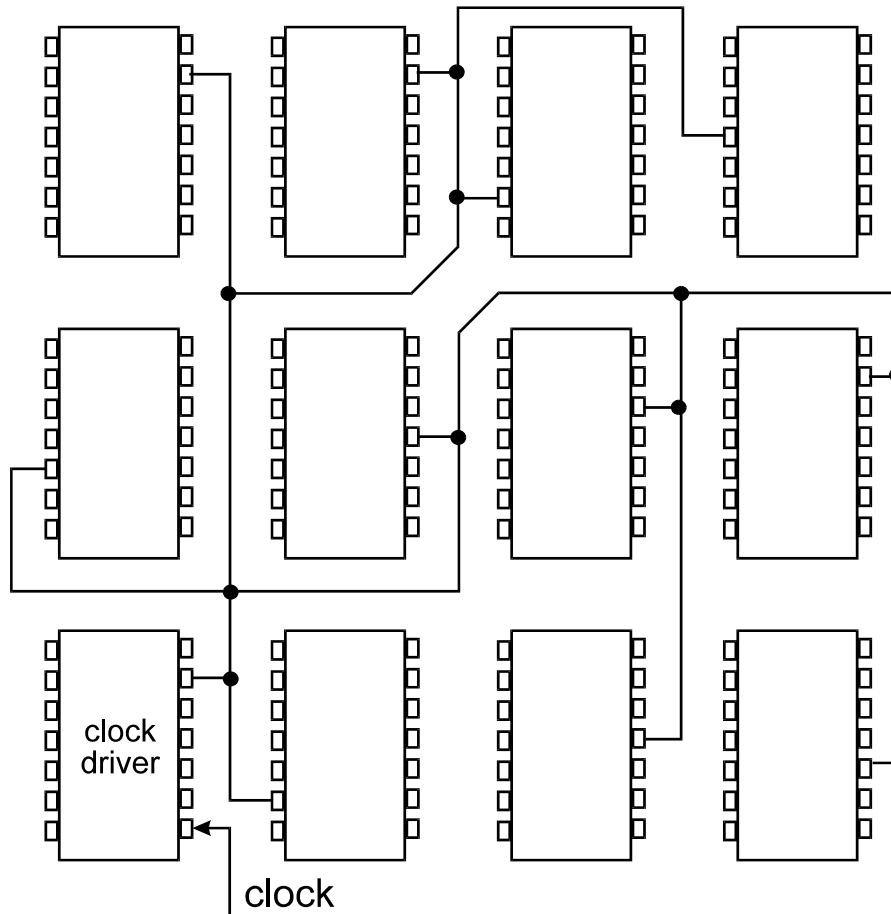
Por lo tanto conflictos de bus de corta duración (duración < 50 ns, Duty-Cycle < 10%) son por lo general no críticos cuando se usa circuitos (A)LS-, BiCMOS- y CMOS, pero puede ser crítico cuando se usa circuitos AS y F.





Distribución de Reloj

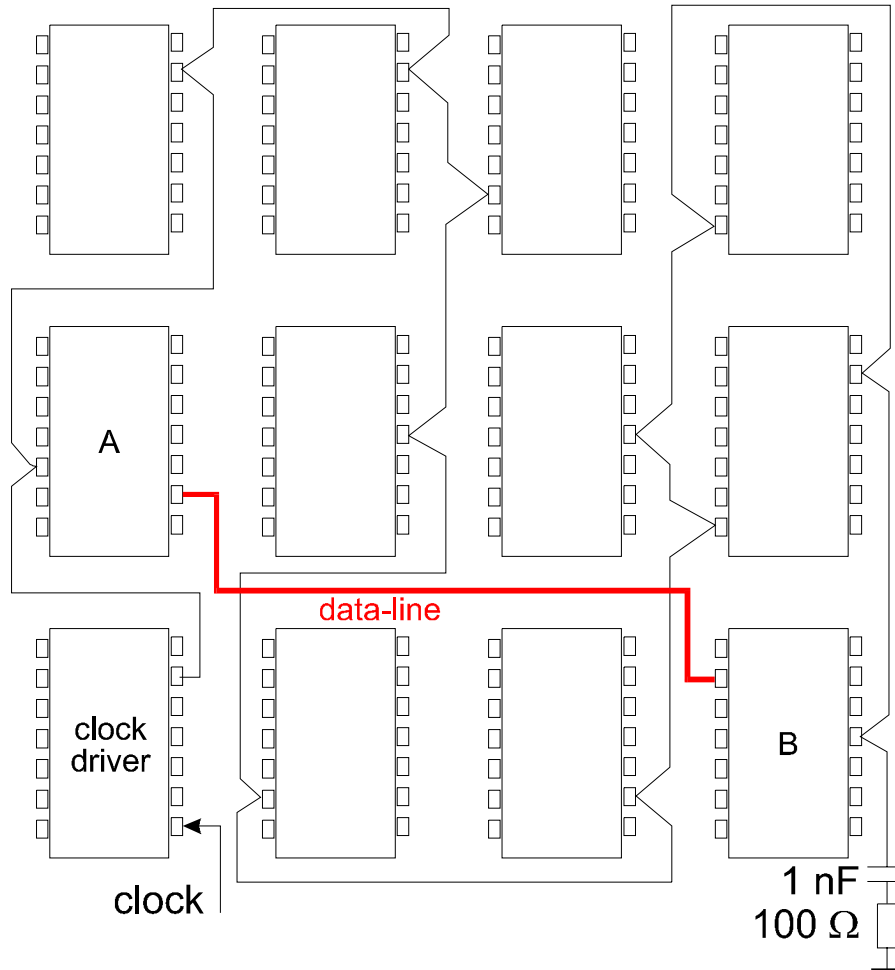
Digital: Mala distribución de señales de Reloj



- ➡ Cuando se dibujan las líneas de señal en forma aleatoria, cada juntura y fin de línea producirá un punto de discontinuidad, lo que generará reflexiones de línea.
- ➡ Las señales serán distorsionadas severamente. Esto probablemente producirá un mal funcionamiento del sistema.

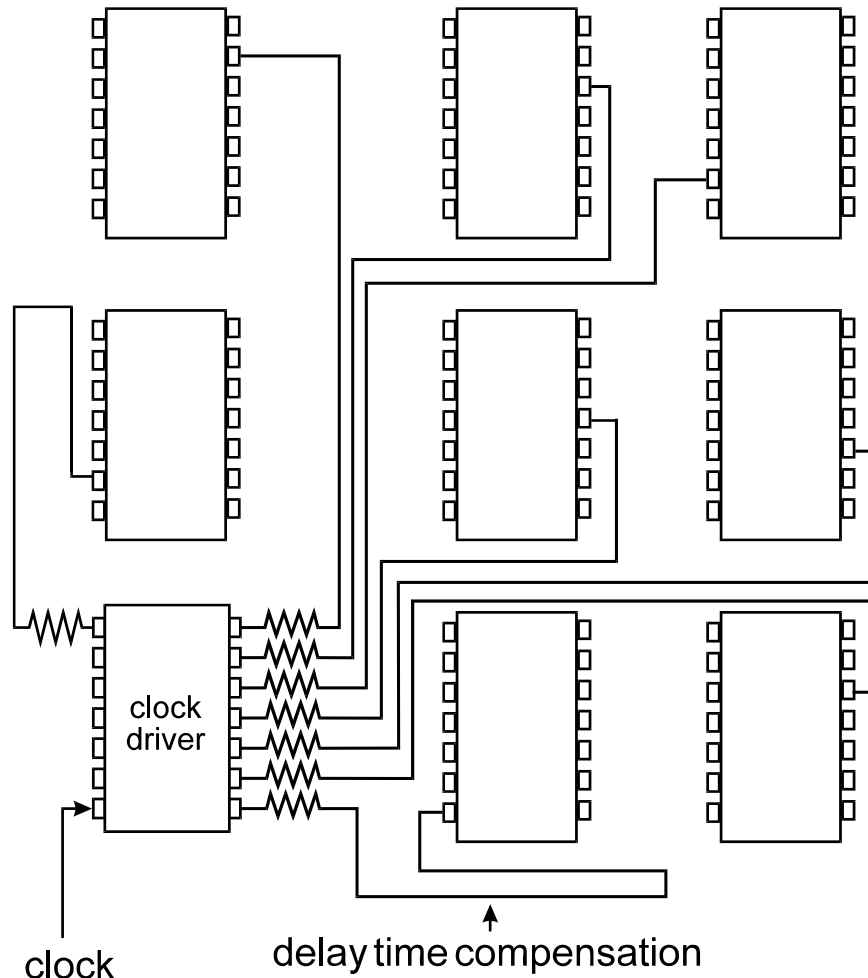
Distribución de Reloj

Digital: Distribución de señal de reloj correcta



- ➡ Interconectando los circuitos en serie se provee una impedancia de línea homogénea (en sistemas ECL la interconexión entre varios circuitos se realiza manteniendo la misma longitud entre ellos para asegurar impedancia constante a lo largo de la línea).
- ➡ Terminación de línea eliminará reflexiones.
- ➡ Impedancia de Terminación $1...2 \times Z_0$.
- ➡ Tiempo de Propagación : 10...20 ns/m.
- ➡ **Note:** Tenga muy en cuenta el tiempo de propagación de interconexión.
- ➡ **Sea cuidadoso con las líneas de Datos:** "Observe que no se tracen en paralelo"

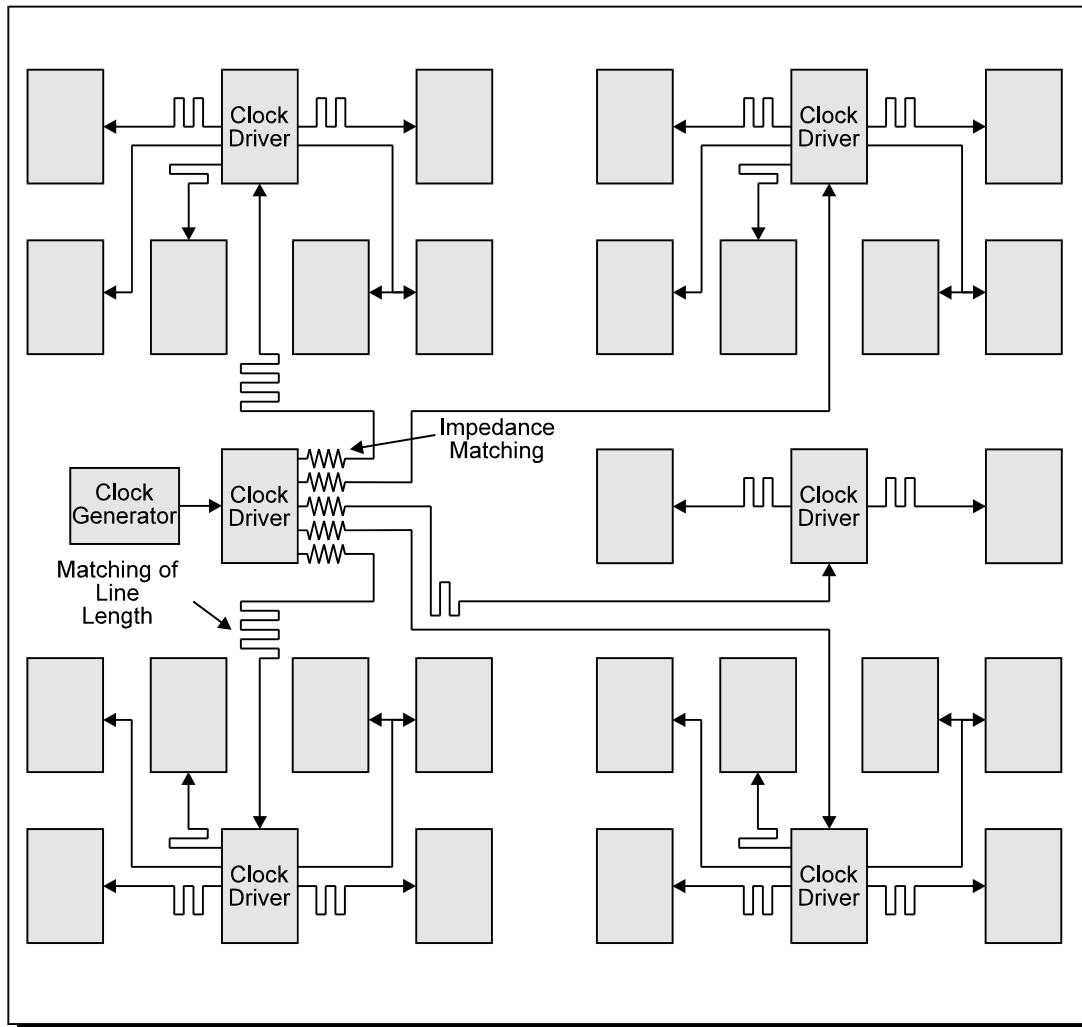
Distribución de Reloj en Conexión Estrella



- ★ Una red de conexión en estrella reducirá el desfasaje de arribo de las señales debido al retardo de propagación.(skew)
- ★ Use un reloj que garantice un desfasaje reducido de retardos de propagación, e.g. CDC208 (skew < 0.5 ns).
- ★ Para un mínimo “skew” se debe hacer todas las líneas de interconexión de la misma longitud.
- ★ Eliminar los sobrepicos por medio de la adaptación de la impedancia del driver a la impedancia de la línea por medio de resistencias en serie.

Reglas del Layout

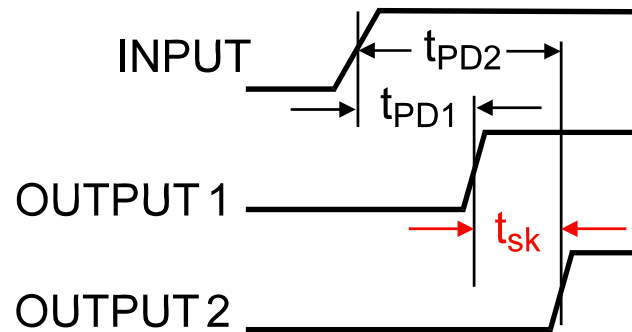
Digital: Drivers de Reloj Distribuidos



☞ Solamente unas pocas líneas desde el reloj central a los drivers de relojes distribuidos usando resistencias serie de terminación

☞ Si se usan líneas cortas desde los drivers de relojes distribuidos, no se hace necesario terminaciones

Drivers de Reloj de bajo “Skew”



Output Skew

Skew between outputs of one circuit: $t_{sk(o)} \approx 0.5 \text{ ns}$,

Process Skew

Skew between outputs of various circuits of same type $t_{sk(pr)} \approx 1.0 \text{ ns}$,

Pulse Skew

Skew between rising and falling edge of outputs of one circuit: $t_{sk(p)} \approx 0.8 \text{ ns}$,

DEVICE

DESCRIPTION

CDC203	HEX INV CLOCK DRIVER ($V_{cc} = 3.3 \text{ V}$)
CDC204(-7)	HEX INV CLOCK DRIVER
CDC208(-7)	DUAL 1 TO 4 CLOCK DRIVER
CDC209(-7)	DUAL 1 TO 4 CLOCK DRIVER
CDC303	OCTAL DIVIDE BY 2 CLOCK DRIVER
CDC304	OCTAL DIVIDE BY 2 CLOCK DRIVER
CDC305	OCTAL DIVIDE BY 2 CLOCK DRIVER
CDC328A	HEX CLOCK DRIVER W. SEL. PHASE
CDC329A	HEX CLOCK DRIVER W. SEL. PHASE
CDC330	DUAL 1 TO 3, 1 TO 4 DIVIDE BY 2
CDC337	QUAD 1:1 / QUAD 1:2 CLOCK DRIVER
CDC339	QUAD 1:1 / QUAD 1:2 CLOCK DRIVER
CDC340	1-LINE TO 8-LINE CLOCK DRIVER
CDC341	1-LINE TO 8-LINE CLOCK DRIVER
CDC391	1- TO 6-LINE CLOCK DRIVER
CDC392	CDC 391 WITH CMOS OUTPUTS
CDC536	3.3 V PLL CLK DRIVER
CDC582	3.3V PLL LVPECL CLK DRIVER
CDC586	3.3-V PLL CLK DRIVER
CDC2536	CDC536 WITH SER RESISTORS
CDC2582	CDC586 WITH DIFF. LVPECL INPUS
CDC2586	CDC586 WITH SERIES RESISTORS
CDC9841	PC MOTHERBOARD SYNT/DRV
CDC9842	PC MOTHERBOARD SYNT/DRV
CDC9843	PC MOTHERBOARD SYNT/DRV

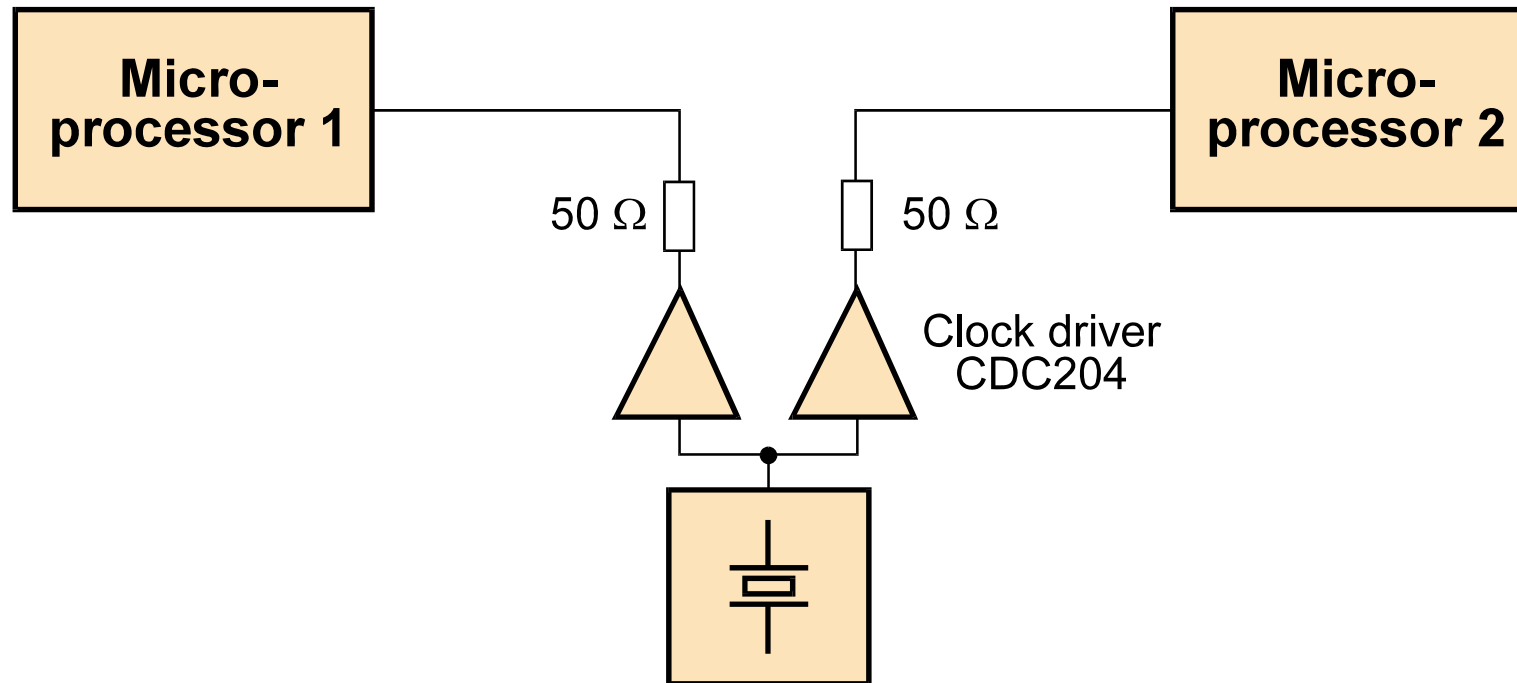


Reglas para el Diseño del Bus

- ★ Las líneas de Bus tienen muy baja impedancia ($Z_0 = 20...40 \Omega$).
- ★ Las líneas de Bus deben ser terminadas para prevenir reflexiones (distorsión de señal, mal función del circuito debido a sobrepicos).
- ★ Tenga en cuenta los tiempos de propagación ($\tau = 25 \text{ ns/m}$). El tiempo de establecimiento de señales en TTL Buses es $2 \times t_p$ (sin onda incidente de conmutación).
- ★ Tenga cuidado del trazado de las líneas de control (clock, read, write, etc.).
- ★ Provea Blindaje entre las líneas de control y las líneas Address/Data
- ★ Un Bus multiplexado de Data/Address reduce los problemas de diseño (50% menos de líneas de señal y 50% menos de líneas de drivers).
- ★ La corriente de salida del Driver es 100 mA/línea. Provea una impedancia GND adecuada y baja para el camino de retorno a tierra (conmutaciones simultaneas)!
- ★ Regla de tumba: 25% de todos los pines de los conectores del “backplane” tienen que ser líneas de conexión de tierra !
- ★ Use placas multicapa con capa de tierra y capa de alimentación separadas para “backplanes”.

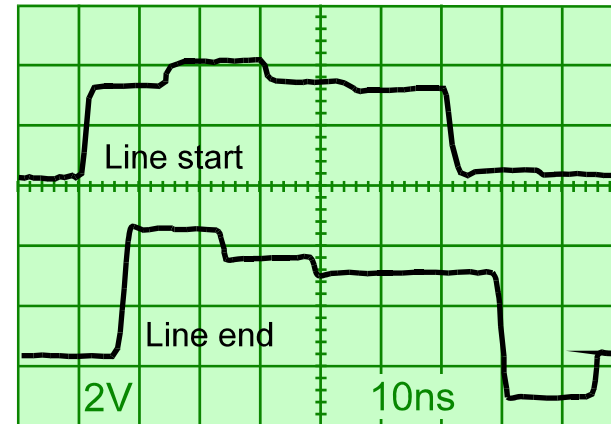
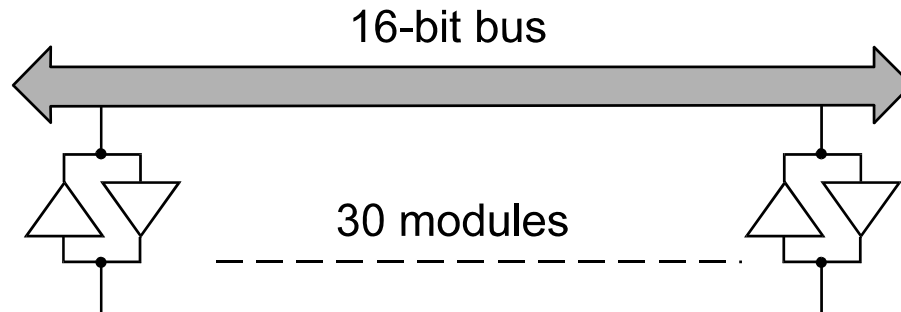


Solución de Diseño 1



- ★ Cuidado para definir bien las impedancias y drivers de los relojes con el menor “Skew”.
- ★ Adapte las impedancias de salida de los drivers de reloj a la impedancia de línea usando resistencias para evitar sobrepicos.

Solución de Diseño 2



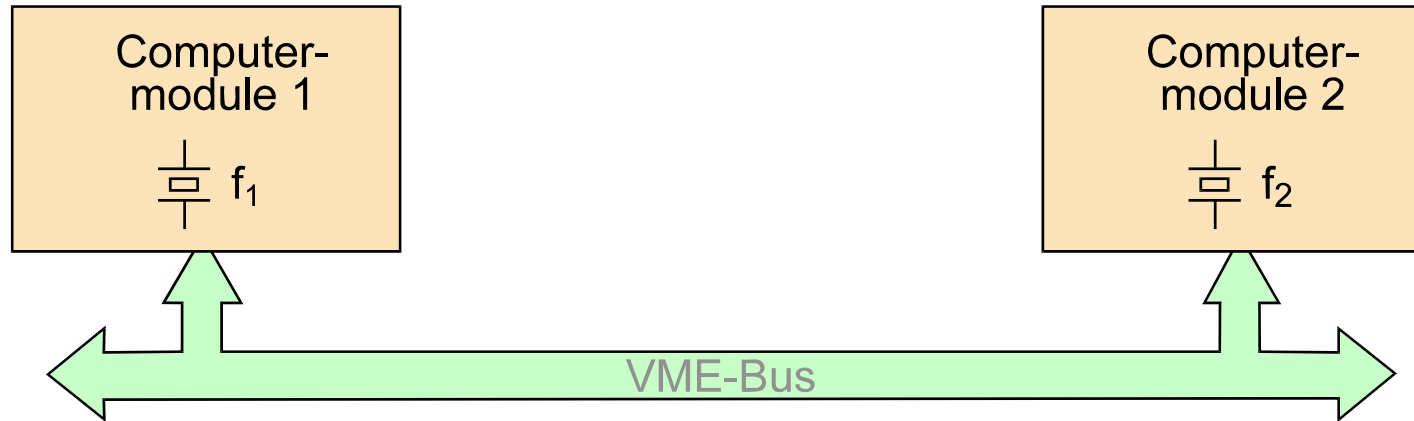
- ★ La integridad de la señal está ahora garantizada por conmutación de onda incidente.
- ★ La disipación de potencia del sistema se ha reducido enormemente:

2 x ABT25245 transmitter	$I_{CC} = 20.5 \text{ mA}$
2 x ABT25245 receiver	$I_{CC} = 20.5 \text{ mA}$
56 x ABT25245 3-state	$I_{CC} = 28.0 \text{ mA}$
total	$I_{CC} = 69.0 \text{ mA}^*)$

*) Consumo de potencia adicional podría ser causada por requerimientos de baja impedancia de terminación.

Se Recomendaba terminación divisor 60Ω 80Ω para ambos extremos.

Problema de Diseño 3: Una solución ?



- ★ La reducción de la frecuencia del reloj en el modulo 2 provee unos pocos nanosegundos mas de tiempo de establecimiento en la sincronización del circuito. Por lo tanto reduce la probabilidad de un estado metastable para una cierta extensión.
- ★ Una evaluación del promedio de falla real (1 falla/semana? 1 fall/año) es ahora casi imposible.
Por lo tanto un diseño cuidadoso (circuitos de tiempo de sincronización) y una selección adecuada de los circuitos integrados (SN74AS, SN74ABT, SN74F, SN74AC) es más que necesaria.