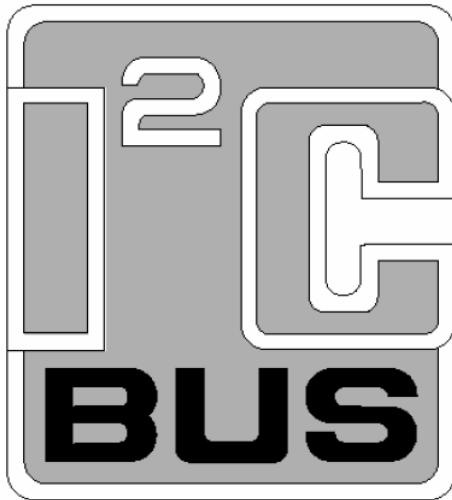




I²C Bus

Massimiliano Pieraccini

Philips

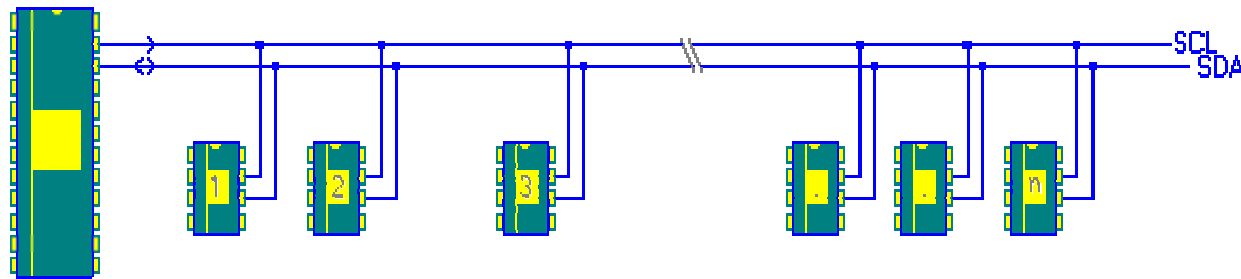


Inter IC Bus

Bus seriale sincrono

	speed	length	nodes
I ² C	100 kbit/s	2m	20
I ² C fast mode	400 kbit/s	2m	20
I ² C with buffer	400 kbit/s	100m	∞
I ² C high speed	3.4 Mb/s	0.5	5

Master



SCL = Serial Clock

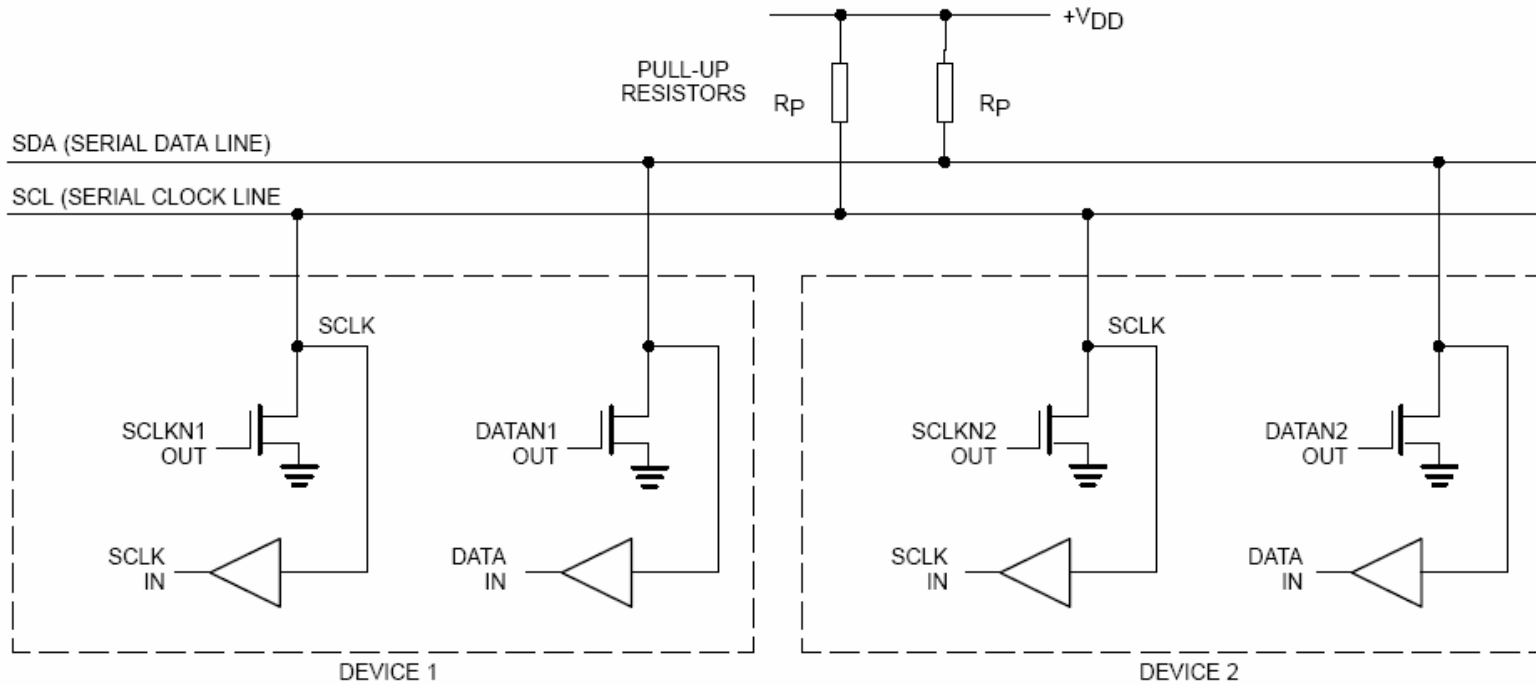
SDA = Serial Data

Slaves

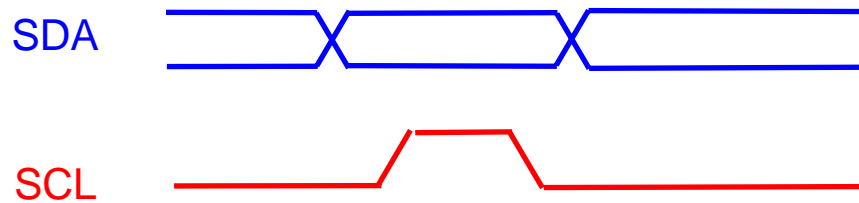
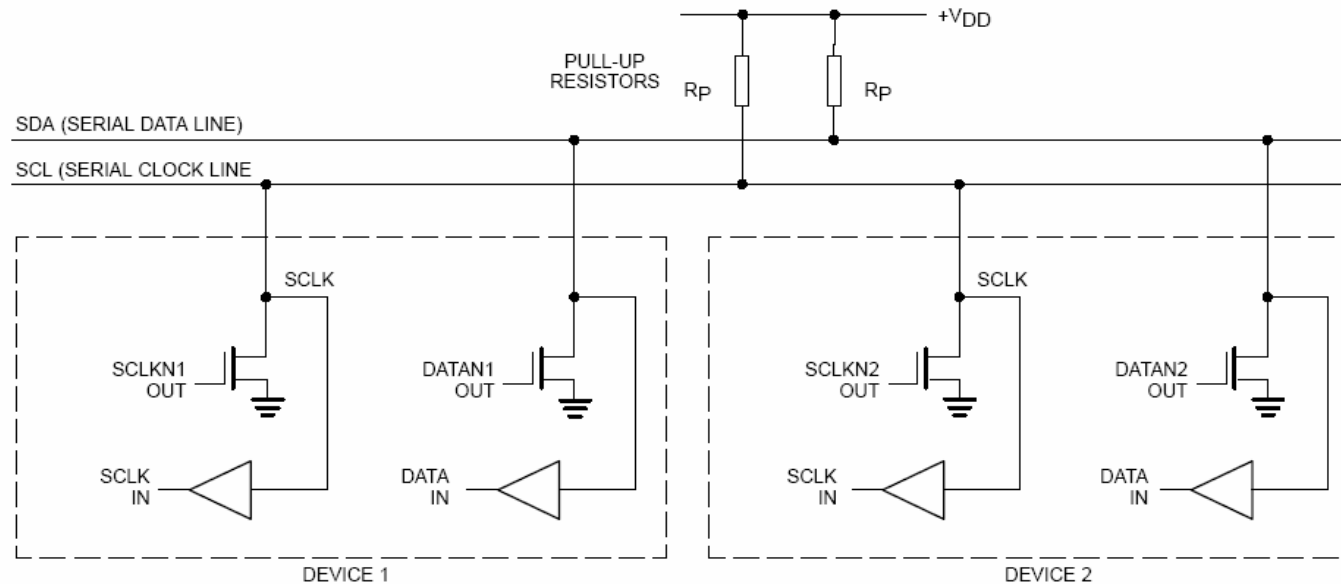
Tutte le comunicazioni avvengono tra Master e Slave,
non sono permesse comunicazioni tra slave

L'indirizzo è impostato hardware mediante pin
(collegati a massa o all'alimentazione mediante resistenze di pull-up)

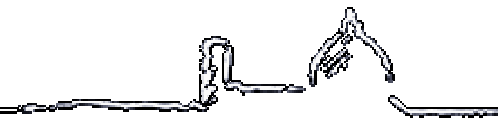
L' hardware I²C



L' hardware I²C



Quando SCL sia chi scrive e sia chi legge, leggono la linea SDA
(anche chi scrive controlla che su SDA ci sia il dato che
effettivamente voleva scrivere)



In generale i dati sono validi quando il SCL è alto, quando il SCL è alto SDA non deve variare, ad eccezione di quando il Master richiede il bus

Inizializzazione

Il Master richiede il bus



START

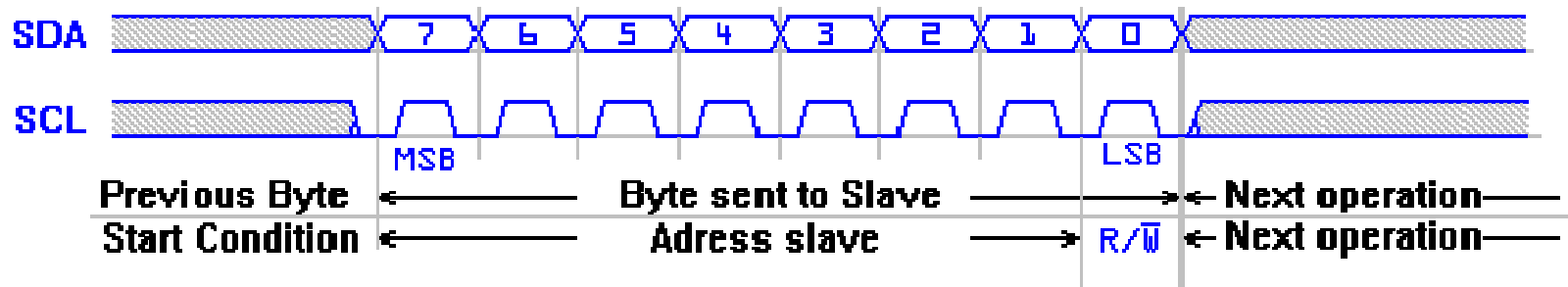


STOP

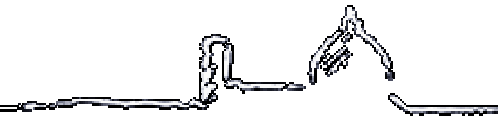


Indirizzamento

Il Master invia l'indirizzo (7 bit) e la richiesta R/W (1 bit)



Alcuni indirizzi sono riservati per scopi particolari
(ad esempio: 00000000 per comunicare con tutti i dispositivi).



ACK

Dopo l'ottavo bit di indirizzo il Master abbassa SCL alza la linea SDA quindi alza SCL per controllare cosa c'è in SDA

Lo Slave che si riconosce nell'indirizzo manda la linea SDA bassa (se riconosce il flag R/W è R successivamente prende il controllo del SCL e immette dati in SDA)

Se il Master legge la linea bassa (pur avendola posta alta), ne deduce che lo slave indirizzato ha risposto (se è in stato W controllando il clock invia il byte successivo, se è in R aspetta di leggere il byte che lo slave invierà)



Il Master invia i dati o legge i dati dello slave
I dati sono raggruppati in byte (8 bit)

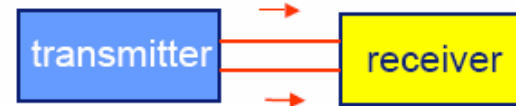
Al termine di ogni byte il ricevitore dà l'ACK

Write data

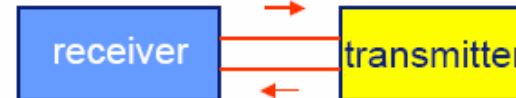


Master

Slave

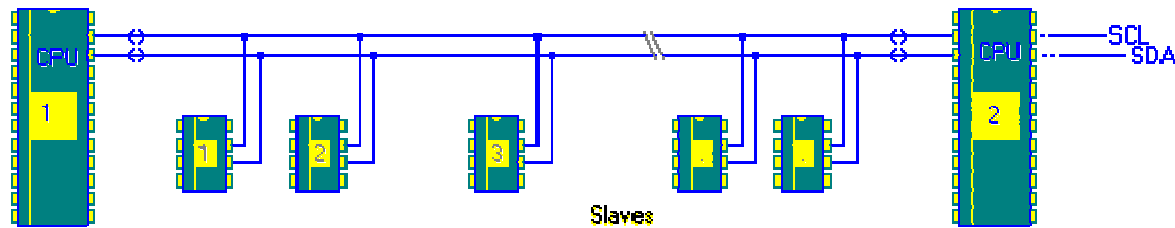


Read data

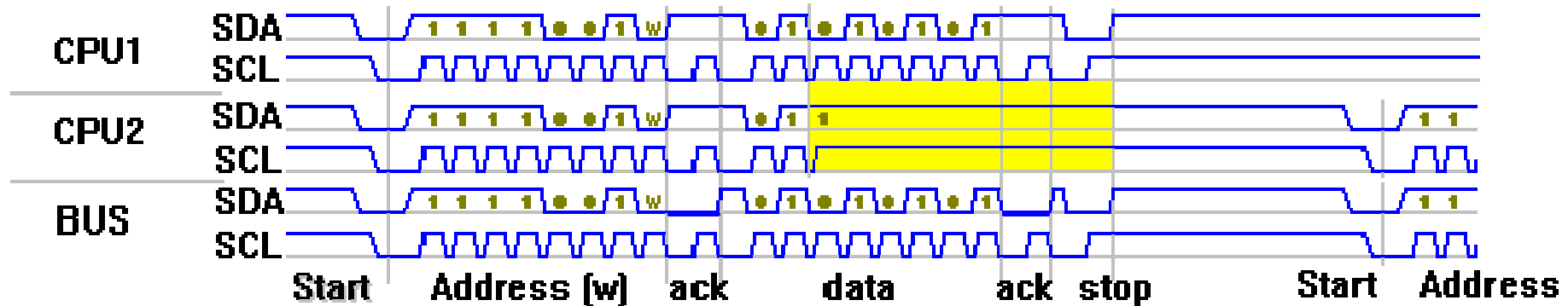


S = Start condition
A = Acknowledge
P = Stop condition

R/\overline{W} = read / write not
 \overline{A} = Not Acknowledge

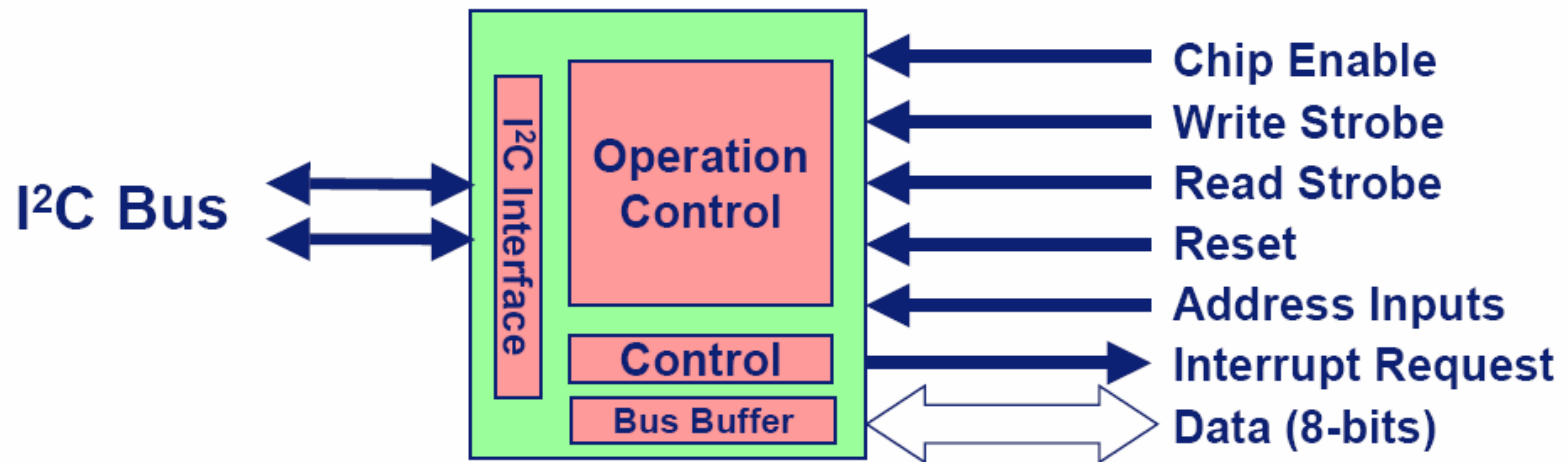


Regola di arbitraggio: se un Master rivela la linea SDA bassa quando la impone alta, perde il diritto di accedere al bus e aspetta il prossimo segnale di STOP nel bus prima di provare a prendere il controllo del bus inserendo un segnale di clock

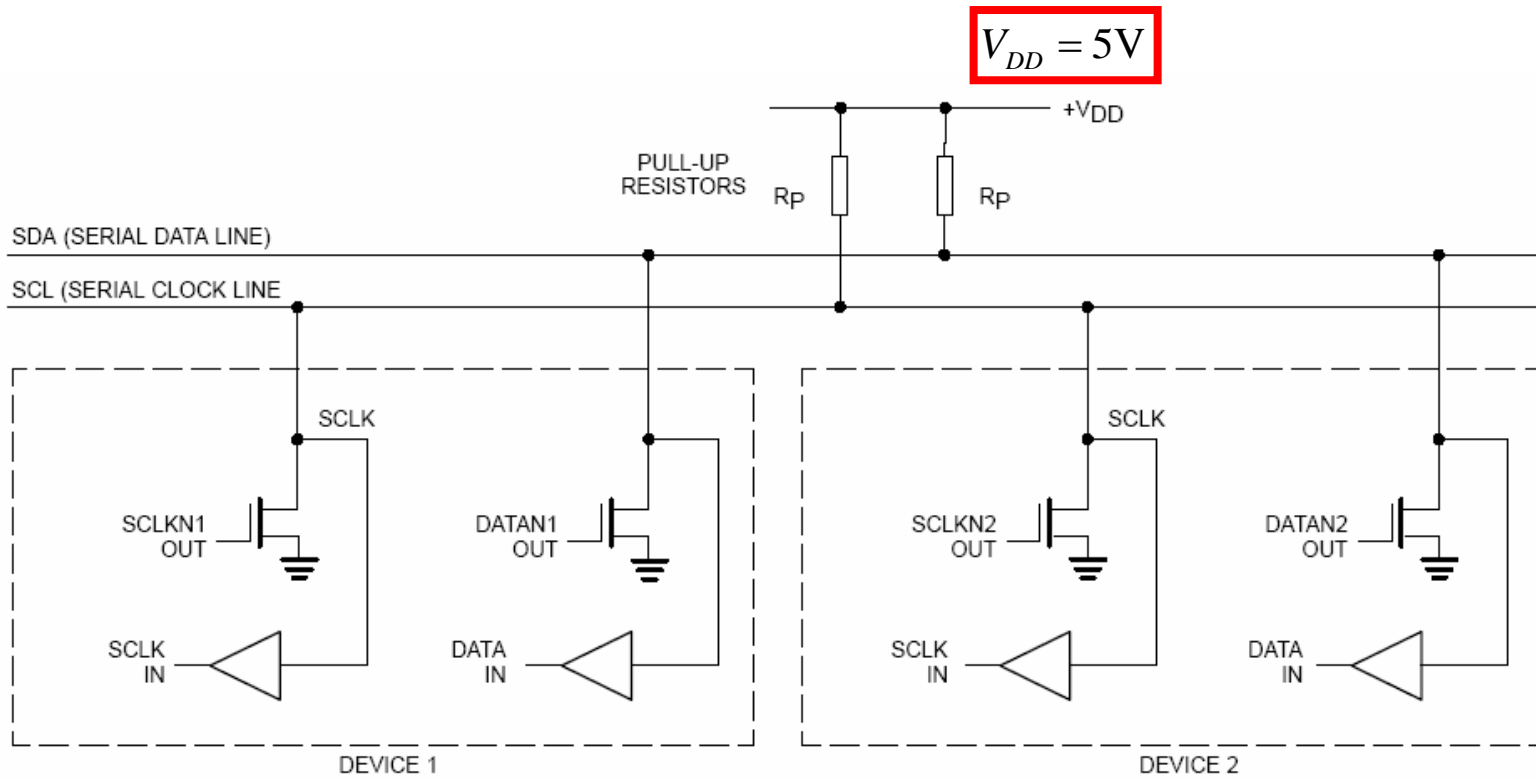


Nota: quando più di un master comanda la SCL la durata dello stato alto è l'AND degli stati alti di tutti i segnali di clock (**creazione cooperativa del segnale di clock**)

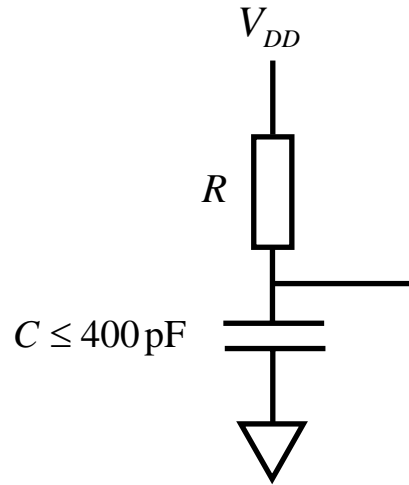
Chip Interface I²C Bus – Bus Paralelo



L' hardware I²C



$$I_{\text{sink}} < 3mA$$



$$R = \frac{V_{DD}}{I_{\text{sink}}} = \frac{5V}{3mA} = 1.6k\Omega$$

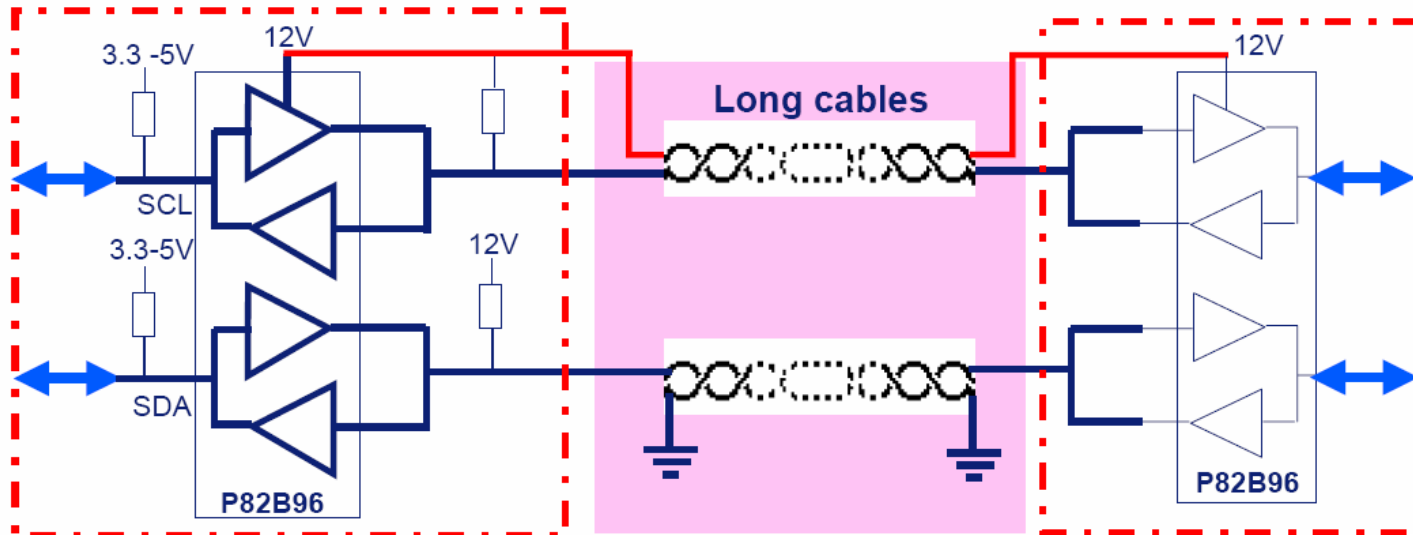
$$t_{\text{rise}} \approx RC = 0.6\mu s$$

$$T \approx (0.6\mu s) \times 10 \times 2 \approx 10\mu s$$

$100kbit / s$

Fast Mode $400kbit / s$

Per pilotare capacità maggiori di 400pF mantenendo la stessa velocità
è necessario impiegare dei driver



$$L \leq 50\text{m} \quad 85\text{kHz}$$

$$L \leq 1\text{Km} \quad 31\text{kHz}$$

