

REALIZZAZIONE DI SISTEMI DI ELABORAZIONE NUMERICA DEI SEGNALE

CARATTERISTICHE DEGLI ALGORITMI E DEI SISTEMI DI ELABORAZIONE NUMERICA DEI SEGNALI

- **Operazione tipica dei sistemi di elaborazione numerica dei segnali:**
somma di prodotti

FIR - Convoluzione discreta

IIR - Equazione alle differenze

DFT - Dalla definizione

FFT - Farfalla

- **Caratteristiche tipiche (che in particolare li differenziano dagli algoritmi e sistemi generali di elaborazione dei dati)**
 - **Necessità di molti calcoli di tipo ripetitivo e limitato**
 - **Indipendenza dai dati del tipo di operazioni da eseguire (tipic. no 'if')**
 - **Esecuzione in tempo reale, in modo da produrre il risultato prima della disponibilità dei dati successivi**

Di conseguenza, anche se un calcolatore “*general purpose*” può essere impiegato per realizzare sistemi di elaborazione numerica dei segnali (per esempio nella loro simulazione o in fase di progetto e di messa a punto), è più adatto l’impiego di architetture HW/SW specifiche

ELEMENTI DI VALUTAZIONE DELLA COMPLESSITA' REALIZZATIVA

**Complessità
realizzativa**

```
graph TD; A[Complessità realizzativa] --> B[Parte aritmetica  
(elementi di valutaz.)]; A --> C[Parte di controllo  
(difficilmente valutabile a priori)]; B --> D[Operazioni elementari]; B --> E[Memorie]; D --> F[Moltiplicazioni]; D --> G[Addizioni]; E --> H[Coefficienti]; E --> I[Risultati];
```

**Parte aritmetica
(elementi di valutaz.)**

**Parte di controllo
(difficilmente
valutabile a priori)**

**Operazioni
elementari**

Memorie

Moltiplicazioni

Addizioni

Coefficienti

Risultati

■ Parametri per la valutazione della complessità

f_c ,	frequenza di campionamento
M ,	numero di moltiplicazione (reali) per campione di uscita
A ,	numero di addizioni (reali) per campione di uscita
B_i ,	numero di bit dei campioni di ingresso
B_u ,	numero di bit dei campioni in uscita
B_c ,	numero di bit dei coefficienti
B_m ,	numero di bit dei risultati intermedi
N_c ,	numero dei coefficienti
N_m ,	numero delle celle di ritardo (memorie)

■ Scelta degli operatori elementari

- L'unità aritmetica deve essere capace di eseguire almeno:

Mf_c moltiplicazioni/s

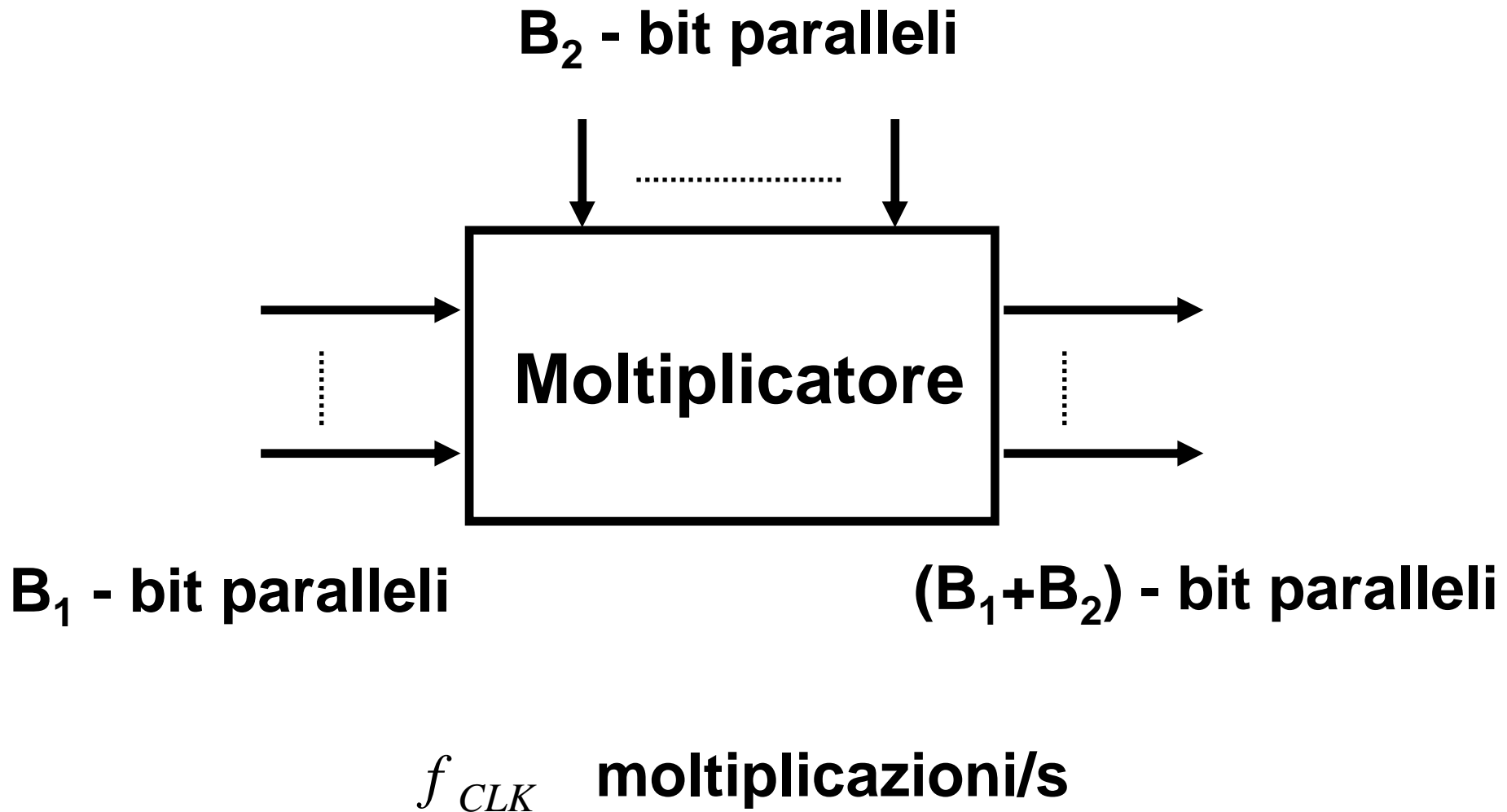
Af_c addizioni/s

- Le memorie devono avere una capacità di almeno:

$N_c B_c$ bit per i coefficienti

$N_m B_m$ bit per i risultati intermedi

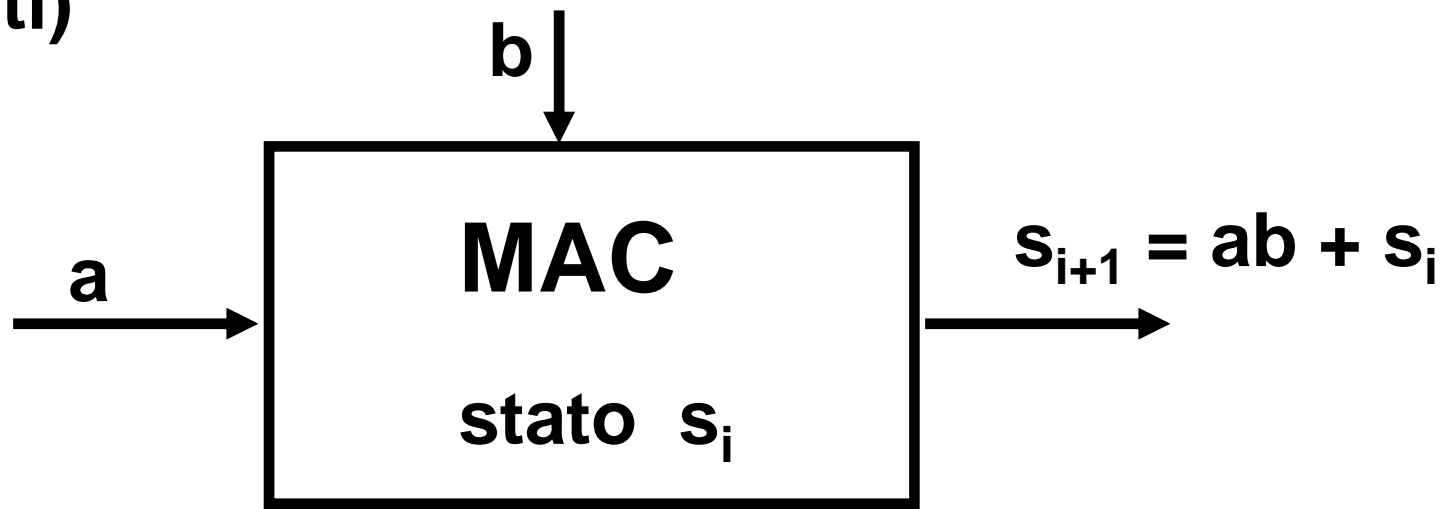
Moltiplicatore parallelo



MAC (Multiplier - Accumulator)

In un ciclo esegue il prodotto di due numeri e lo somma al contenuto della sua memoria.

Particolarmente adatti per realizzare somme di prodotti (dopo S cicli con S n. tot. di somme di prodotti)



Memorie

Coefficienti (fissi): ROM, PROM, EPROM

Risultati: RAM, Registri a scorrimento

**Tempi di accesso: Compatibili con le
operazioni di lettura,
scrittura e trasferimento
eseguite dall'algoritmo**

Circuiti ausiliari

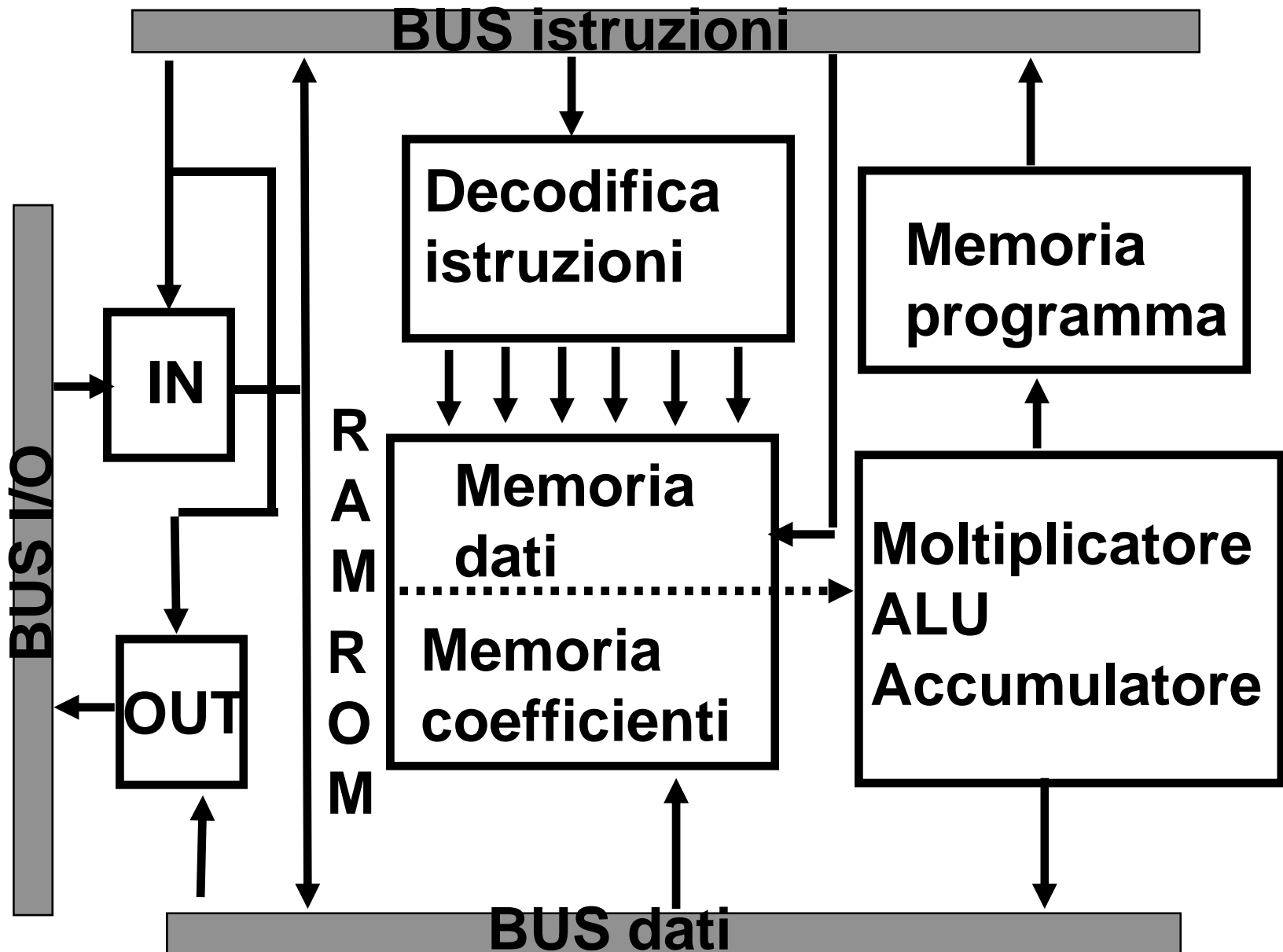
Arrotondamento: si somma un “1” nella posizione del primo bit da eliminare e si tronca il risultato

Circuiti di controllo: porte logiche, flip-flop, contatori, registri

DIGITAL SIGNAL PROCESSOR (DSP)

Possono essere considerati dei microprocessori con un'architettura HW/SW particolarmente adatta alla realizzazione degli algoritmi e sistemi di elaborazione numerica dei segnali. Esistono con aritmetica in virgola fissa e in virgola mobile.

Architettura Harvard



- **Separazione memoria programma, memoria dati e memoria coefficienti**
- **Contemporaneamente:**
 - **esecuzione istruzione**
 - **caricamento e decodifica istruzione successiva**
 - **operazione di I/O (quando necessaria)**

PARAMETRI PER LA VALUTAZIONE DELLA COMPLESSITA' REALIZZATIVA

Parametri primari

- **Numero di moltiplicazioni al secondo**
- **Numero di addizioni al secondo**

Parametri secondari

- **Dimensione delle memorie**
- **Complessità circuiteria di controllo (più difficile da valutare quantitativamente prima della realizzazione)**

Obiettivo: scegliere algoritmo e architettura di sistema con la minore complessità

Osservazione

I parametri precedenti sono significativi per realizzazioni HW a componenti discreti e HW/SW (DSP).

Per realizzazioni specifiche (ASIC-Application Specific Integrated Circuit) mediante circuiti VLSI (Very Large Scale Integration) sono importanti anche altre considerazioni come: modularità, quantità e lunghezza delle interconnessioni, area silicio ecc.

REALIZZAZIONE MEDIANTE ARITMETICA DISTRIBUITA

**Prendiamo come esempio una sezione IIR
del 2° ordine**

$$y(n) = a_0 x(n) + a_1 x(n-1) + a_2 x(n-2) - b_1 y(n-1) - b_2 y(n-2)$$

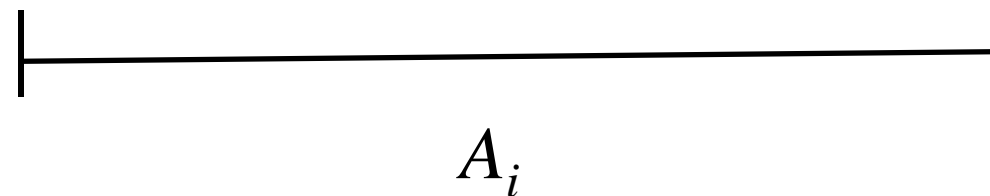
**Ingresso e uscita rappresentati in virgola fissa, forma
frazionaria e in complemento a 2 con B bit**

$$x(n) = \sum_{i=0}^{B-1} 2^{-i} x_i(n)$$

con $x_0(n) = 0 \text{ o } -1$ **a seconda del segno di** $x(n)$

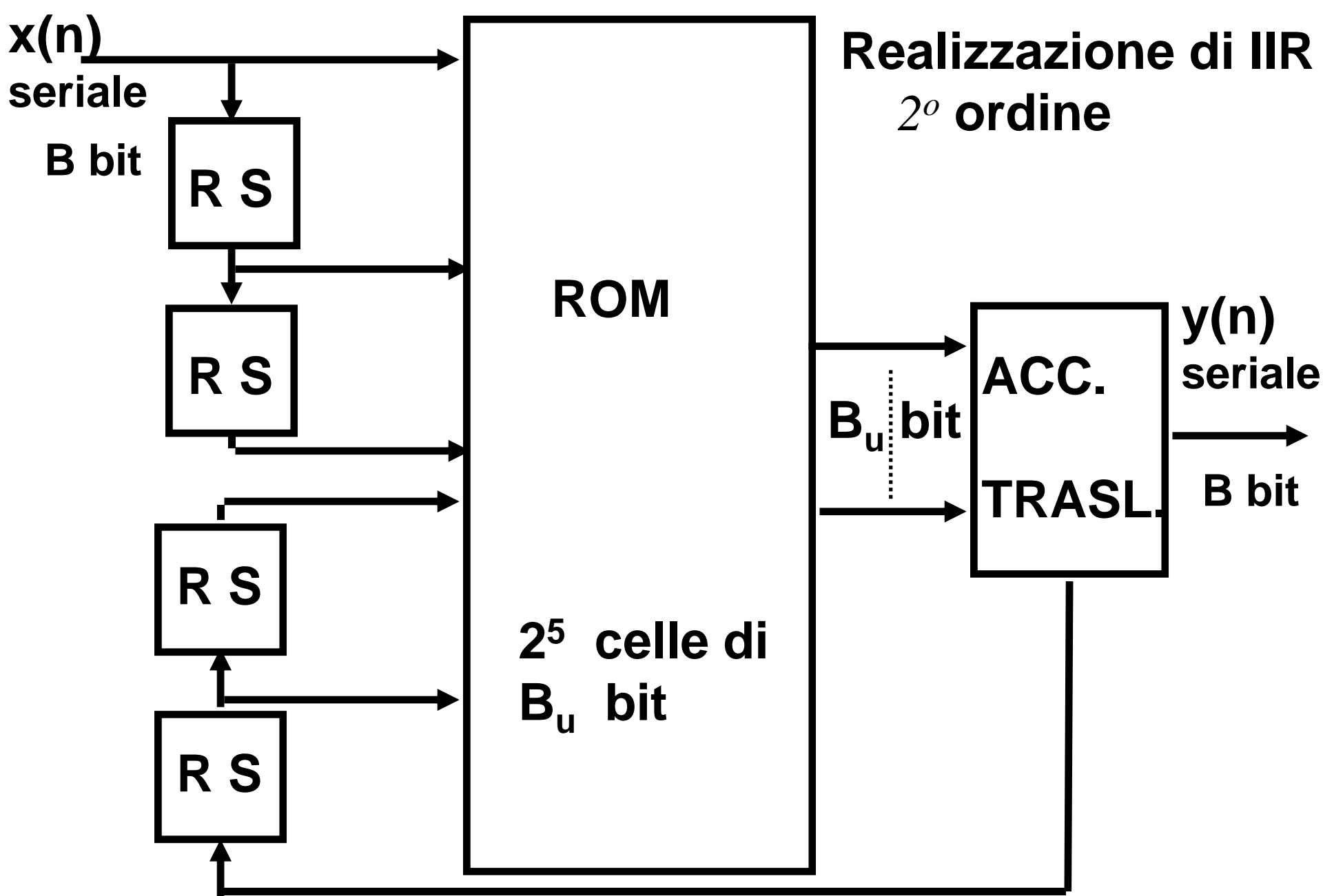
$x_i(n) = 0 \text{ o } 1$ **per** $i \neq 0$

$$y(n) = \sum_{i=0}^{B-1} 2^{-i} \left[a_0 x_i(n) + a_1 x_i(n-1) + a_2 x_i(n-2) - \right. \\ \left. b_1 y_i(n-1) - b_2 y_i(n-2) \right]$$



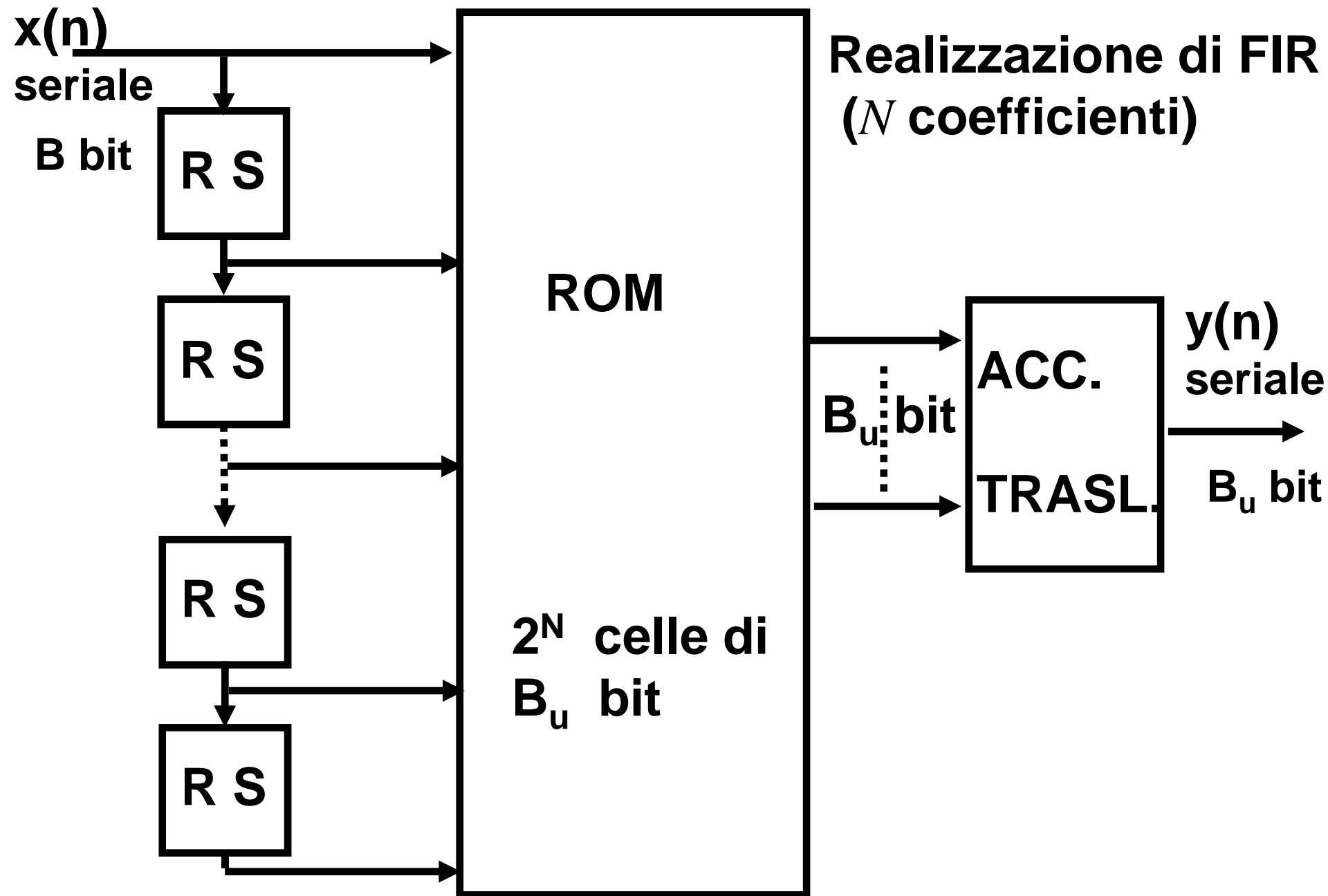
Le quantità A_i assumono $2^5 = 32$ possibili valori.

Possono essere rappresentate a B_u bit.



- RS registri a scorrimento (B bit)
- Dati in forma seriale a partire dal bit meno significativo
- I bit di posto i -esimo sono l'indirizzo della cella di memoria che contiene il valore A_i
- Le quantità A_i sono traslate e accumulate all'uscita della memoria e dopo B operazioni è ottenuto $y(n)$, quantizzato ai B bit

Clock del sistema: Bf_c



- **Ingresso seriale a B bit**
- **Uscita (seriale o parallela) a B_u bit**
- **Parole della memoria a B_u bit**
- **Memoria di 2^N celle di B_u bit**
- **Fattore limitante: dimensione della memoria per valori di N medio-alti**

OBIETTIVO DI PROGETTO

- **Progettare e realizzare un sistema di ENS con la minore complessità realizzativa**

Come?

- **Scelta della f_c (la minima possibile)**
- **Minimizzare la quantità di operazioni aritmetiche (in particolare le molt.)**
- **Ridurre la memoria necessaria**