

**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**



**BÁO CÁO THÍ NGHIỆM THIẾT KẾ VI MẠCH SỐ**

**GVHD: Bùi Lê Quốc Doanh**

**Lớp: L01 – GV.Lý thuyết: Trần Hoàng Linh**

Họ và tên	Mã số sinh viên
Nguyễn Thanh Toàn	2014777

**Thành phố Hồ Chí Minh, tháng 5 năm 2023**

THÍ  
NGHIỆM

THIẾT KẾ VÀ ĐO  
ĐẶC CÔNG NOT

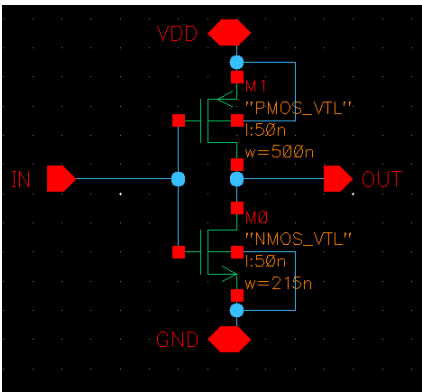


1.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ

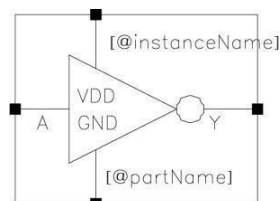
Bảng 3-1 Bảng sự thật của cổng NOT

A	Y
0	1
1	0

Sơ đồ nguyên lý & Ký hiệu cổng



Hình 1-1 Sơ đồ nguyên lý cổng NOT



Hình 1-2 Ký hiệu cổng NOT

## 1.2 THỰC HIỆN MÔ PHỎNG ĐÁP ỨNG DC

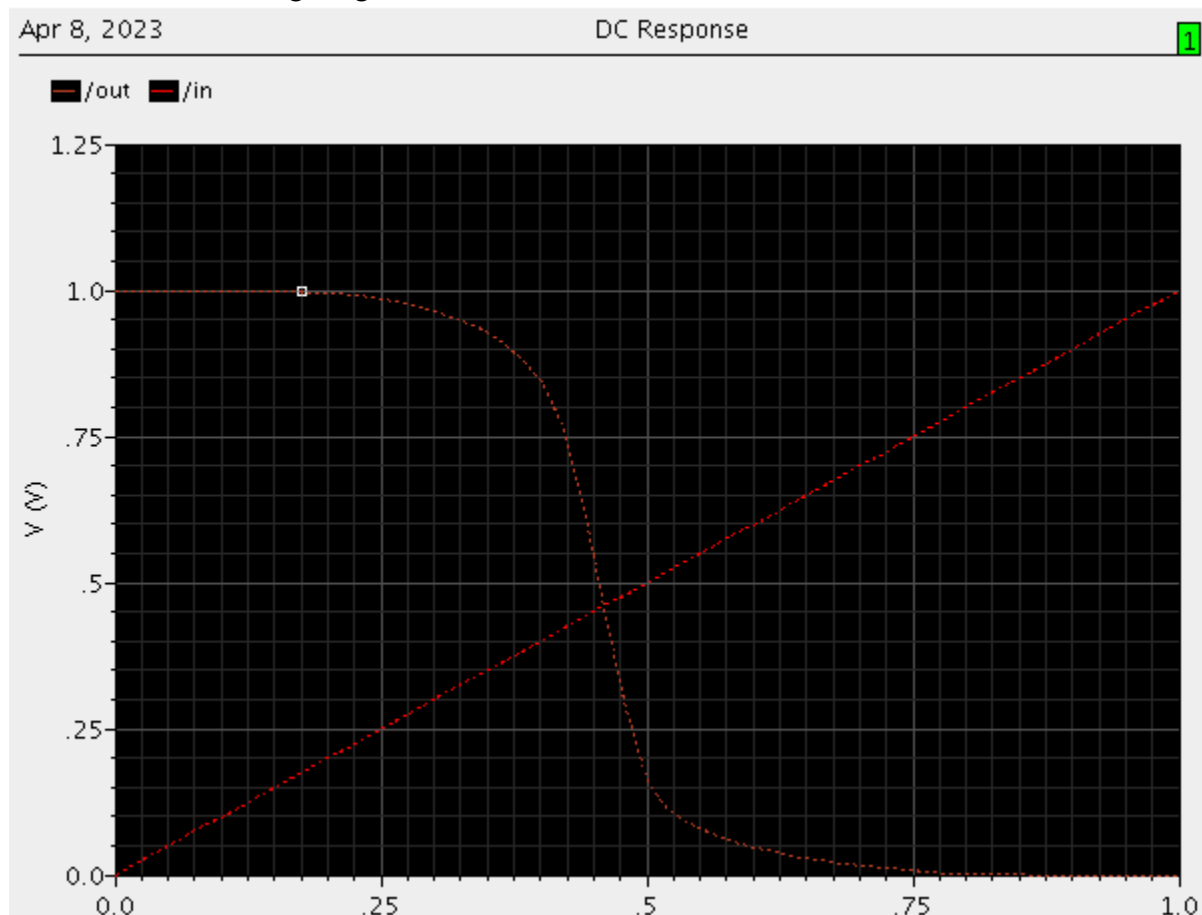
Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NOT, thực hiện cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Vin	0 V – 1V

Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:

Vin	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1.0
Vout	1	1	0.95	0.55	0.15	0.05	0.0025	0	0	0

Thực hiện vẽ lại dạng sóng Vout



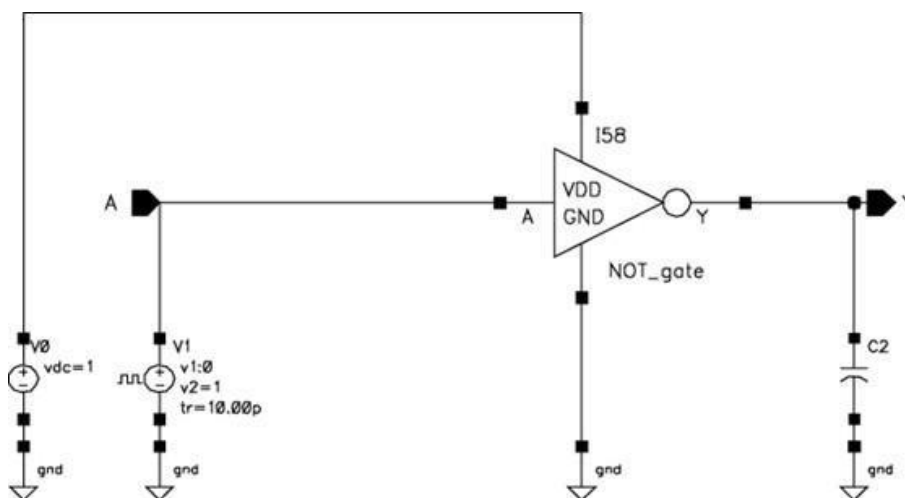
Có nhận xét gì về dạng sóng này từ đó giải thích hoạt động của mạch?

### 1.3 THỰC HIỆN MÔ PHỎNG ĐÁP ỨNG TRANSIENT

Sử dụng ADE L thực hiện mô phỏng theo thời gian (mô phỏng transient) để kiểm tra hoạt động theo bảng sự thật của cổng NOT, kết quả sẽ thu được dạng sóng như hình bên dưới, cùng với các thiết lập cho mạch testbench ở bảng 3-2. Tương tự cho các trường hợp kiểm tra hoạt động cho các cổng khác có nhiều chân ngõ vào hơn thì ta chỉ việc thêm các nguồn xung vào với các thông số thiết lập giống như trong trường hợp này và chỉ khác giá trị chu kỳ và độ rộng xung.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Voltage 1	0 V
Voltage 2	1 V
Rise time	0.001 ns
Fall time	0.001 ns
Delay	0 ns
Pulse width	1 ns
Period	2 ns

Mạch testbench và kết quả dạng sóng được trình bày trong hình dưới đây (hình 3-3, 3-4)



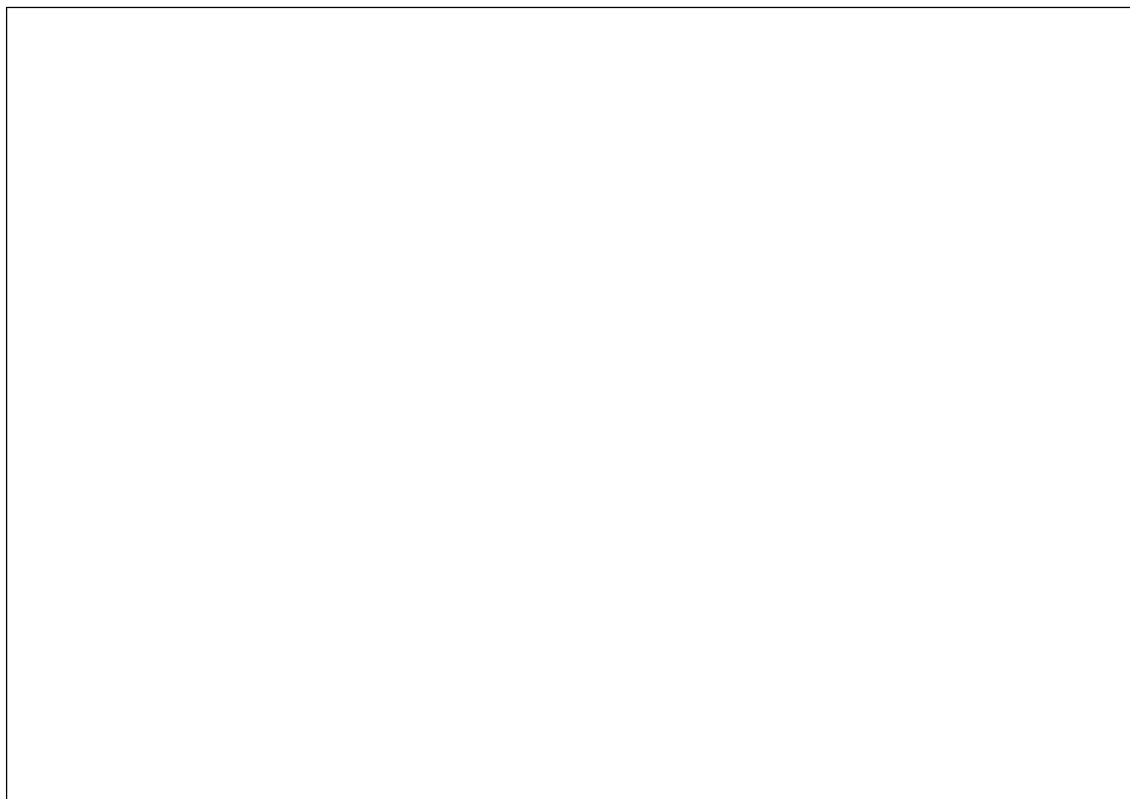
Mạch kiểm tra hoạt động của cổng NOT

Thực hiện đo những giá trị sau của đáp ứng ngõ ra:

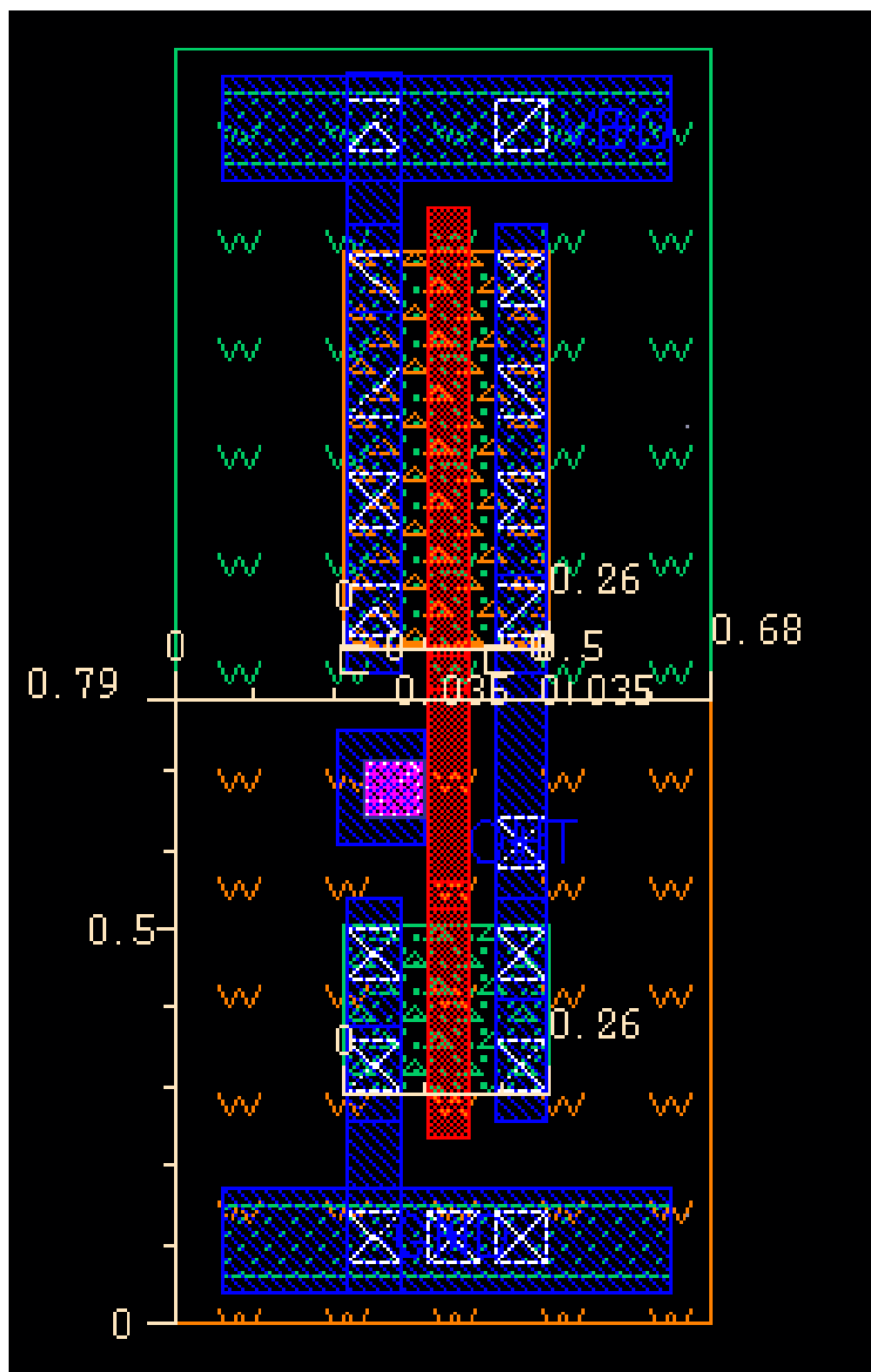
Thông số	Kết quả
Trise – Rising Time (20% - 80%)	15.26E-12
Tfall – Falling Time (80% - 20%)	15.26E-12
Trise – Rising Time (10% - 90%)	22.14E-12
Tfall – Falling Time (90% - 10%)	22.14E-12
Dynamic Power	$724.0E-9 - 9.07E-9 - 8.42E-9 = 715.83E-9W$
Switching Power	

#### 1.4 THỰC HIỆN VẼ LAYOUT CHO CỔNG NOT

- Hoàn thành stickdiagram



- Hoàn thành layout của cổng NOT



# THÍ NGHIỆM 2: THIẾT KẾ VÀ ĐO ĐẶC CỒNG NAND2, NOR2 VÀ ỨNG DỤNG THIẾT KẾ BỘ FULL-ADDER 4 BITS

## 2.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ CỒNG NAND2

Bảng 2-1 Bảng sự thật của cồng NAND2

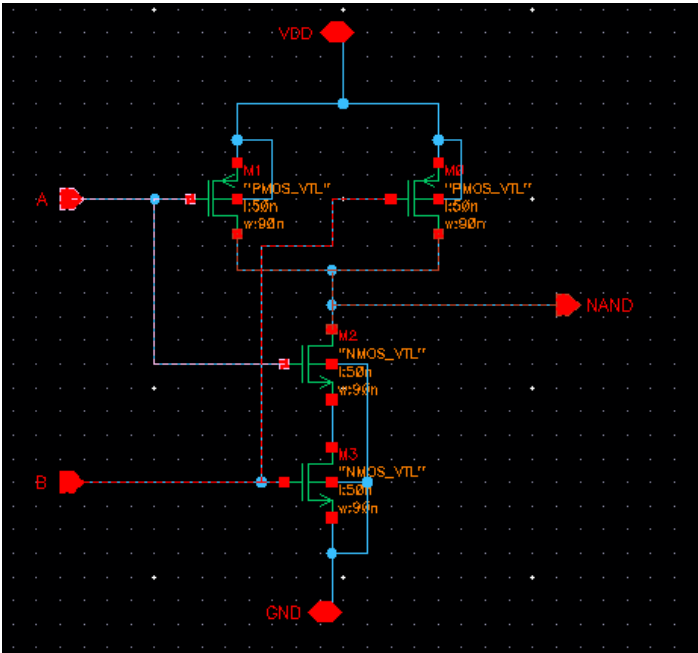
A	B	Y
0	X	1
X	0	1
1	1	0

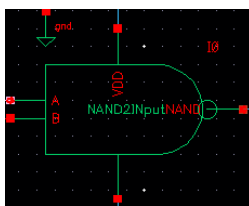
Bảng 2-2 Bảng giá trị kích thước của NMOS và PMOS

$W_n$	90nm
$L_n$	50nm
$W_p$	90nm
$L_p$	50nm

Sơ đồ nguyên lý & Ký hiệu cồng

Hình 2-3 Sơ đồ nguyên lý cồng NAND2





Hình 2-4 Ký hiệu cổng NAND2

## 2.2 MÔ PHỎNG ĐÁP DC CỔNG NAND2

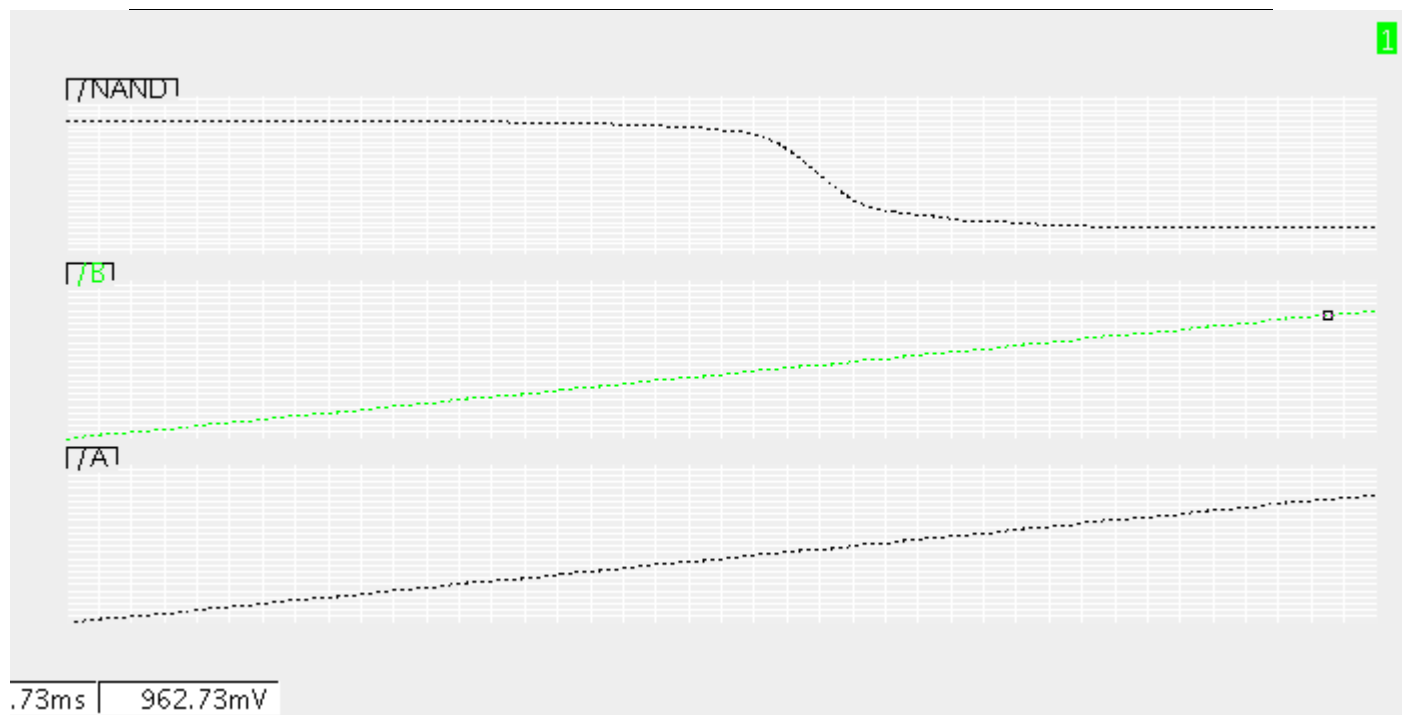
Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NAND2, thực hiện cấp tín hiệu input dạng xung RAMP tần điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Vin1	0 V – 1V
Vin2	0 – 1V

Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:

Vin1	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
Vin2	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
Vout	1	1	1	0.97	0.91	0.27	0.06	0.01	0	0

Thực hiện vẽ lại dạng sóng Vout

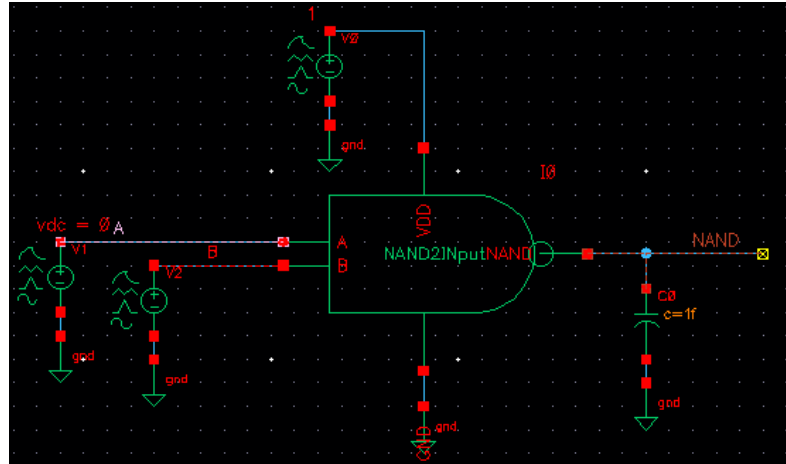


Có nhận xét gì về dạng sóng này từ đó giải thích hoạt động của mạch?

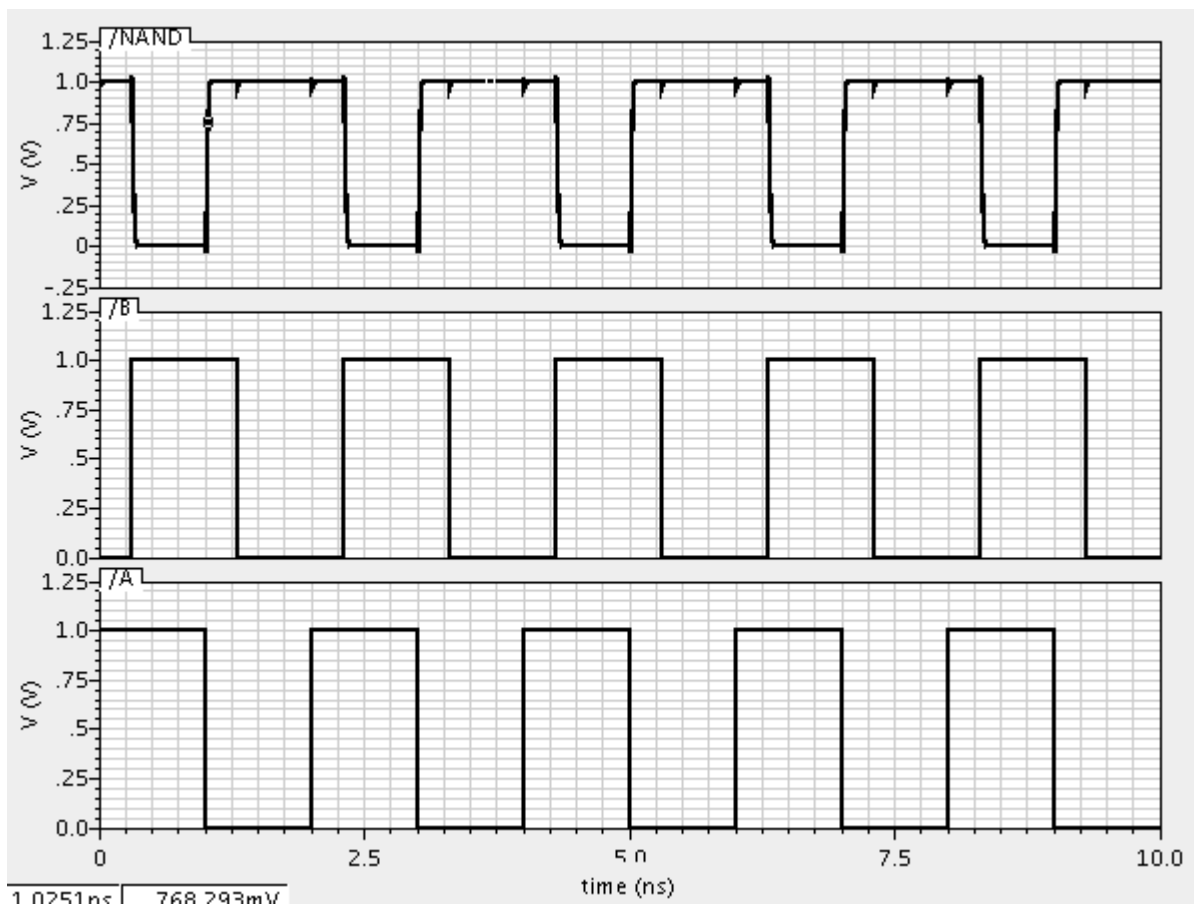


### 2.3 MÔ PHỎNG ĐÁP ỨNG TRANSIENT CÔNG NAND2

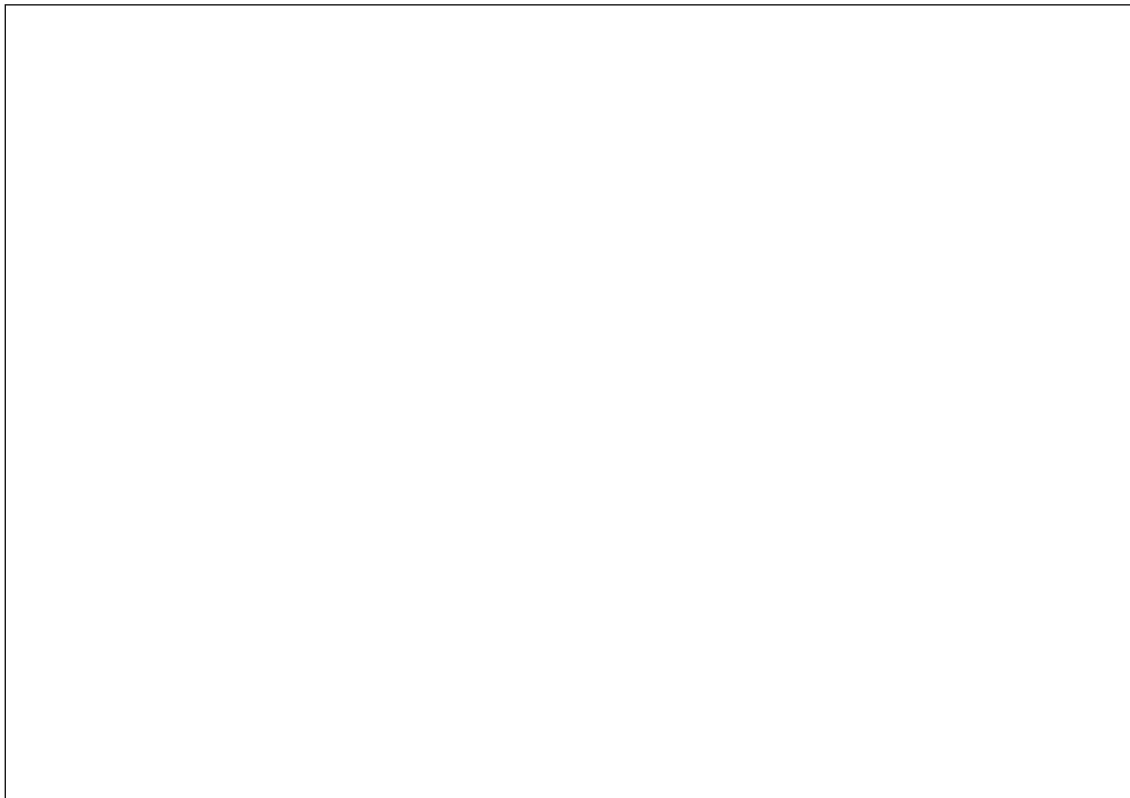
Sử dụng ADE L để kiểm tra hoạt động của cổng NAND2 với các thiết lập cho mạch testbench như sau:  $V_{dd} = 1\text{ V}$ ,  $C_{load} = 1\text{ f}$ , Vpulse cho ngõ vào A (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 1 ns, period = 2 ns), Vpulse cho ngõ vào B (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 2.5 ns, period = 5 ns) và thời gian mô phỏng transient là 8 ns. Mạch Testbench:



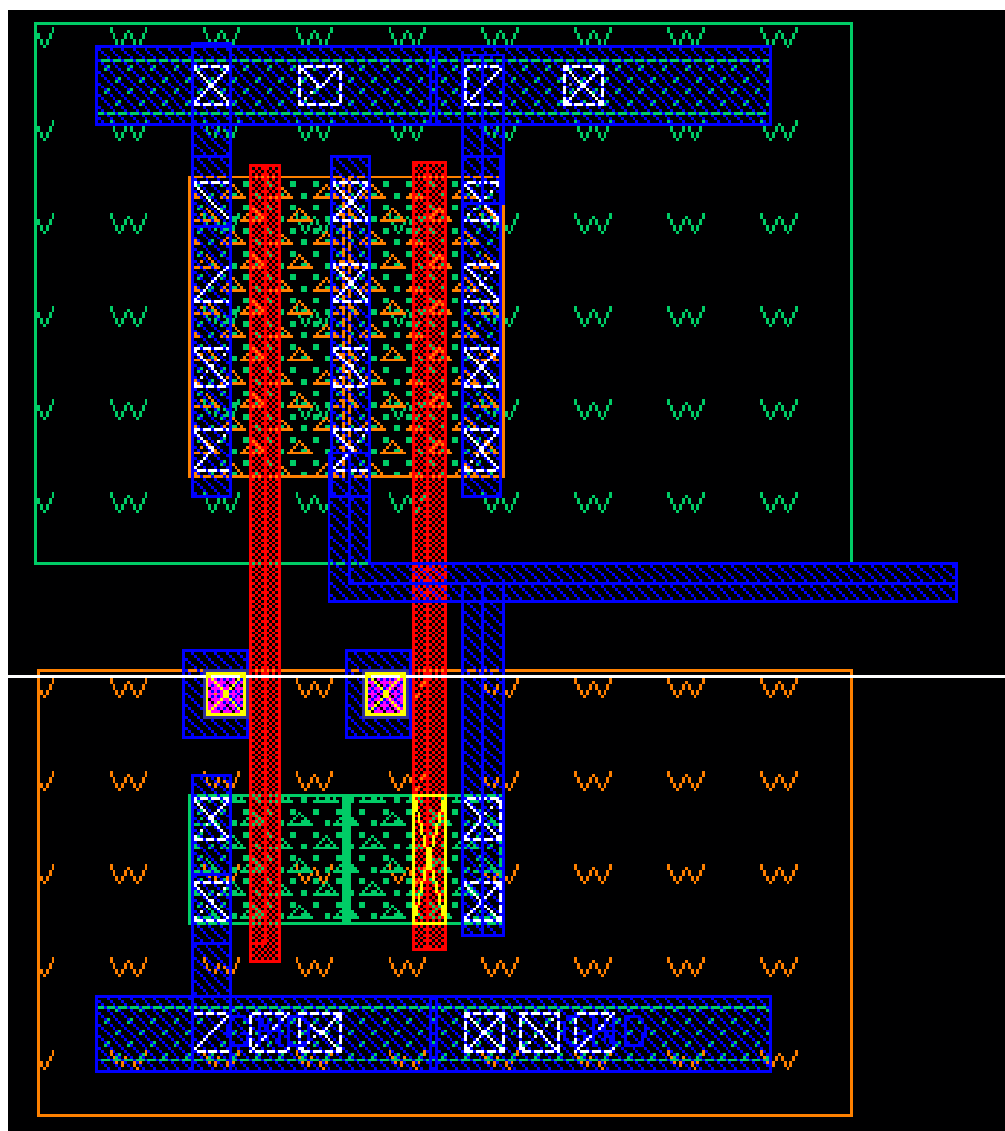
Hình 2-5 Mạch kiểm tra hoạt động của cổng NAND2



- Hoàn thành stick diagram



- Hoàn thành layout của cổng NAND



## 2.5 THỰC HIỆN TƯƠNG TỰ CÁC BƯỚC TRÊN CHO CỔNG NOR2

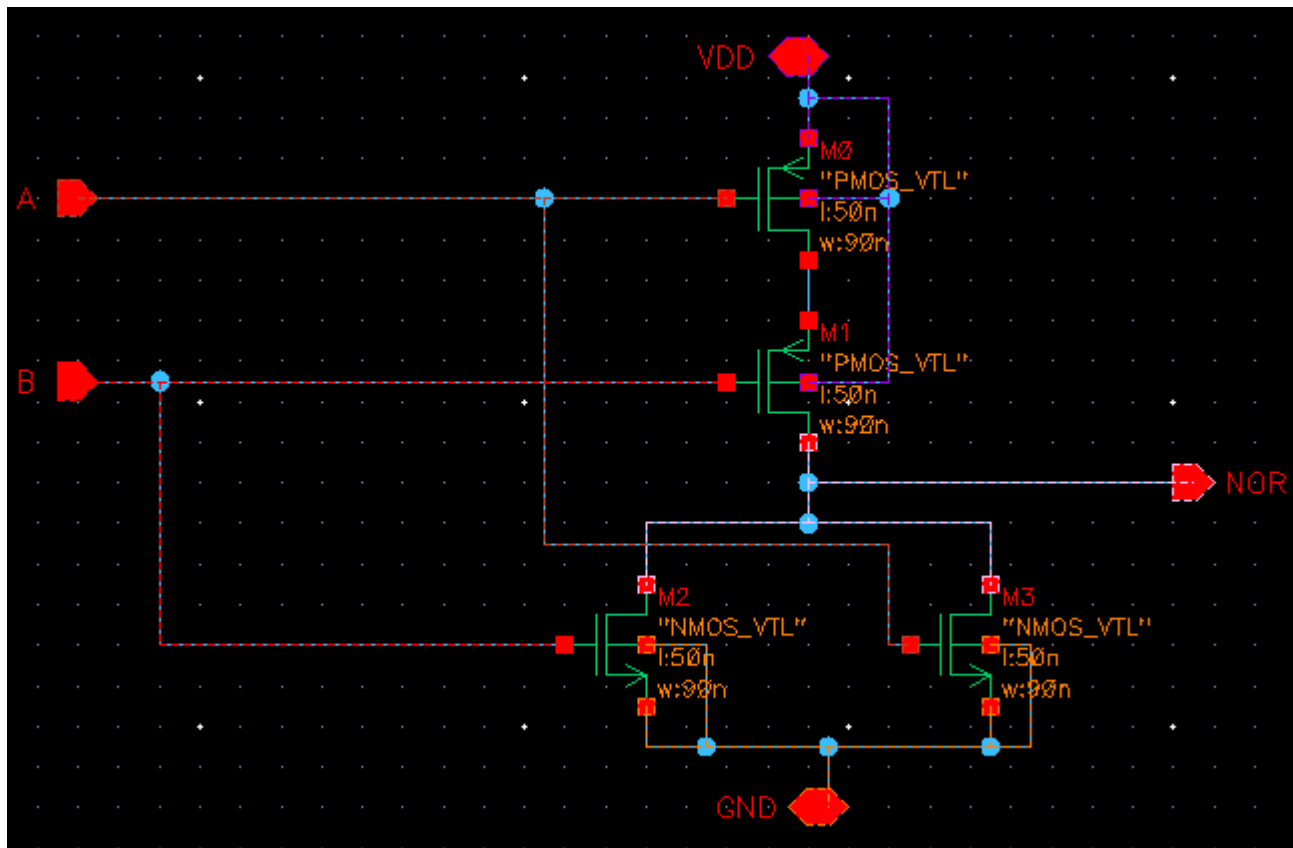
Bảng 2-1 Bảng sự thật của cổng NOR2

A	B	Y
1	X	0
X	1	0
0	0	1

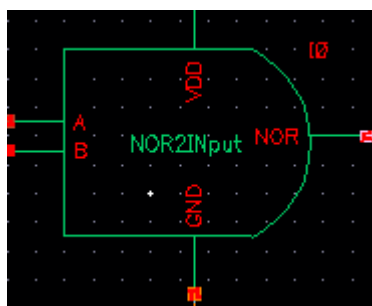
Bảng 2-2 Bảng giá trị kích thước của NMOS và PMOS

$W_n$	90nm
	50nm
	90nm
$L_p$	50nm

### Sơ đồ nguyên lý & Ký hiệu cổng



Hình 2-3 Sơ đồ nguyên lý cổng NOR2



### Ký hiệu cổng NAND2

### MÔ PHỎNG ĐÁP DC CỔNG NOR2

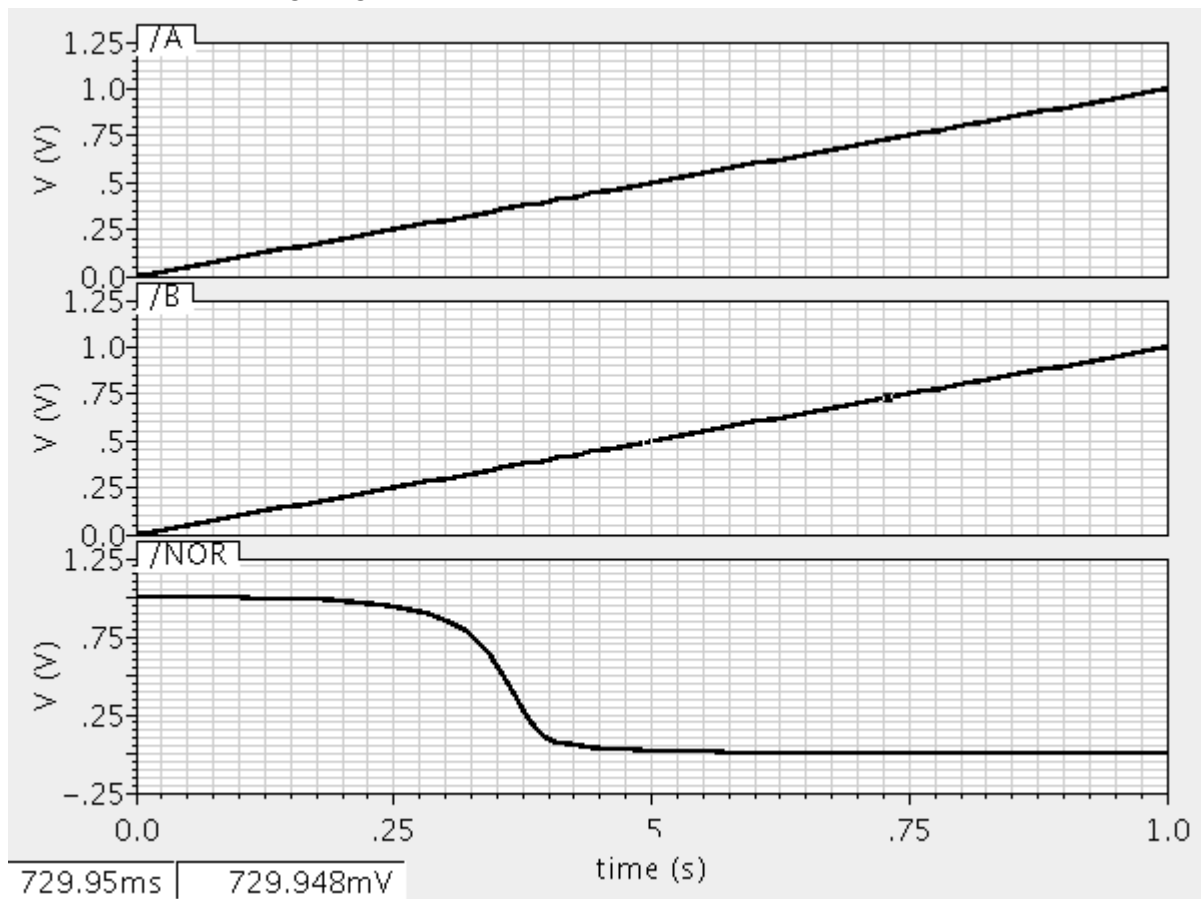
Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NOR2, thực hiện cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Vin1	0 V – 1V
Vin2	0 – 1V

Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:

A	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
B	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1
NOR	1	0.97	0.85	0.1	0.02	0.007	0.001	0	0	0

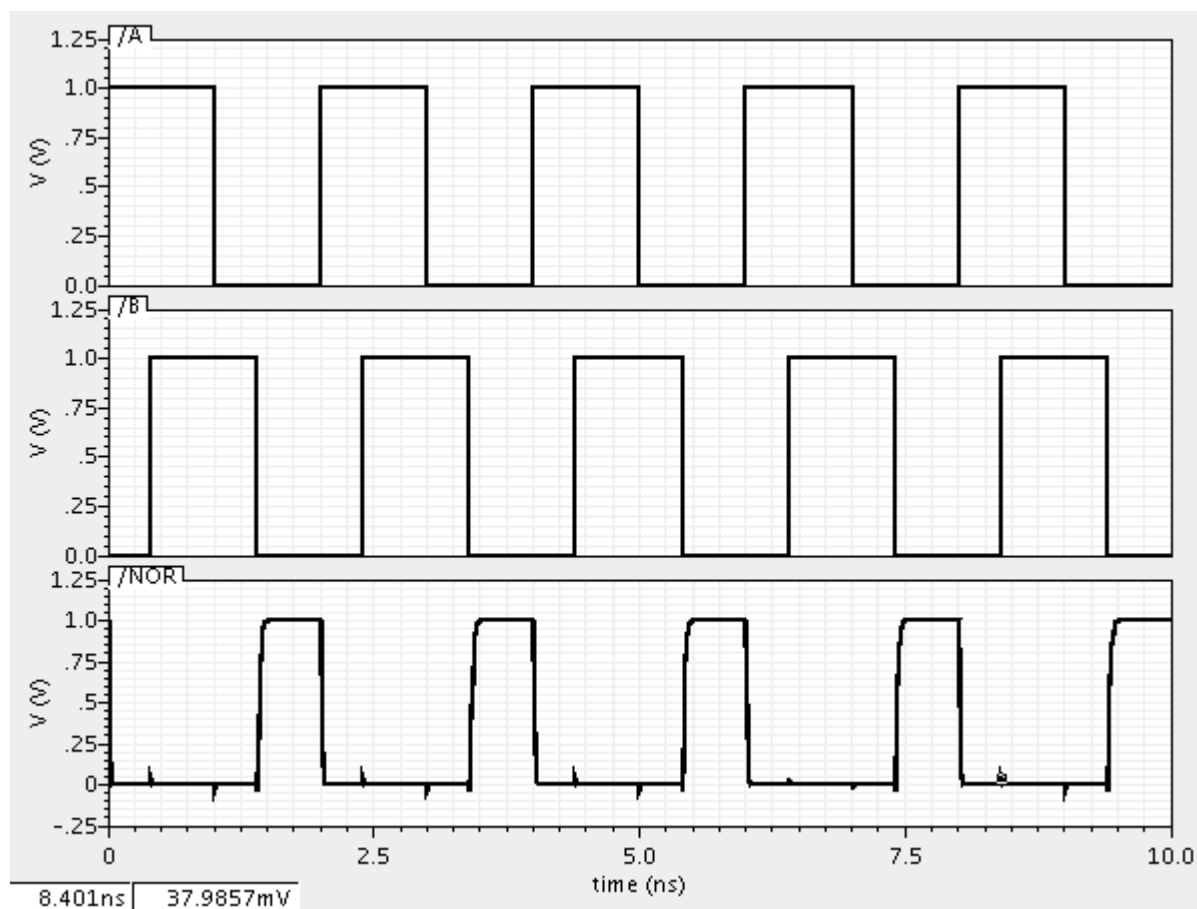
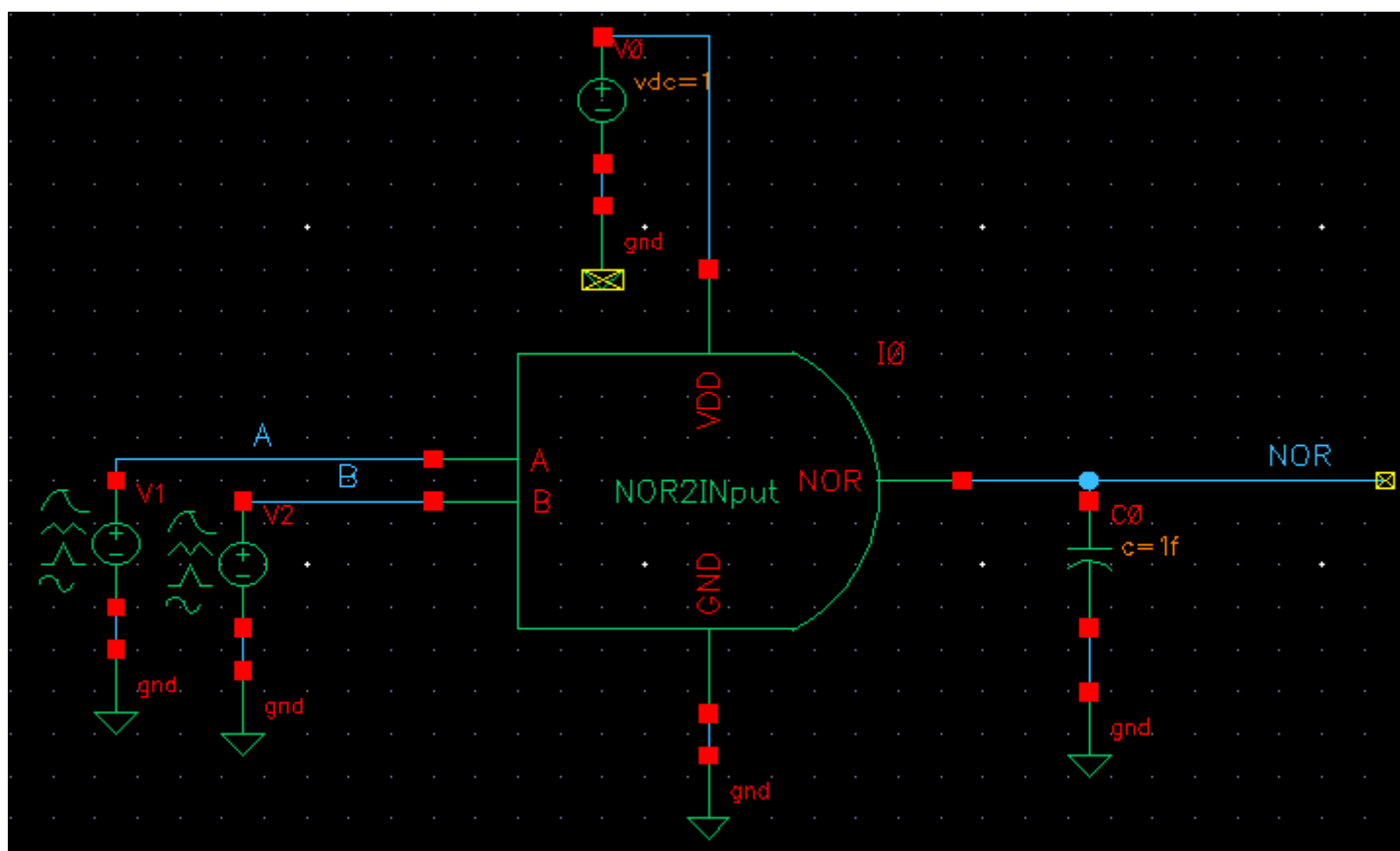
Thực hiện vẽ lại dạng sóng Vout



### MÔ PHỎNG ĐÁP ỨNG TRANSIENT CỒNG NOR2

Sử dụng ADE L để kiểm tra hoạt động của cổng NOR2 với các thiết lập cho mạch testbench như sau:  $V_{dd} = 1$  V,  $C_{load} = 1$  f,  $V_{pulse}$  cho ngõ vào A (voltage 1 = 0 V, voltage 2 =

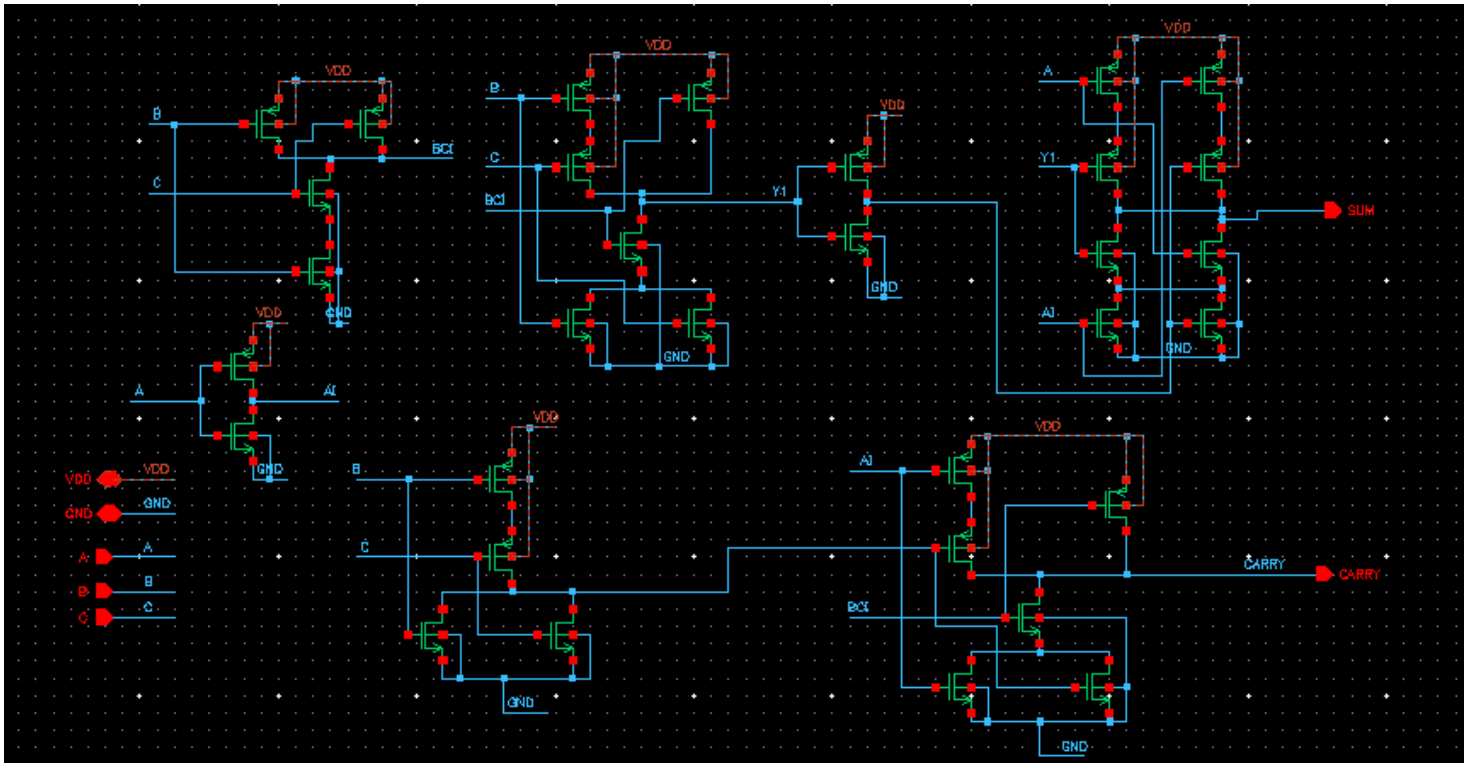
1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 1 ns, period = 2 ns),  $V_{pulse}$  cho ngõ vào B (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 2.5 ns, period = 5 ns) và thời gian mô phỏng transient là 8 ns. Mạch Testbench:

**Hình 2-5 Mạch kiểm tra hoạt động.**

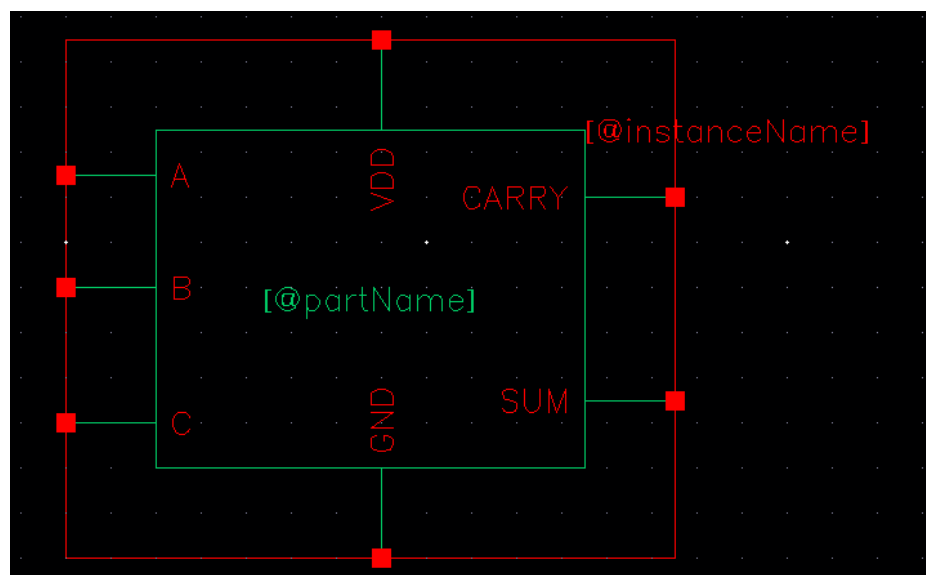
## 2.1 THIẾT KẾ BỘ FULL ADDER 4 BITS.

**Yêu cầu:** Dựa vào các cổng logic cơ bản đã thiết kế trong các thí nghiệm trước, thiết kế và mô phỏng một bộ Full adder 4 bit và trình bày kết quả schematic(transistor level), symbol và waveform.

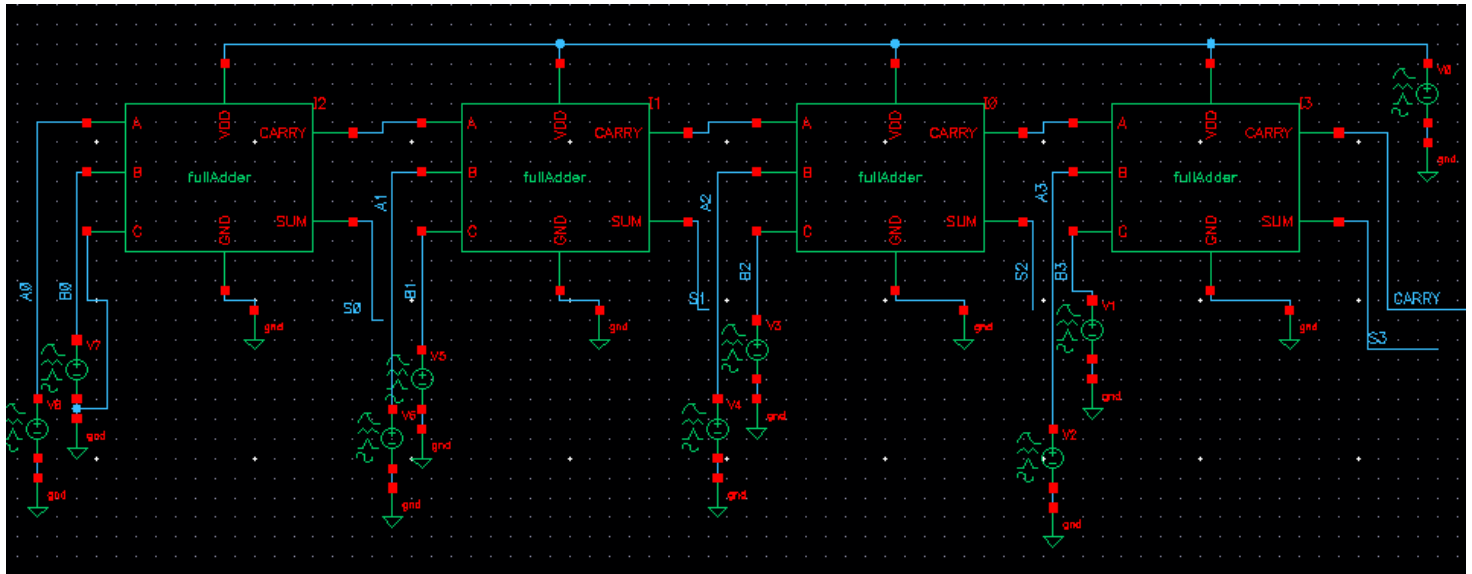
Thiết kế Schematic:



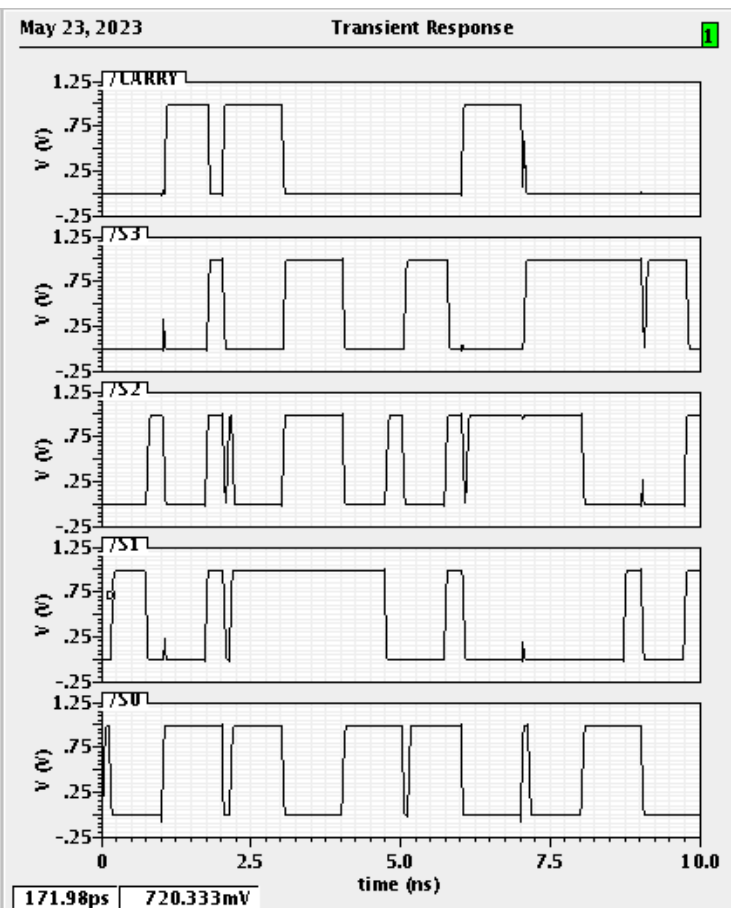
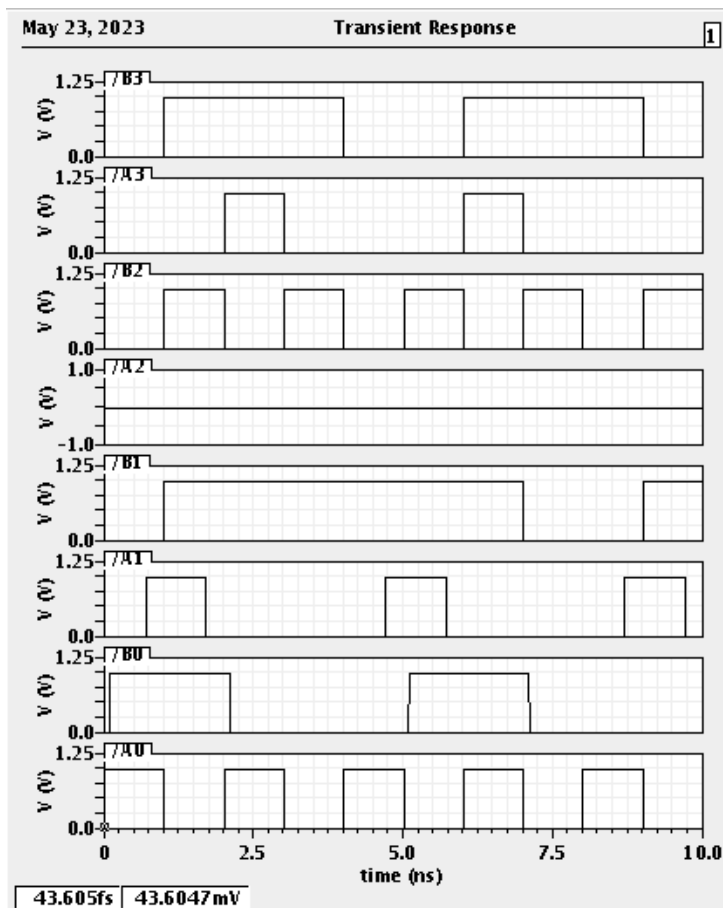
Thiết kế symbol:



Thiết kế mạch kiểm tra bộ full adder – 4bit:



Kết quả : Mô phỏng





# THÍ NGHIỆM 3: THIẾT KẾ D-FLIP FLOP, ỨNG DỤNG THIẾT KẾ THANH GHI 4 BITS. TÌM HIỂU VỀ CELL CHARACTERIZATION VÀ PHÂN TÍCH STA (STATIC TIMING ANALYSIS)

## 3.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ DFF

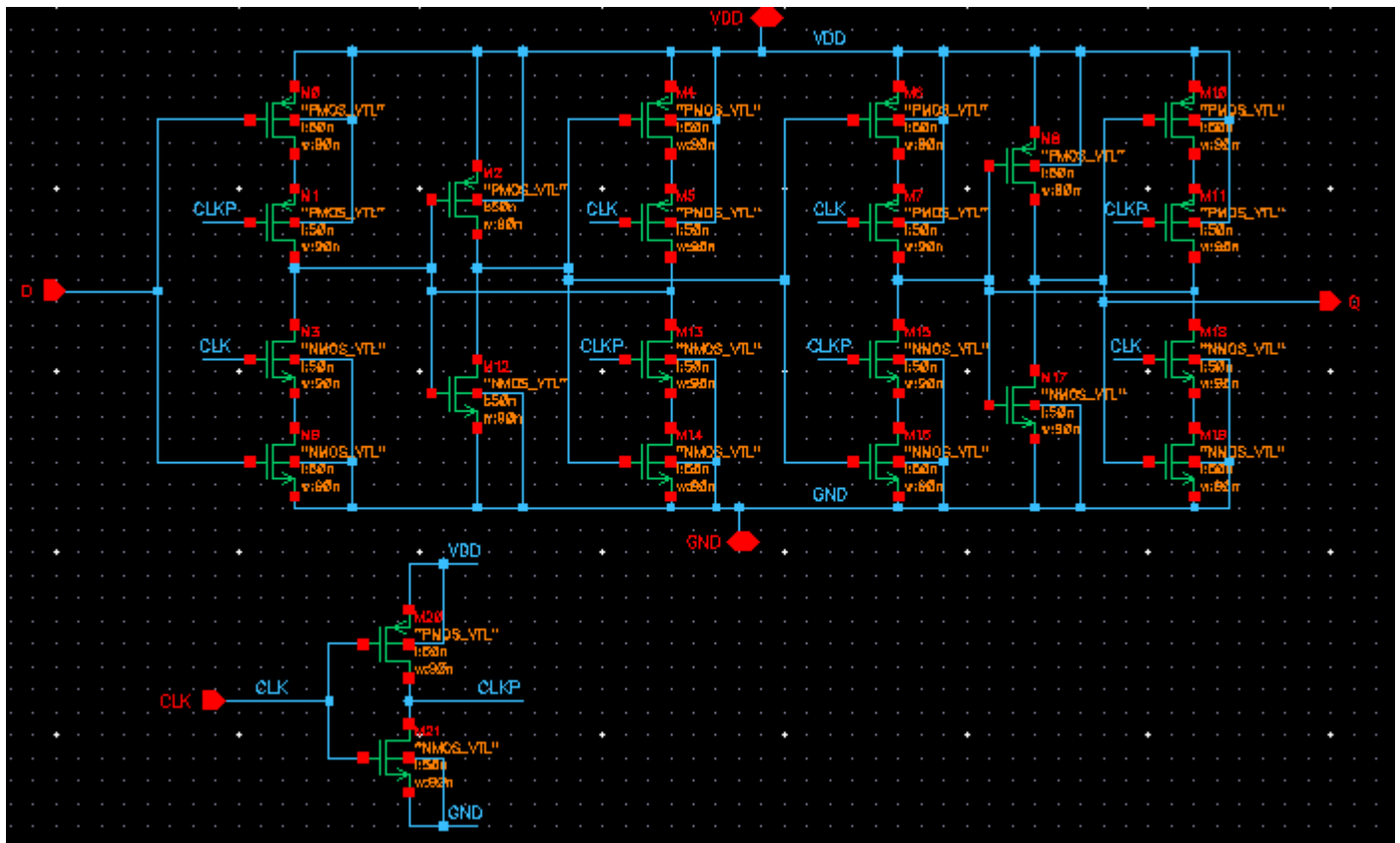
Bảng 3-1 Bảng sự thật của cổng DFFNEG

CLK	D	Q	Qnext
0, 1, ↑	X	0	0
0, 1, ↑	X	1	1
↓	0	X	0
↓	1	X	1

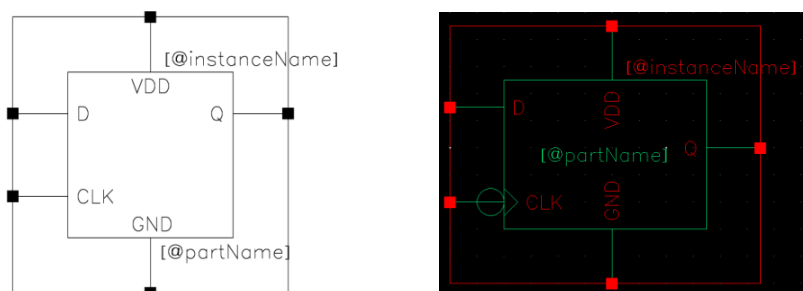
Bảng 3-22 Bảng giá trị kích thước của NMOS và PMOS

$W_n$	90nm
$L_n$	50nm
$W_p$	90nm
$L_p$	50nm

### Sơ đồ nguyên lý & Ký hiệu cổng



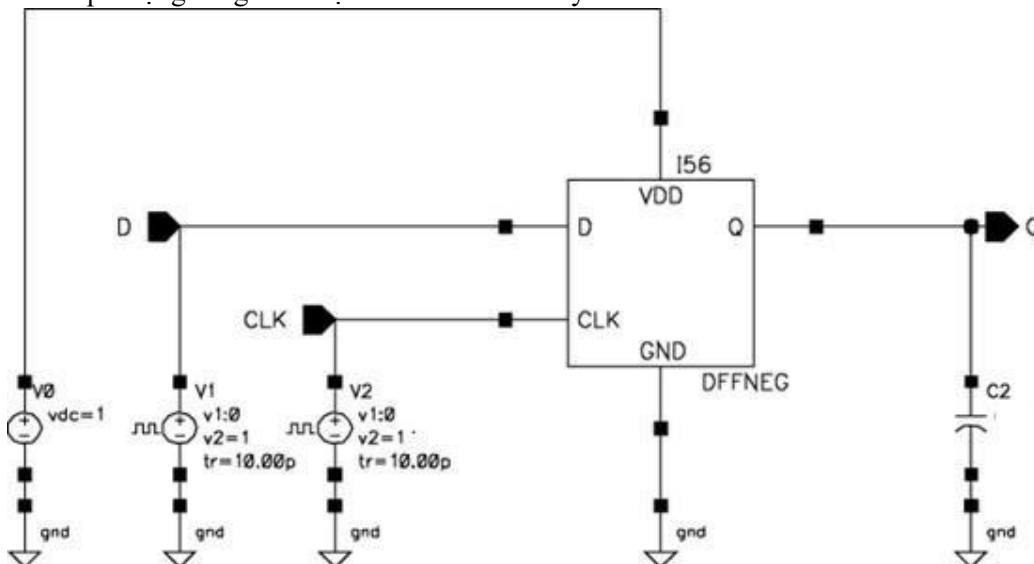
Hình 3-3 Sơ đồ nguyên lý cổng DFFNEG



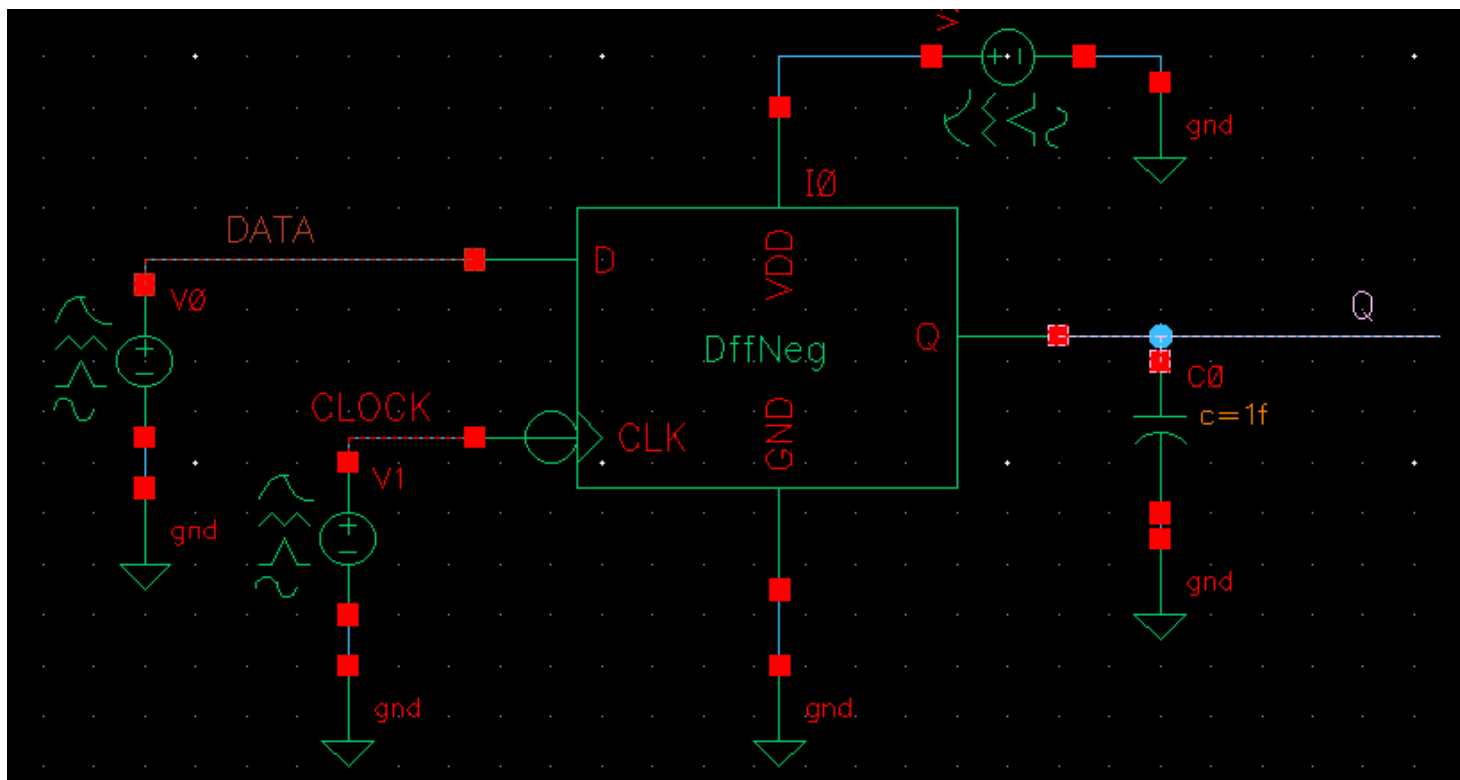
Hình 3-4 Ký hiệu cổng DFFNEG

### 3.2 KIỂM TRA ĐÁP ỨNG TRANSIENT

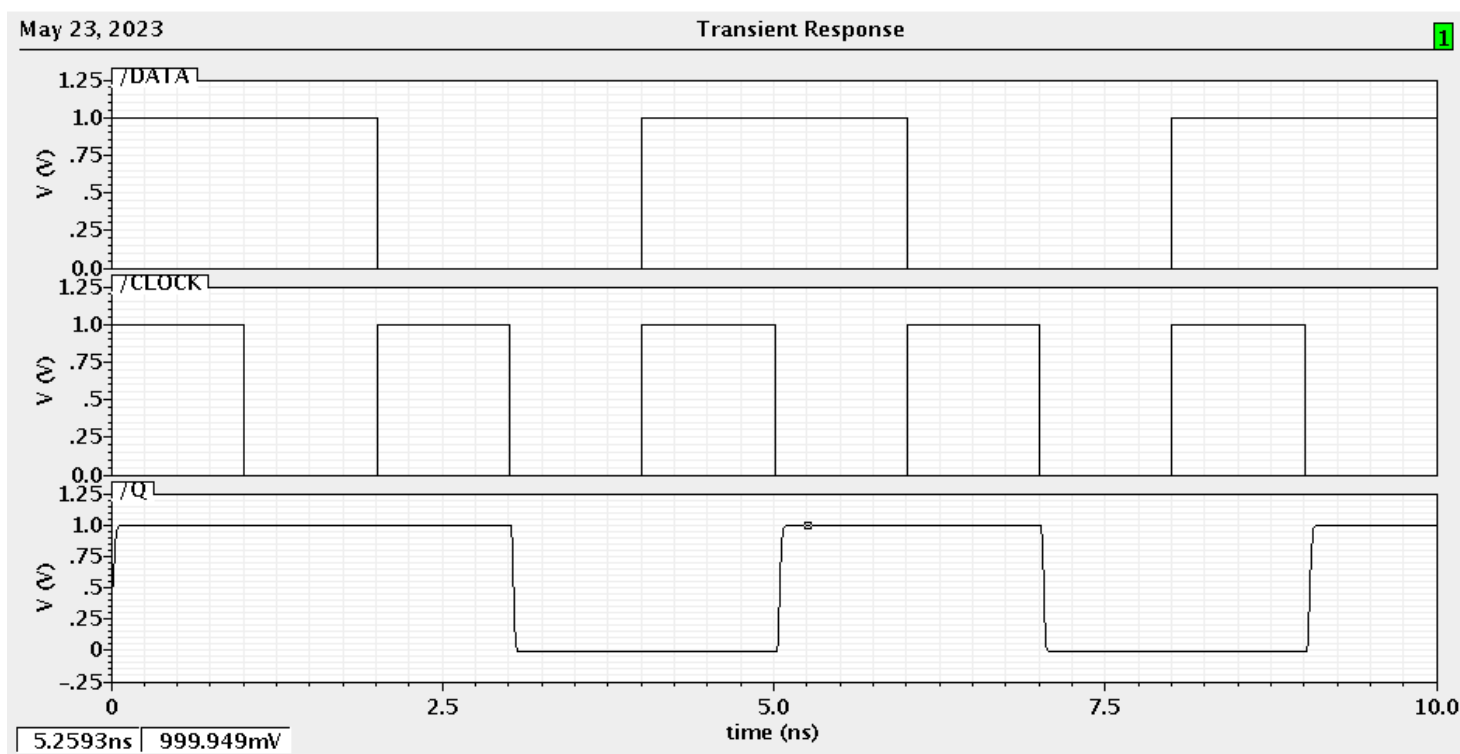
Sử dụng ADE L để kiểm tra hoạt động của cổng DFFNEG với các thiết lập cho mạch testbench như sau: Vdd= 1 V, Clload = 1 f, Vpulse cho ngõ vào D (voltage 1 = 0 V, voltage 2 = 1V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 2 ns, period = 4 ns), Vpulse cho ngõ vào CLK (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 1 ns, period = 2 ns) và thời gian mô phỏng transient là 20 ns. Mạch testbench và kết quả dạng sóng thu được như hình dưới đây:



Hình 3-5 Mạch kiểm tra hoạt động của cổng DFFNEG



Kết quả:

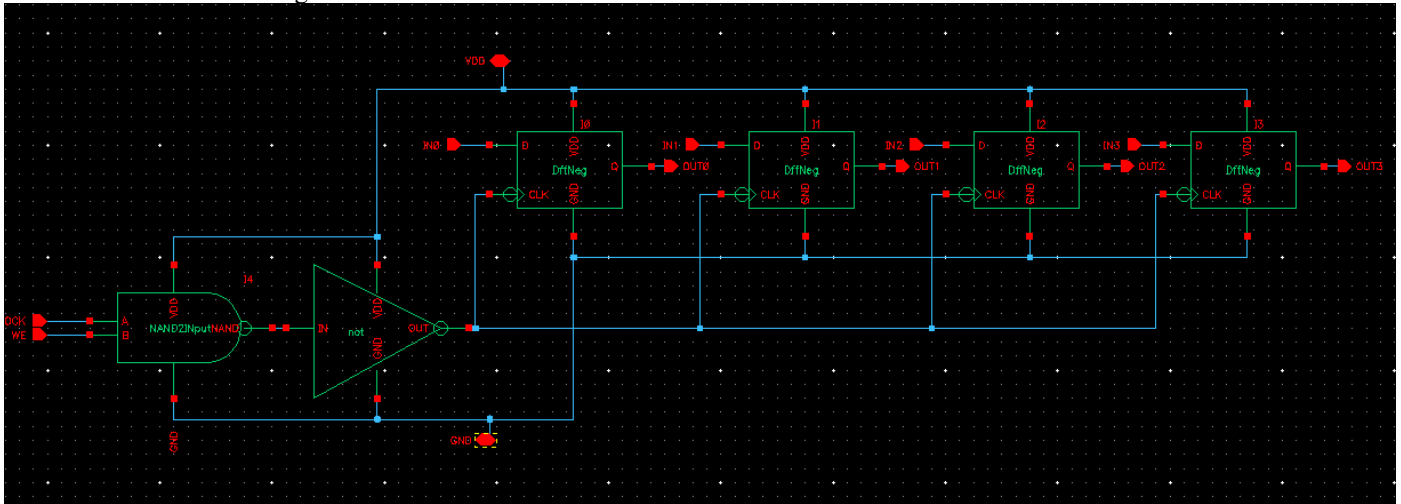


### 3.4) Thiết kế thanh ghi 4 bits.

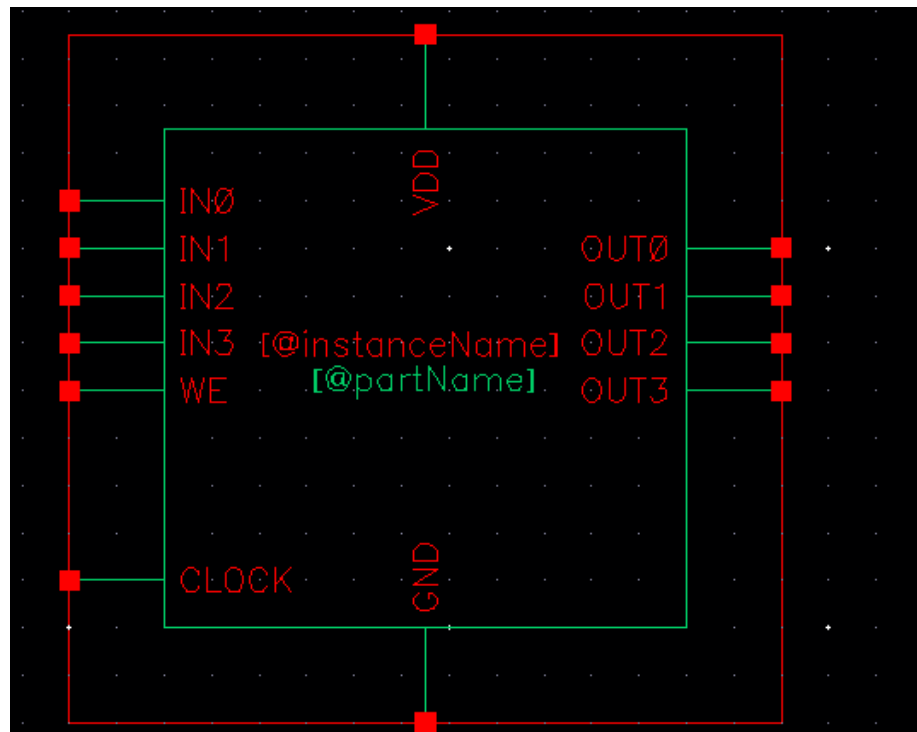
\*Mô tả: Dựa vào thiết kế DFF đã làm ở phần 3.1, sinh viên thực hiện thiết kế 1 thanh ghi 4 bits và mô phỏng hoạt động của thanh ghi trong 2 chu kì liên tiếp(Lưu ý: 4 bits data ở 2 chu kì là khác nhau). Mô tả hoạt động thanh ghi và trình bày kết quả dưới dạng schematic, waveform(không cần layout).

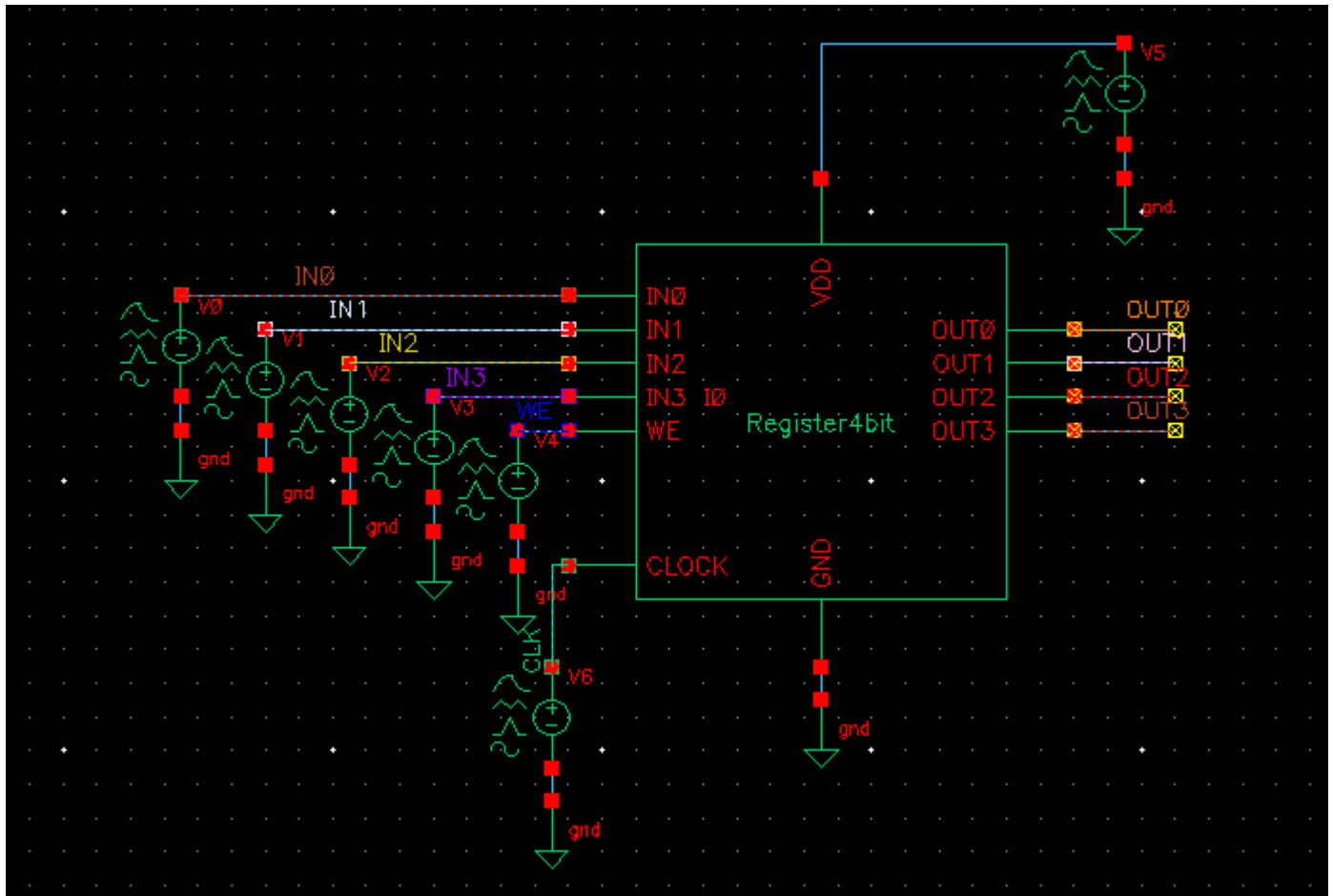
Lưu ý: Thanh ghi có các dạng nhận và truyền data khác nhau(4 dạng chính: SISO,PISO,SIPO,PIPO). Sinh viên tìm hiểu và chọn một dạng để làm cho thiết kế của mình và giải thích lý do chọn loại thanh ghi đó.

Sơ đồ schematic của thanh ghi : PIPO

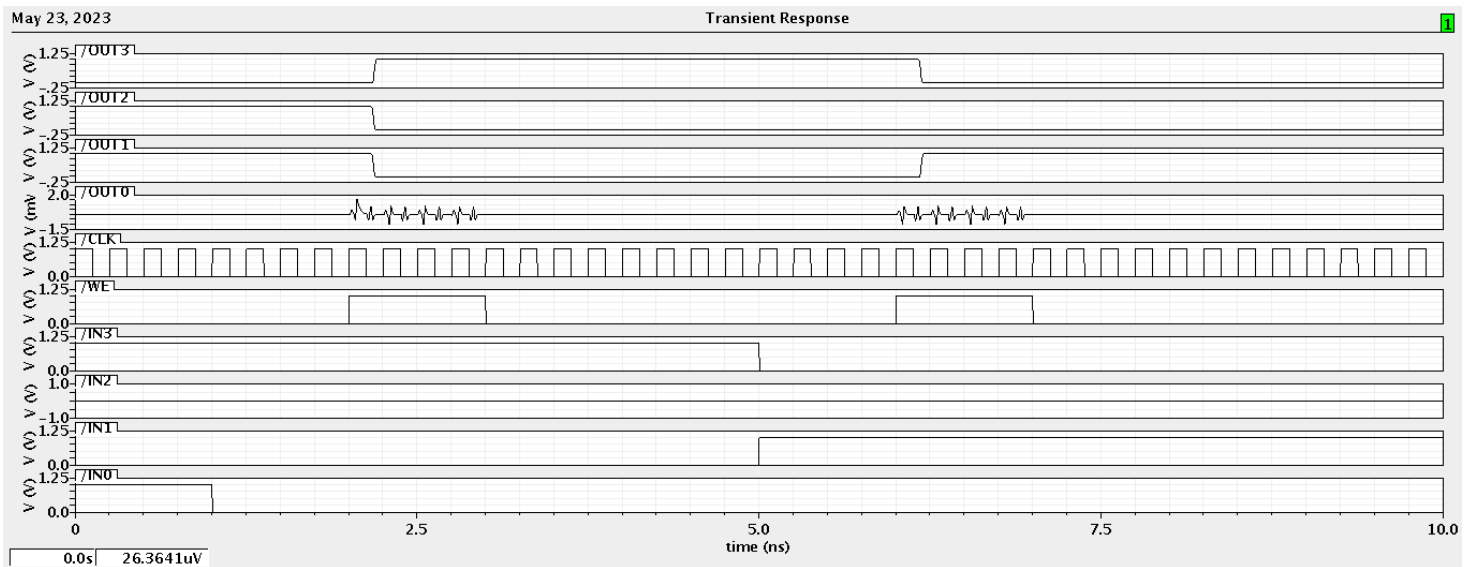


Symbol thanh ghi 4 bit PIPO:





Mạch kiểm tra hoạt động thanh ghi 4bit PIPO:

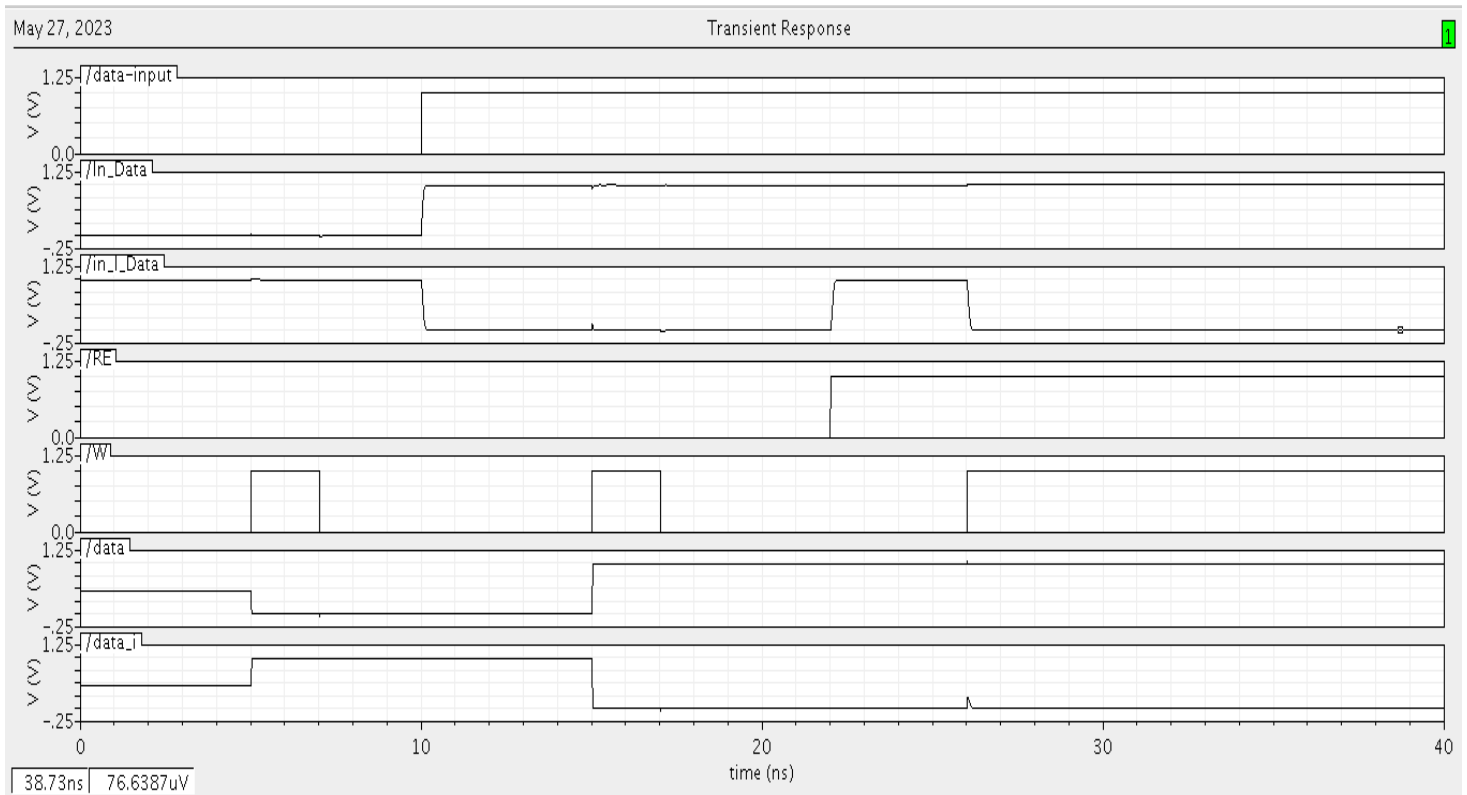


Kết quả chạy mô phỏng:

Lý do chọn loại thanh ghi PIPO: Vì thiết kế đơn giản, Tốc độ ghi, đọc nhanh.

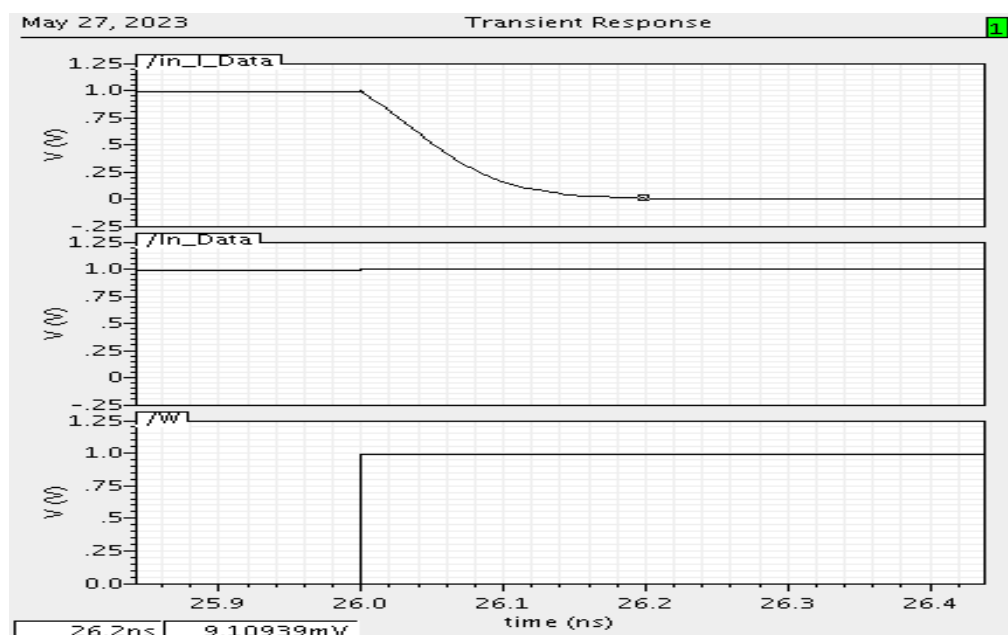
Hình ảnh symbol của 1 sell Sram:





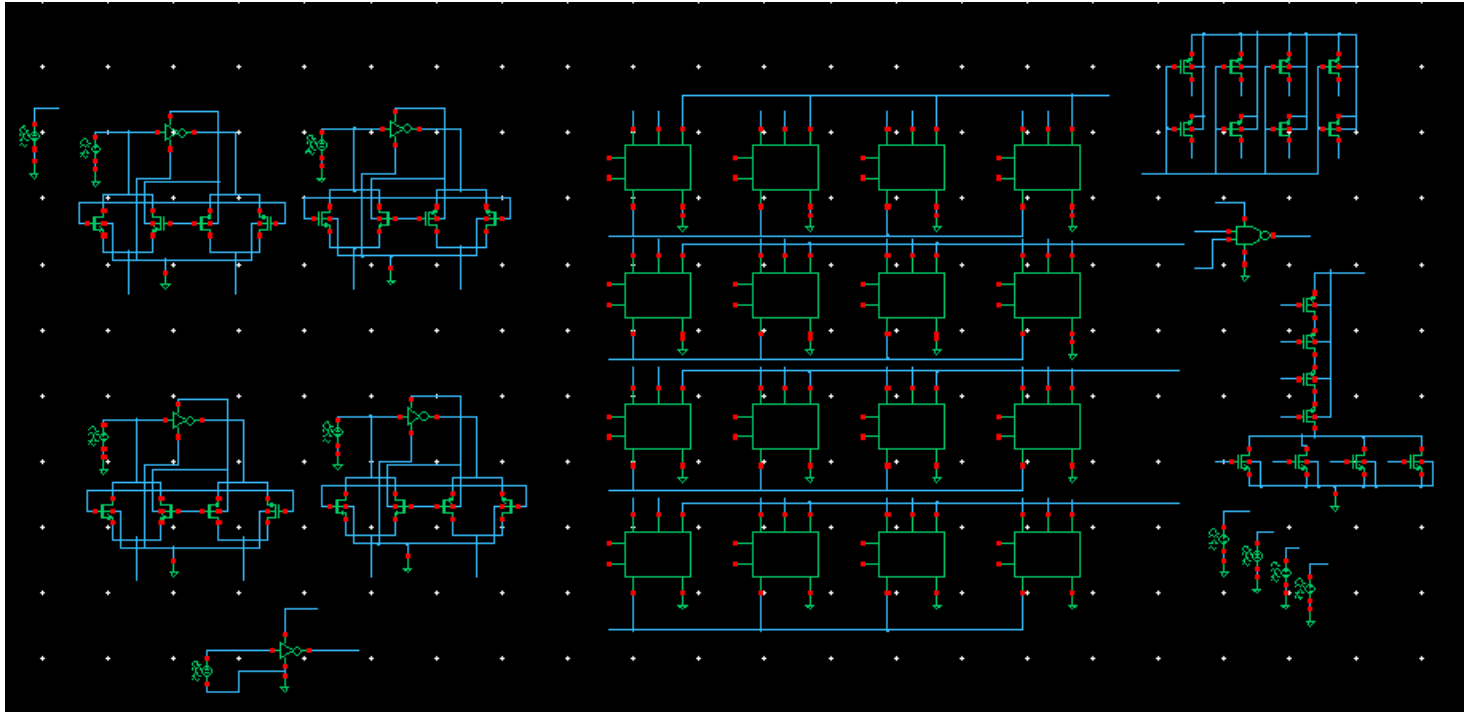
Kết quả mô phỏng chế độ ghi và đọc 1 sell Sram với 2 thời ghi:

Ghi giá trị 0 vào cell Sram tại thời điểm 10ns, và ghi giá trị 1 vào cell Sram tại thời điểm 15ns  
 Đọc giá trị từ cell Sram, thời điểm kích cao cho 2 ngõ vào là tại thời điểm 22ns, và bắt đầu đọc tại thời điểm 26ns.

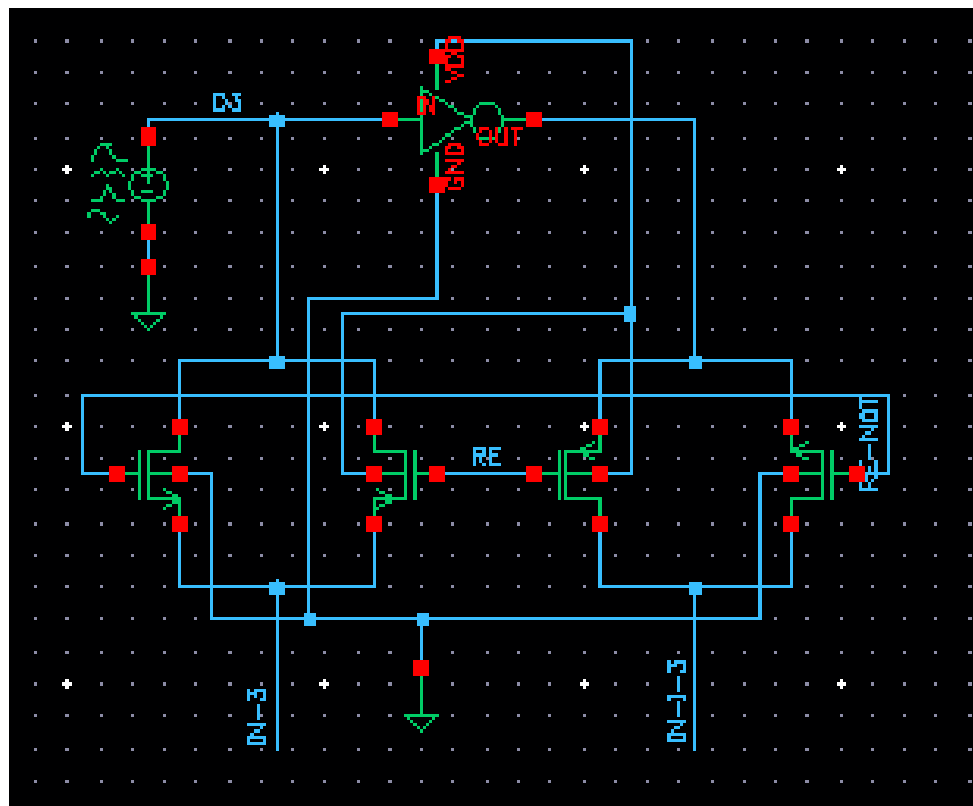


Chi tiết độ trễ thời gian đọc là: khoảng 0.2ns

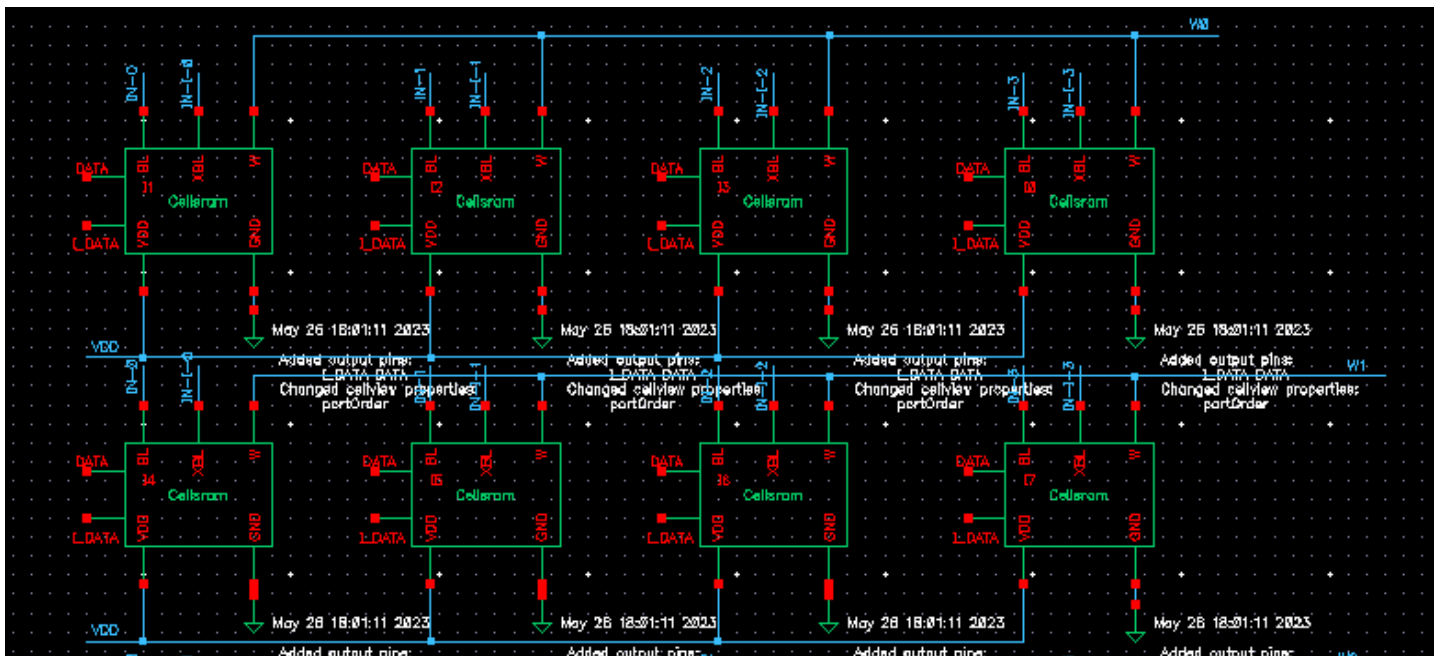
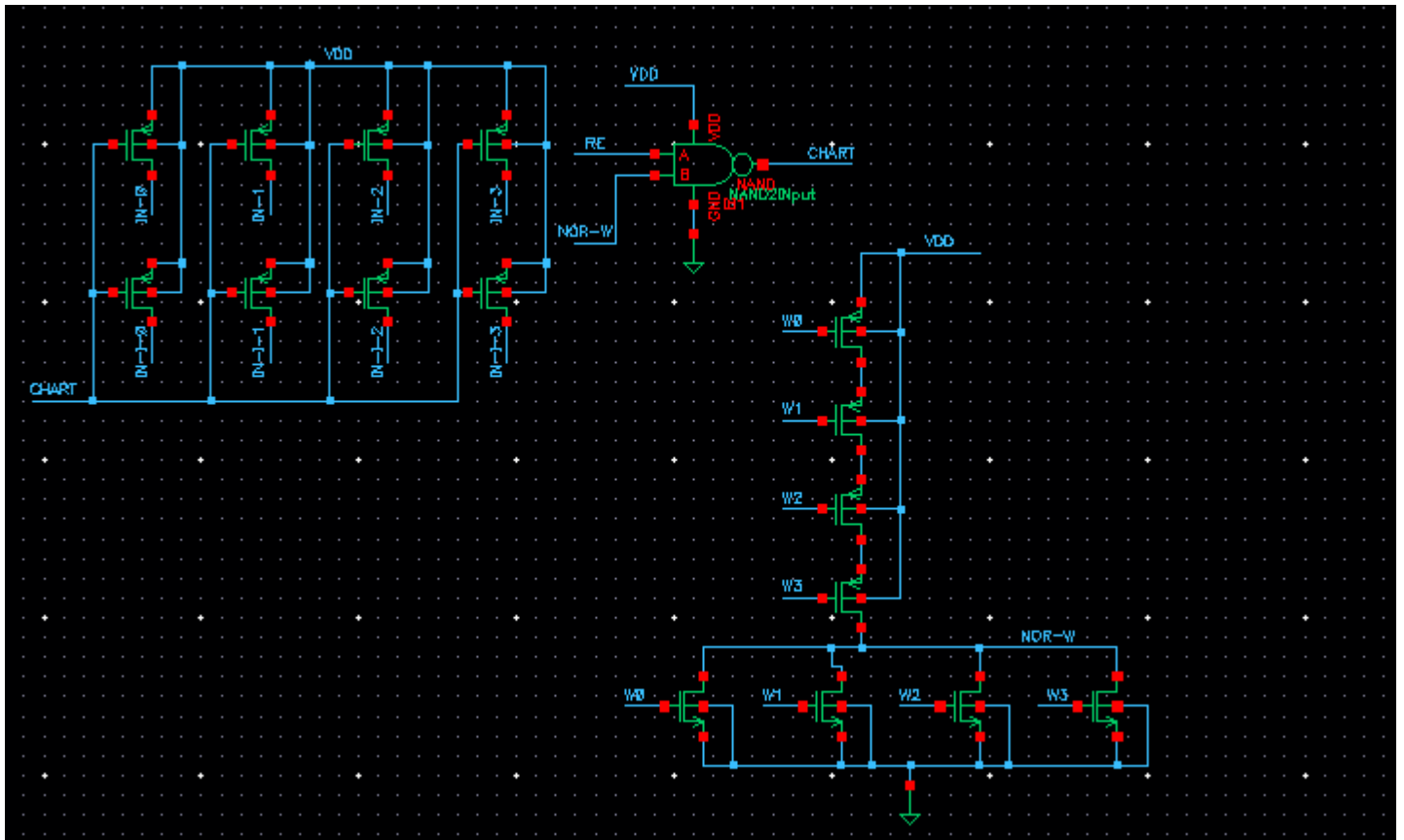




Mạch test hoạt động của IC SRAM 4x4:  
 Với các khối chi tiết như sau:



Khối data đầu vào của D3: Các ngõ vào còn lại tương tự.



Khối tạo tín hiệu kích cao chuẩn bị cho việc đọc dữ liệu từ IC Sram:  
 Khối cell Sram sắp xếp theo ma trận 4x4: (Các tầng còn lại tương tự)

Kết quả chế độ ghi và đọc của SRAM 4X4:

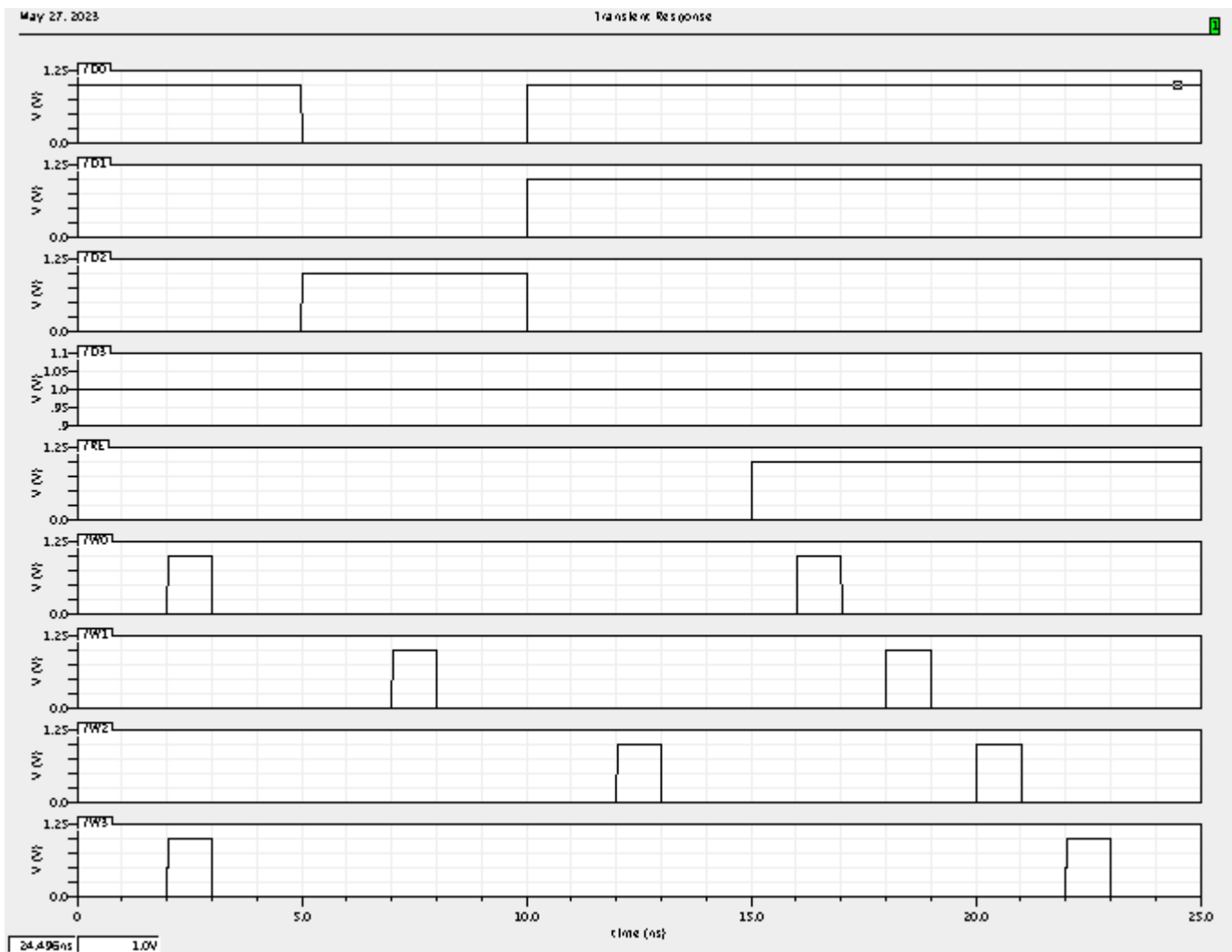
Ghi chú: chuỗi bit 1001 được ghi vào hàng 1 tại thời điểm 2ns và được đọc lúc 16ns

Chuỗi 1100 được ghi vào hàng 2 tại thời điểm 7ns và được đọc lúc 18ns

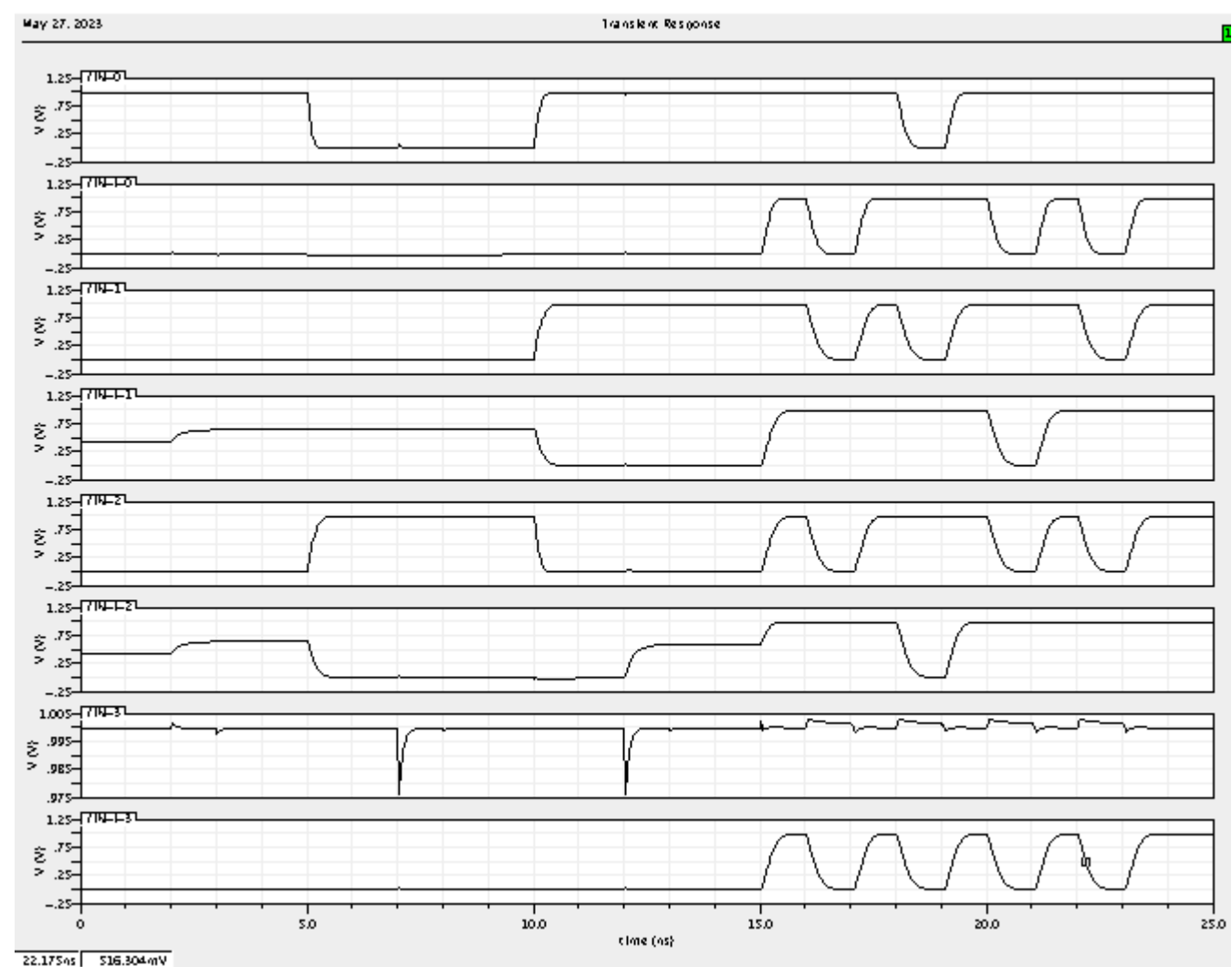
Chuỗi 1011 được ghi vào hàng 3 tại thời điểm 12ns và được đọc lúc 20ns

Chuỗi 1001 được ghi vào hàng 4 tại thời điểm 2ns và được đọc lúc 22ns

Tín hiệu đầu vào và điều khiển đọc và ghi:



Tín hiệu đầu ra/ Tín hiệu đặt vào:



# KẾT THÚC THÍ NGHIỆM

-----