

THÍ  
NGHIỆM

THIẾT KẾ VÀ ĐO  
ĐẶC CÔNG NOT

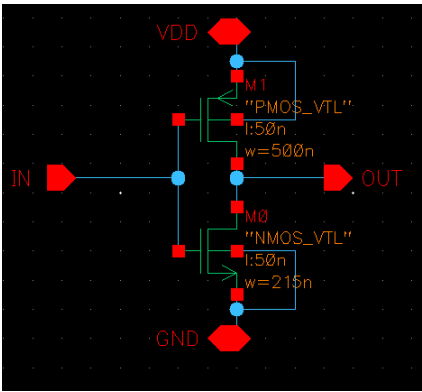


1.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ

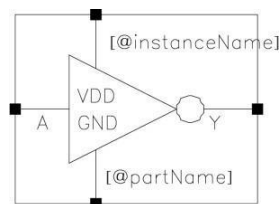
Bảng 3-1 Bảng sự thật của cổng NOT

A	Y
0	1
1	0

Sơ đồ nguyên lý & Ký hiệu cổng



Hình 1-1 Sơ đồ nguyên lý cổng NOT



Hình 1-2 Ký hiệu công NOT

## 1.2 THỰC HIỆN MÔ PHỎNG ĐÁP ỨNGDC

Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NOT, thực hiện cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Vin	0 V – 1V

Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:

[illegible]

### Thực hiện vẽ lại dạng sóng Vout

[illegible]

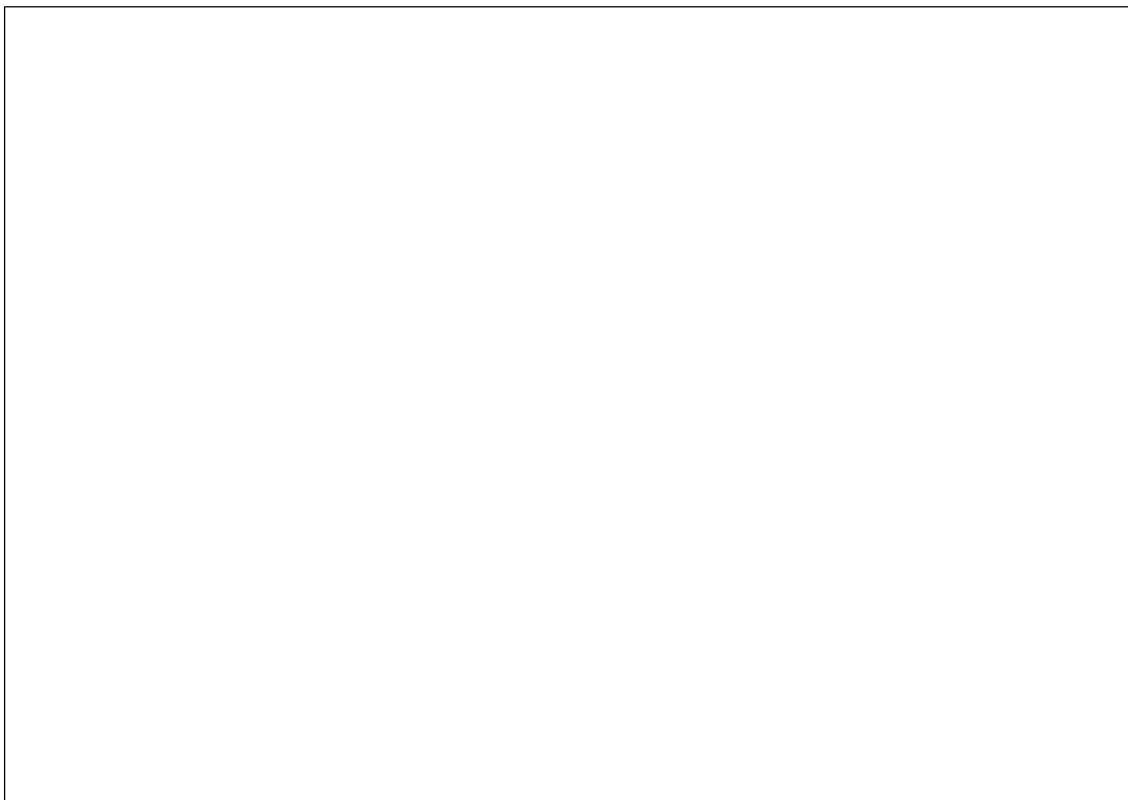


Thực hiện đo những giá trị sau của đáp ứng ngõ ra:

Thông số	Kết quả
Trise – Rising Time (20% - 80%)	
Tfall – Falling Time (80% - 20%)	
Trise – Rising Time (10% - 90%)	
Tfall – Falling Time (90% - 10%)	
Dynamic Power	
Switching Power	

#### 1.4 THỰC HIỆN VẼ LAYOUT CHO CÔNG NOT

- Hoàn thành stick diagram



- Hoàn thành layout của cổng NOT

# THÍ NGHIỆM 2: THIẾT KẾ VÀ ĐO ĐẶC CỒNG NAND2, NOR2 VÀ ỨNG DỤNG THIẾT KẾ BỘ FULL-ADDER 4 BITS

## 2.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ CỒNG NAND2

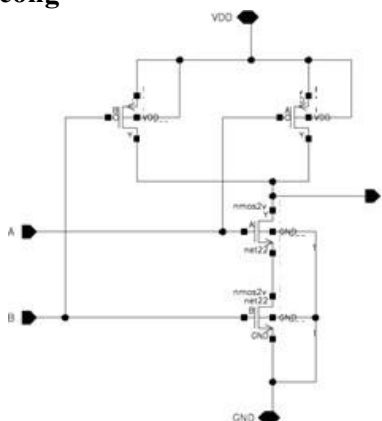
Bảng 2-1 Bảng sự thật của cồng NAND2

A	B	Y
0	X	
X	0	
1	1	

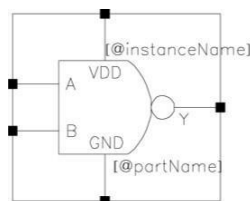
Bảng 2-2 Bảng giá trị kích thước của NMOS và PMOS

$W_n$	
$L_n$	
$W_p$	
$L_p$	

Sơ đồ nguyên lý & Ký hiệu cồng



Hình 2-3 Sơ đồ nguyên lý cồng NAND2



Hình 2-4 Ký hiệu cổng NAND2

## 2.2 MÔ PHỎNG ĐÁP DƯ CỎNG NAND2

Sử dụng ADEL để thực hiện mô phỏng đáp ứng DC của cổng NAND2, thực hiện cấp tín hiệu input dạng xung RAMP tầm điện áp thay đổi từ 0 đến 1V và khảo sát đáp ứng ngõ ra.

Thông số	Giá trị
$V_{dd}$	1 V
$C_{load}$	1 fF
Vin1	0 V – 1V
Vin2	0 – 1V

Thực hiện đo điện áp ngõ ra tại các giá trị Vin sau:

[illegible]

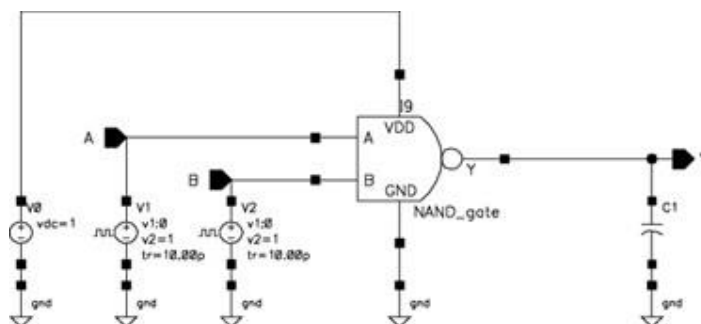
### Thực hiện vẽ lại dạng song Vout

[illegible]

Có nhận xét gì về dạng song này từ đó giải thích hoạt động của mạch?

## 2.3 MÔ PHỎNG ĐÁP ỨNG TRANSIENT CÔNG NAND2

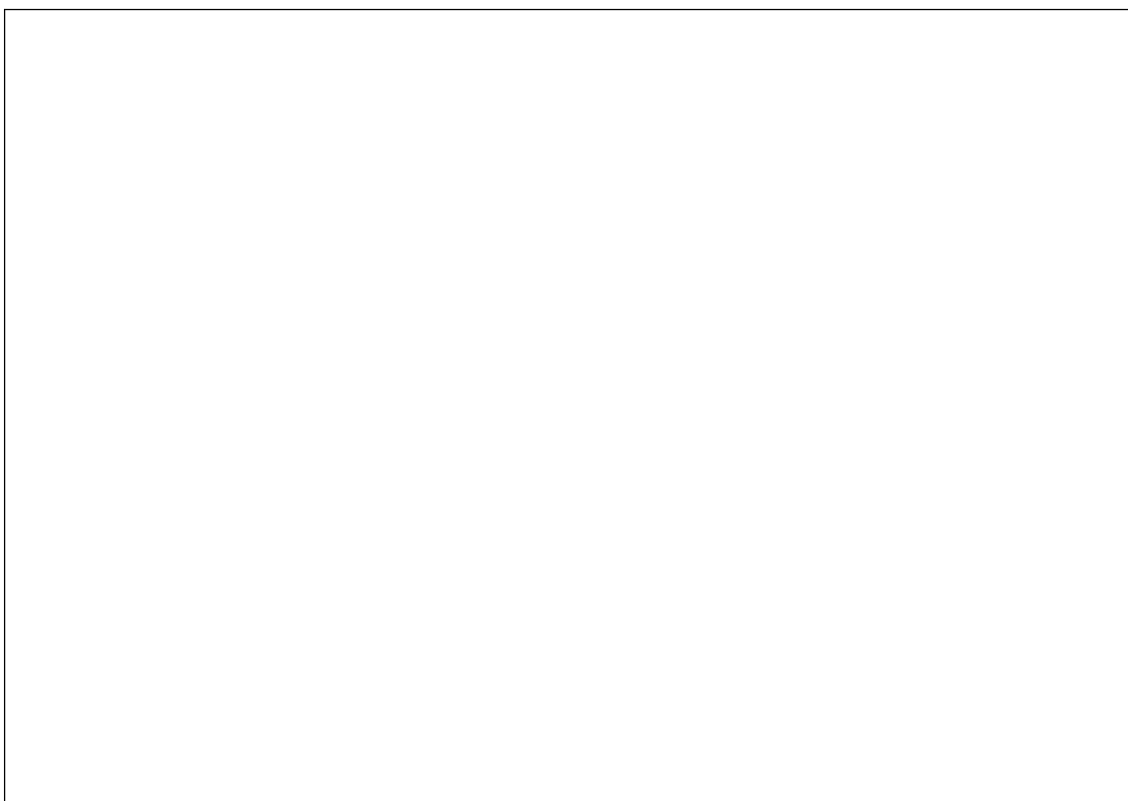
Sử dụng ADE L để kiểm tra hoạt động của cổng NAND2 với các thiết lập cho mạch testbench như sau: Vdd= 1 V, Cload= 1f, Vpulse cho ngõ vào A (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 1 ns, period = 2 ns), Vpulse cho ngõ vào B (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 2.5 ns, period = 5 ns) và thời gian mô phỏng transient là 8 ns. Mạch Testbench:



Hình 2-5 Mạch kiểm tra hoạt động của cổng NAND2

## 2.4 THIẾT KẾ LAYOUT CÔNG NAND2

- Hoàn thành stick diagram



- Hoàn thành layout của cổng NOT

## 2.5 THỰC HIỆN TƯƠNG TỰ CÁC BƯỚC TRÊN CHO CÔNG NOR2

## 2.6 THIẾT KẾ BỘ FULL ADDER 4 BITS.

**Yêu cầu:** Dựa vào các cổng logic cơ bản đã thiết kế trong các thí nghiệm trước, thiết kế và mô phỏng một bộ Full adder 4 bit và trình bày kết quả schematic(transistor level), symbol và waveform.





# THÍ NGHIỆM 3: THIẾT KẾ D-FLIP FLOP, ỨNG DỤNG THIẾT KẾ THANH GHI 4 BITS. TÌM HIỂU VỀ CELL CHARACTERIZATION VÀ PHÂN TÍCH STA (STATIC TIMING ANALYSIS)

## 3.1 THIẾT KẾ SƠ ĐỒ NGUYÊN LÝ DFF

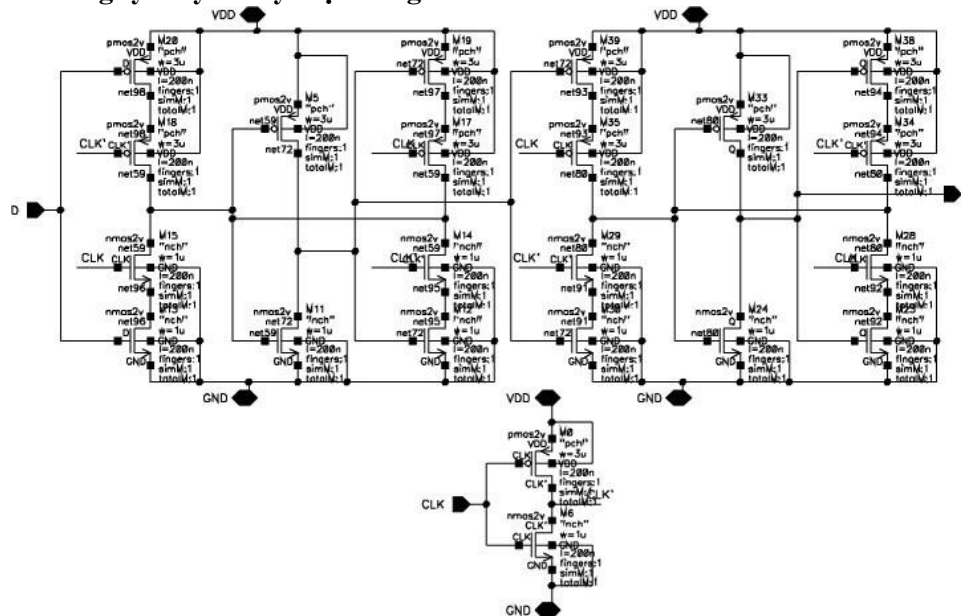
Bảng 3-1 Bảng sự thật của cổng DFFNEG

CLK	D	Q	Qnext
0, 1, ↑	X	0	
0, 1, ↑	X	1	
↓	0	X	
↓	1	X	

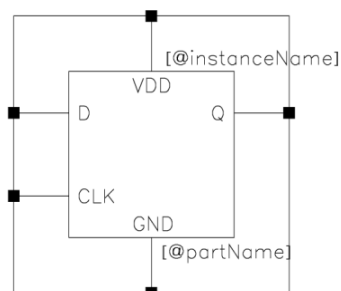
Bảng 3-22 Bảng giá trị kích thước của NMOS và PMOS

$W_n$	
$L_n$	
$W_p$	
$L_p$	

### Sơ đồ nguyên lý & Ký hiệu cổng



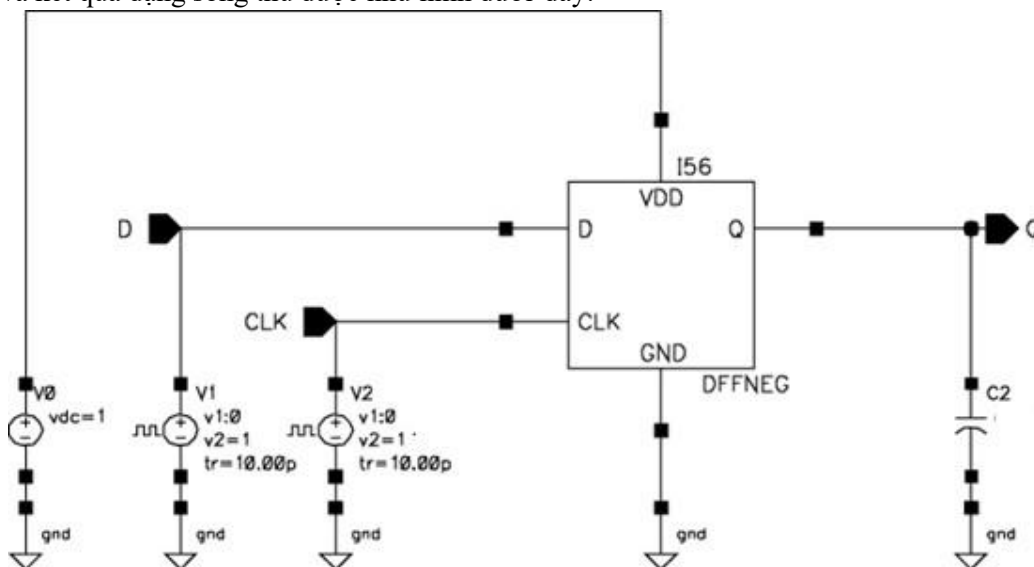
Hình 3-3 Sơ đồ nguyên lý cổng DFFNEG



Hình 3-4 Ký hiệu cổng DFFNEG

### 3.2 KIỂM TRA ĐÁP ỨNG TRANSIENT

Sử dụng ADE L để kiểm tra hoạt động của cổng DFFNEG với các thiết lập cho mạch testbench như sau: Vdd= 1 V, Cload = 1 f, Vpulse cho ngõ vào D (voltage 1 = 0 V, voltage 2 = 1V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 2 ns, period = 4 ns), Vpulse cho ngõ vào CLK (voltage 1 = 0 V, voltage 2 = 1 V, delay = 0 ns, rise time = fall time = 1 ps, pulse width = 1 ns, period = 2 ns) và thời gian mô phỏng transient là 20 ns. Mạch testbench và kết quả dạng sóng thu được như hình dưới đây:



Hình 3-5 Mạch kiểm tra hoạt động của cổng DFFNEG

### 3.3 THỰC HIỆN CHARACTERIZATION

Trong phần này, ta sẽ thực hiện characterization cho tất cả các cổng đã thực hiện layout ở phần trên. Các đại lượng cần thực hiện trong bước characterization đó là: cell rise delay, cell fall delay, rise transistion, fall transistion, rise power, fall power, leakage power và input capacitance.

Để thực hiện characterization luận văn sẽ sử dụng OCEAN script và công cụ Calculator của phần mềm Cadence. Tất cả các cổng trong thư viện sẽ được dùng chung giá trị tụ điện  $C_{load}$  là 2 fF, 5 fF, 6 fF, 7 fF, 8 fF, 9 fF, 9.5 fF và giá trị thời gian lên (rise time), thời gian xuống (fall time) của nguồn xung ở các ngõ vào của cổng là 0.01 ns, 0.02 ns, 0.04 ns, 0.06 ns, 0.08 ns, 0.09 ns, 0.095ns.

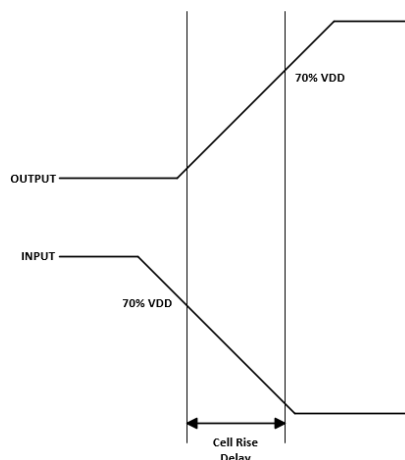
Khi sử dụng OCEAN script để đo cell rise delay, cell fall delay, rise transistion, fall transistion, rise power, fall power của cổng thì OCEAN script sẽ chạy 7x7 lần và cho ra bảng 7x7 giá trị đúng với format của file LIB mong muốn tạo ra. Đặc biệt, đối với trường hợp đo rise power và fall power cho các chân ở ngõ vào, giá trị này chỉ phụ thuộc vào rise time, fall time của nguồn xung nên chỉ sử dụng giá trị rise time, fall time ở trên mà không sử dụng giá trị tụ  $C_{load}$ . Vì vậy ta sẽ thu được kết quả công suất ở từng trường hợp và cho ra bảng 1x7 giá trị.

Sử dụng công cụ Calculator để đo Input capacitance và Leakage power, lý do không sử dụng script để đo bởi vì đây chỉ là một giá trị cần tìm và script thường dùng để đo một dãy các giá trị như thời gian trễ, công suất dynamic,...

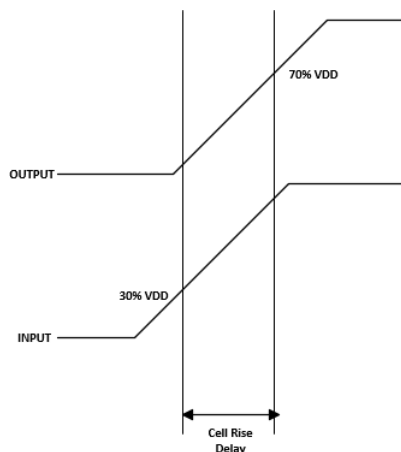
Tất cả các mô phỏng cho việc đo này đều là mô phỏng Post-Layout, không phải là mô phỏng Pre-Layout. Phần dưới đây sẽ trình bày chi tiết hơn về các đại lượng cần đo nói trên, cũng như là các hàm trong phần mềm để sử dụng tính toán.

#### 3.2.1 Cell rise delay và Cell fall delay

Cell rise delay: là khoảng thời gian tính từ 70% giá trị điện áp của VDD tại cạnh lên đầu tiên ở ngõ ra và 70% giá trị điện áp của VDD tại cạnh xuống đầu tiên ở ngõ vào nếu cổng mà chúng ta đang xét thuộc loại “negative\_unate”. Đối với trường hợp cổng đang xét là “positive\_unate” thì giá trị cell rise delay được định nghĩa là khoảng thời gian tính từ 70% giá trị của VDD tại cạnh lên đầu tiên ở ngõ ra và 30% giá trị của VDD tại cạnh lên đầu tiên ở ngõ vào. Hình 3-105 và 3-106 dưới đây minh họa khái niệm thời gian này.

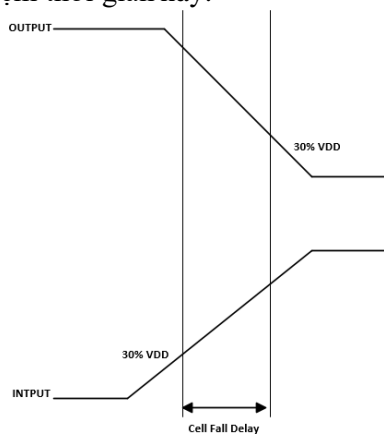


Hình 3-6 Cell rise delay khi xét trường hợp negative\_unate của cổng

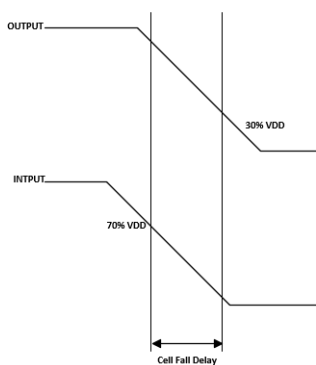


Hình 3-7 Cell rise delay khi xét trường hợp *positive\_unate* của cổng

Cell fall delay: là khoảng thời gian tính từ 30% giá trị điện áp của VDD tại cạnh xuống đầu tiên ở ngõ ra và 30% giá trị điện áp của VDD tại cạnh lên đầu tiên ở ngõ vào nếu đang xét cổng thuộc loại “negative\_unate”. Trường hợp cổng thuộc loại “positive\_unate” thì giá trị thời gian này là khoảng thời gian được tính từ 30% giá trị điện áp của VDD tại cạnh xuống đầu tiên ở ngõ ra và 70% giá trị điện áp của VDD tại cạnh xuống đầu tiên ở ngõ vào. Hình 3-107 và 3-108 dưới đây minh họa khái niệm thời gian này.



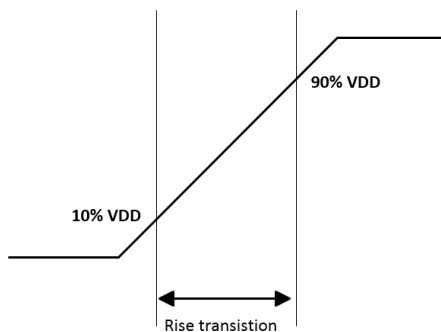
Hình 3-8 Cell fall delay khi xét trường hợp *negative\_unate* của cổng



Hình 3-9 Cell fall delay khi xét trường hợp *positive\_unate* của cổng

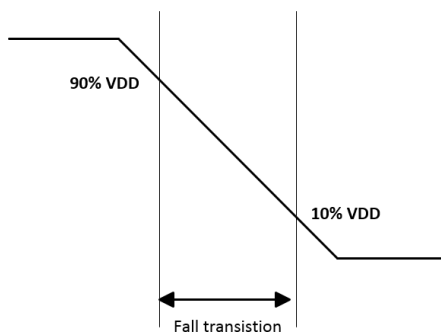
### 3.2.2 Rise transistion và Fall transistion

Rise transistion: hay còn gọi là thời gian lên, trong phần characterization xét thời gian lên ở ngõ ra của cổng. Tại cạnh lên ở ngõ ra, giá trị thời gian này khoảng thời gian giữa 90% giá trị điện áp của VDD và 10% giá trị điện áp của VDD.



Hình 3-10 Rise transistion

Fall transistion: hay còn gọi là thời gian xuống, tương tự như thời gian lên, giá trị này là khoảng thời gian giữa 90% giá trị của VDD và 10% giá trị của VDD. Tuy nhiên giá trị này được tính ở cạnh xuống của ngõ ra.



Hình 3-11 Fall transistion

### 3.2.3 Rise power và Fall power

Thực hiện đo hai công suất này ở các chân ngõ vào và của cổng. Khái niệm dưới đây xét trường hợp công suất của cổng, trường hợp ở ngõ vào được thực hiện tương tự.

Rise power: là công suất của cổng được tính trong khoảng thời gian ngõ ra rising tức là chuyển từ mức thấp lên mức cao ( $0\text{ V} \rightarrow \text{VDD}$ ).

Fall power: là công suất của cổng được tính trong khoảng thời gian ngõ ra falling tức là chuyển từ mức cao xuống mức thấp ( $\text{VDD} \rightarrow 0\text{ V}$ ).

Sử dụng hàm tích phân “integ” của công cụ Calculator vào OCEAN script để tính công suất này. Công thức tính tổng quát như sau:

$$VDD * \text{integ}(i("/V0/PLUS"), t, t + \Delta t) / (1e - 9)''.$$

là khoảng thời gian ngõ ra rising hoặc falling phụ thuộc vào việc đang đo công suất nào.

### 3.2.4 Leakage power

Leakage power là công suất do dòng điện rò  $I_{leakage}$  gây ra. Ta thực hiện tính công suất này trong hai trường hợp mạch ở mạng pull-up và ở mạng pull-down. Lý do chỉ thực hiện ở hai trường hợp này là tại vì chúng ta mong muốn tìm giá trị công suất trong trường hợp “worst case” là đủ. Chọn ra giá trị lớn hơn làm giá trị công suất rò (Leakage power) cần tìm. Để đo được công suất này bằng công cụ Calculator ta sử dụng công thức sau:

$$average(VT(/VDD) * IT("/V0/PLUS"))''$$

Trong đó: giả sử  $V0$  là nguồn cung cấp VDD cho cổng, **average** là hàm tính giá trị trung bình

từ kết quả tích của dòng  $I_{leakage}$  và điện áp  $VDD = 1\text{ V}$  cung cấp cho cổng.

### 3.2.5 Input capacitance

Giá trị điện dung ngõ vào được tính toán dựa vào công thức:  $I = C \frac{dV}{dt}$  (1), khi cho một nguồn xung vào chân ngõ vào của cổng sẽ sinh ra dòng điện ở ngõ vào tại thời điểm điện áp ngõ vào thay đổi từ mức thấp lên mức cao hoặc ngược lại. Sở dĩ có dòng điện này là nhờ vào quá trình nạp xả của tụ điện ngõ vào (Input capacitance) ở chân ngõ vào tương ứng. Dựa vào công thức (1) suy ra:

$$I dt = C dV \quad (2)$$

Lấy tích phân 2 vế phương trình (2) trong khoảng thời gian  $\Delta t$  là thời gian điện áp ngõ vào chuyển từ mức thấp lên mức cao. Ta có:

$$\int_t^{t+\Delta t} I dt = \int_t^{t+\Delta t} C dV \quad (3)$$

Do đó:

$$C = \frac{\int_t^{t+\Delta t} I dt}{\int_t^{t+\Delta t} dV} = \frac{\int_t^{t+\Delta t} I dt}{VDD}$$

Từ đó sử dụng công thức sau trên công cụ Calculator để tính được giá trị tụ ở các chân ngõ vào như sau:

$$integ(i("/V1/PLUS"), t, t + \Delta t) / (VDD * (1e - 9))''$$

Trong đó: giả sử  $V1$  là nguồn xung ở chân ngõ vào và  $\Delta t$  là thời gian nguồn xung ngõ vào rising hoặc falling.

### 3.2.6 Thực hiện thí nghiệm

Thực hiện characteristic cho một trong các cổng đã thực hiện NOT, NAND2, NOR2 hoặc cả DFF và điền kết quả vào các bảng sau:

Bảng 3-12 Leakage power của cổng .....

Leakage power (pW)

Bảng 3-13 Cell rise delay của cổng..... (ns)

$C_{load} (fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

Bảng 3-14 Cell fall delay của cổng ..... (ns)

$C_{load} (fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

Bảng 3-15 Rise transistion của cổng..... (ns)

$C_{load} (fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

Bảng 3-16 Fall transistion của cổng.....(ns)

$C_{load}(fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

Bảng 3-17 Rise power của cổng ..... (W)

$C_{load}(fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

Bảng 3-18 Fall power của cổng ..... (W)

$C_{load}(fF)$	2	5	6	7	8	9	9.5
0.01							
0.02							
0.04							
0.06							
0.08							
0.09							
0.095							

### 3.4) Thiết kế thanh ghi 4 bits.

\*Mô tả: Dựa vào thiết kế DFF đã làm ở phần 3.1, sinh viên thực hiện thiết kế 1 thanh ghi 4 bits và mô phỏng hoạt động của thanh ghi trong 2 chu kì liên tiếp(Lưu ý: 4 bits data ở 2 chu kì là khác nhau). Mô tả hoạt động thanh ghi và trình bày kết quả dưới dạng schematic, waveform(không cần layout).

Lưu ý: Thanh ghi có các dạng nhận và truyền data khác nhau(4 dạng chính: SISO,PISO,SIPO,PIPO). Sinh viên tìm hiểu và chọn một dạng để làm cho thiết kế của mình và giải thích lý do chọn loại thanh ghi đó.



## THÍ NGHIỆM 4: THIẾT KẾ MEMORY SRAM

### 4.1) Lý thuyết

Sinh viên nghe giảng hoặc tự đọc trong tài liệu hướng dẫn đính kèm.

### 4.2) Yêu cầu thiết kế.

#### \*Mô tả:

1) Sinh viên thiết kế 1 cell SRAM và kiểm tra hoạt động của cell SRAM đó ở 2 chế độ WRITE và READ. Sau đó sử dụng mạch sense amplifier(SA) để tiến hành lại quá trình READ và so sánh với trường hợp không dùng mạch SA. Trình bày kết quả dưới dạng schematic, waveform và số liệu đo đạc. Nhận xét kết quả thu được.

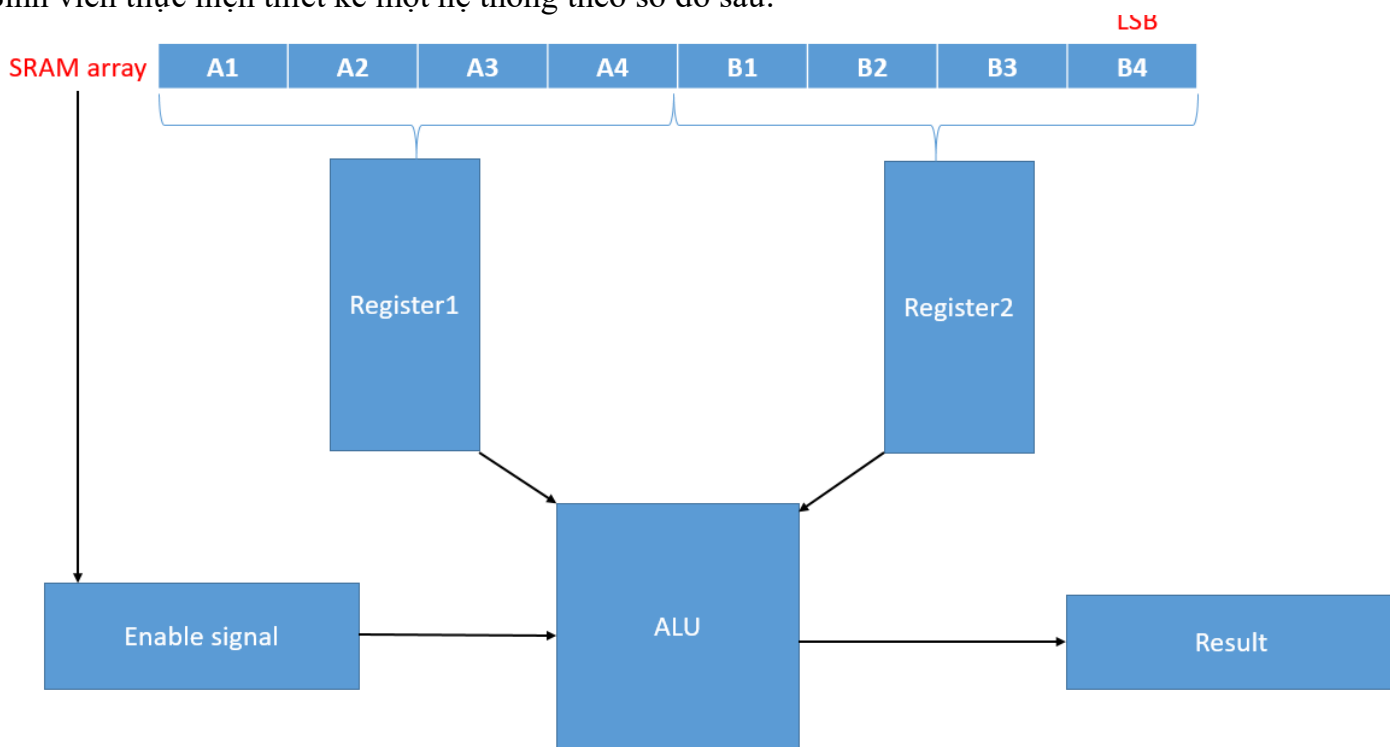
2) Dựa trên cell SRAM đã thiết kế, sinh viên thiết kế SRAM array 4x4 và kiểm tra hoạt động của mảng SRAM đã thiết kế ở 2 chế độ READ và WRITE(không cần dùng mạch SA cho trường hợp thiết kế này). Trình bày kết quả dưới dạng schematic, waveform. Nhận xét kết quả thu được.

\***Lưu ý** : Sinh viên có thể lựa chọn tùy ý data lưu vào SRAM (ngoại trừ trường hợp toàn bit 0 hoặc 1). Tụ dùng trong mạch được sử dụng với giá trị  $C = 1-10(\text{fF})$ .

## BÀI TẬP LỚN

### 5.1) Mô tả thiết kế

Sinh viên thực hiện thiết kế một hệ thống theo sơ đồ sau:



\***SRAM array**: Tạo một mảng SRAM đơn giản 1x8 và lưu giá trị 8 bit theo quy ước sau.

Số thứ tự nhóm(STT) là số lẻ:  $(\text{STT}+100)_{10} \Leftrightarrow (A1A2A3A4B1B2B3B4)_2$

Số thứ tự nhóm(STT) là số chẵn:  $(\text{STT}+200)_{10} \Leftrightarrow (A1A2A3A4B1B2B3B4)_2$

\***Register**: Thanh ghi chứa 4 bit data. Sinh viên có thể dùng thanh ghi đã thiết kế ở phần thí nghiệm trước hoặc thiết kế lại cho phù hợp.

\***ALU**: Khối tính toán chính, có chức năng thực hiện các phép toán đơn giản như cộng hoặc trừ.

\***Enable Signal**: Khối tín hiệu chọn cho khối ALU. Quy ước: nếu tổng số bit 1 trong SRAM array là **lẻ** thì Enable Signal cho phép khối ALU thực hiện phép **cộng** 4 bit  $(A1A2A3A4) + (B1B2B3B4)$ , nếu tổng số bit 1 trong SRAM array là **chẵn** thì Enable Signal cho phép khối ALU thực hiện phép **trừ** 4 bit  $(A1A2A3A4) - (B1B2B3B4)$ .

### 5.1) Yêu cầu thực hiện

Dựa trên mô tả của BTL, sinh viên dựa trên STT nhóm mình thực hiện thiết kế và mô phỏng hệ thống trên và chứng minh bằng kết quả waveform giống với kết quả tính toán lý thuyết.

# KẾT THÚC THÍ NGHIỆM



