

TRƯỜNG ĐẠI HỌC BÁCH KHOA TP HỒ CHÍ MINH



Báo cáo bài tập lớn
Môn thiết kế vi mạch tương tự và hỗn hợp
FLASH ADC

Sinh viên thực hiện: Nguyễn Thanh Toàn

Email: toan.nguyenpas@hcmut.edu.vn

Khoa Điện-Điện tử

Chuyên ngành điện tử viễn thông

Giảng viên hướng dẫn: Anh Khang, Anh Trung

Bộ môn: Điện tử

Khoa: Điện – điện tử

TP HỒ CHÍ MINH, 11/2023

Mục Lục

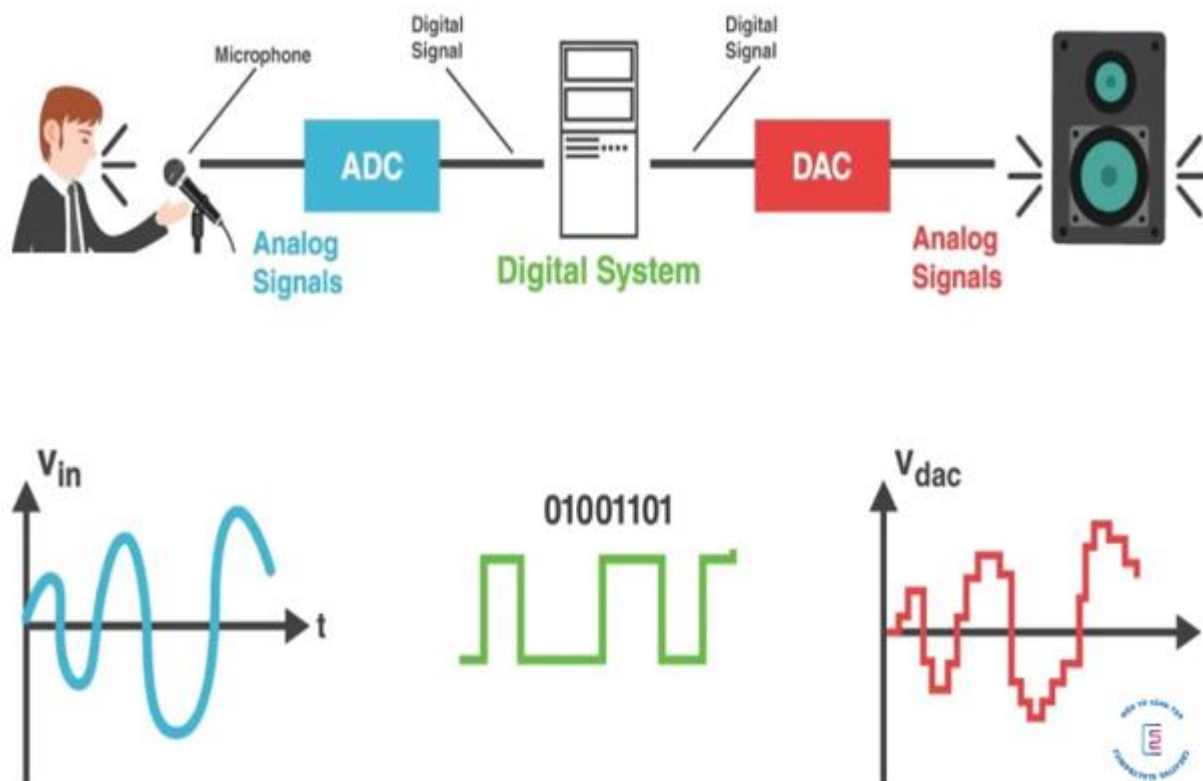
Phần 1: Giới thiệu	1
1. Giới thiệu chung về ADC:	1
2. Tổng quan về bài tập lớn:.....	3
Phần 2: Flash ADC dùng cổng đảo làm bộ so sánh.	4
1. Thuận lợi của việc dùng cổng đảo làm bộ so sánh:.....	4
2. Nhược điểm của bộ so sánh điện áp dùng cổng đảo.....	5
3. Thiết kế bộ so sánh điện áp dùng cổng đảo.	6
4. Thiết kế mạch thực hiện chức năng ưu tiên cho tín hiệu ngõ ra cao hơn	12
5. Thiết kế tầng encoder output cho bộ ADC:	14
Phần 3 Kết luận.....	16
1. Tổng kết về bộ ADC đã thiết kế:	16
2. Kiểm tra bộ ADC đã thiết kế.	16
3. Kết luận.....	17
Tài liệu Tham khảo.....	18

Phần 1: Giới thiệu

1. Giới thiệu chung về ADC:

Bộ chuyển đổi Analog sang Digital (ADC) là thiết bị đóng vai trò quan trọng nhất trong việc chuyển đổi thông tin analog sang các loại thông tin tương ứng.

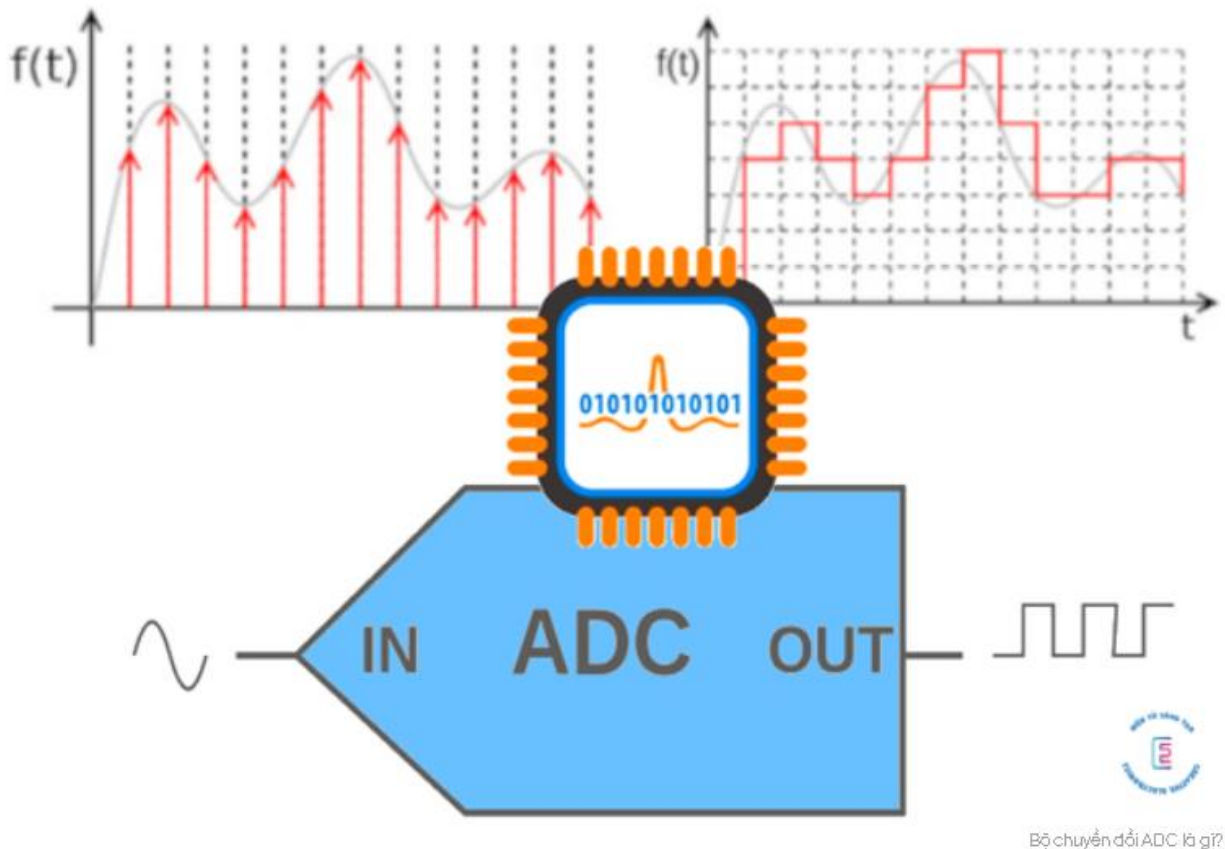
ADC thường được tìm thấy trong các ứng dụng của điện thoại thông minh, máy ảnh, TV điện tử, v.v. ADC flash thường hữu ích cho ứng dụng tốc độ cao. Loại flash ADC thường có tốc độ nhanh nhất trong số các loại ADC, có lẽ không được hưởng lợi về chất lượng cao hơn vì nó làm tăng số lượng của thành phần và do đó tiêu thụ nhiều năng lượng hơn. Tuy nhiên lợi thế lớn nhất của flash ADC là ở tốc độ cao. Phù hợp cho



các ứng dụng cần đọc tín hiệu cực nhanh như trong các ứng dụng hard-realtime.

Như ví dụ minh họa phía trên, đa số các thiết bị có chức năng xử lý thông tin, Tính toán dữ liệu, vi điều khiển, vi xử lý hiện nay đều là loại thiết bị digital (Làm việc với tín hiệu kỹ thuật số) Tuy nhiên đa số các tín hiệu trong tự nhiên phân lớn là lại tín hiệu tương tự (Nhiệt độ, độ ẩm, cường độ ánh sáng, tín hiệu âm thanh,...) Các thiết bị làm việc với tín hiệu digital tác nhiên sẽ không thể tự mình đọc và xử lý được những tín hiệu tương tự kể trên. Vì vậy ta cần bộ ADC để chuyển tín hiệu tương tự thành tín hiệu kỹ thuật số để các thiết bị digital có thể đọc và xử lý được. Cụ thể tín hiệu được tin ra bởi microphone khi có người nói vào micro là tín hiệu điện tương tự sau khi đi qua bộ ADC, bộ ADC này sẽ chuyển tín hiệu tương tự đó thành tín hiệu số (Chỉ có thể là 0 hoặc 1) Tín hiệu số này sẽ được đưa đến thiết bị kỹ thuật số để đọc và xử lý thông tin.

Sau khi xử lý xong tín hiệu lúc này là tín hiệu số không thể đưa trực tiếp đến loa vì loa chỉ có thể chuyển tín hiệu tương tự thành âm thanh, vì vậy tín hiệu này cần đi qua bộ DAC (Bộ DAC có chức năng ngược lại bộ ADC, tuy nhiên đối với thời lượng của BTL này cũng sẽ không đi sâu về bộ DAC) tín hiệu sẽ được chuyển đổi một lần nữa và trở về dạng tín hiệu tương tự và lúc này loa có thể chuyển tín hiệu tương tự này thành tín



hiệu âm thanh.

Để thực hiện việc chuyển đổi một tín hiệu analog thực tế (như nhiệt độ, độ ẩm, âm thanh,...) thành tín hiệu số, thì tín hiệu analog thực tế này phải được chuyển đổi thành dạng điện áp. Bộ ADC sau đó sẽ đọc các giá trị điện áp này và chuyển đổi thành tín hiệu số tương ứng.

Do quá trình chuyển đổi này liên quan đến việc lượng tử hóa tín hiệu ngõ vào, do đó nhất thiết mắc một lượng lỗi hoặc bị ảnh hưởng bởi nhiễu tín hiệu. Thay vì liên tục thực hiện việc chuyển đổi, bộ ADC thực hiện việc chuyển đổi theo chu kỳ, lấy mẫu (sampling) tín hiệu ngõ vào, giới hạn băng thông cho phép của tín hiệu. Tuy nhiên với thời lượng của bài tập lớn này thì sẽ không đề cập đến vấn đề lấy mẫu.

Hoạt động của một bộ ADC được đặc trưng bởi băng thông và tỉ số tín hiệu trên nhiễu (SNR signal-to-noise ratio). Băng thông của ADC được đặc trưng bởi tốc độ lấy mẫu (sampling rate). Tỉ số SNR của bộ ADC bị ảnh hưởng bởi nhiều yếu tố bao gồm: độ phân giải (resolution), độ tuyến tính (linearity) và độ chính xác (accuracy) (đánh giá

tính hiệu quả của quá trình lượng tử hoá tín hiệu từ tính hiệu analog thực tế), aliasing và jitter. Tỉ số SNR của bộ ADC thể hiện số bit trung bình trả về trong mỗi tính toán mà không bị nhiễu, được gọi là số bit hiệu quả (ENOB effective number of bits). Một bộ ADC lý tưởng có số ENOB bằng với độ phân giải của nó. Đối với bài tập lớn này cũng sẽ không đi sâu vào những vấn đề này. Mà chỉ tập trung chủ yếu vào nguyên lý hoạt động, thiết kế mạch nguyên lý, kiểm tra hoạt động của mạch nguyên lý,

2. Tổng quan về bài tập lớn:

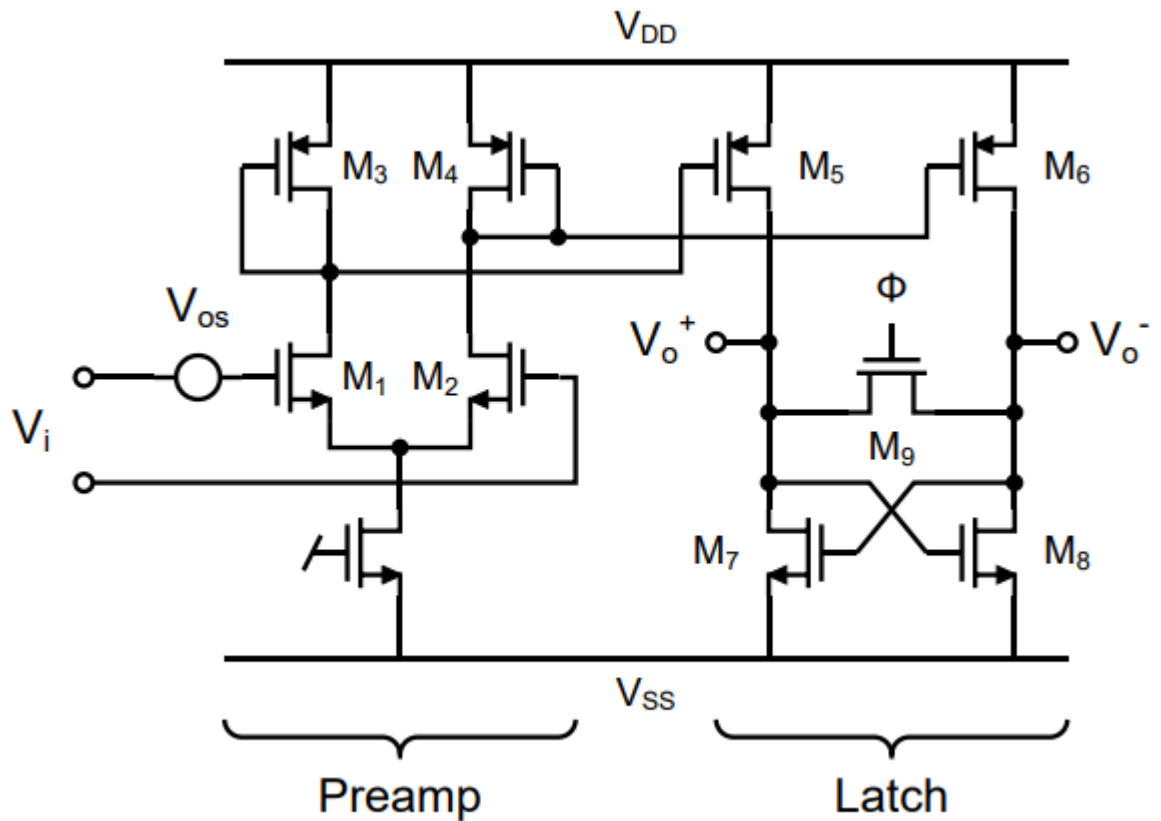
Được sự hỗ trợ gợi ý, hướng dẫn từ giảng viên, bài tập lớn này sẽ thực hành xây dựng một flash ADC 3 bit, có $V_{ref} = 0.6V$, $V_{Vsupply} = 1.2V$. Từ những thông tin trên ta có thể thành lập được một số thông số quang trọng của bộ flash ADC.

STT	Tên thông số	Ý nghĩa	Thông số
1	Độ phân giải	Là giá trị điện áp nhỏ nhất mà bộ ADC có thể phát hiện được	0.075V 75mV
2	Điện áp tham chiếu	Là điện áp lớn nhất mà bộ ADC có thể đọc được, Nếu điện áp lớn hơn giá trị này thì bộ ADC sẽ trả về toàn bit 1	0.6V
3	Bậc số hóa	Là số bit ở ngõ ra của bộ ADC, số này càng lớn thì Độ phân giải của bộ ADC sẽ càng tốt	3 bit
4	Số mức lượng tử	Là số lượng các mức điện áp mà bộ ADC cho ra các giá trị khác nhau.	8 mức

Phần 2: Flash ADC dùng cổng đảo làm bộ so sánh.

1. Thuận lợi của việc dùng cổng đảo làm bộ so sánh:

Cấu trúc của bộ so sánh truyền thống thường có cấu tạo như sau:



Như quan sát ta có thể thấy đối với bộ so sánh truyền thống, thường được cấu tạo gồm 2 phần: Phần preamp và latch. Hay là bộ khuyết đại vi sai và bộ chốt. Bộ khuyết đại vi sai thường được sử dụng là bộ khuyết đại vi sai có tải mắc dạng diode connected. Vì mạch so sánh điện áp truyền thống sử dụng bộ khuyết đại vi sai dạng tải diode connected vì vậy mạch này cần thiết phải có điện áp V_{bias} để phân cực cho các mosfet, hoặc dùng một gương dòng điện để phân cực cho mạch hoạt động. Và tín hiệu ngõ vào V_i cũng cần có một điện áp DC để các mosfet hoạt động đúng chế độ. Vì các mosfet trong mạch khuyết đại đều thường hoạt động ở chế độ bão hòa vậy nên các mosfet luôn luôn hoạt động ở chế độ dẫn vì vậy công suất tiêu thụ của mạch ở chế độ tĩnh cũng vô cùng đáng kể. Và một bộ so sánh truyền cũng cần khá nhiều mosfet gây phức tạp cho mạch, tăng tiêu thụ năng lượng, chiếm không gian lớn.

Đối với mạch so sánh dùng cổng đảo sẽ có cấu tạo như sau:

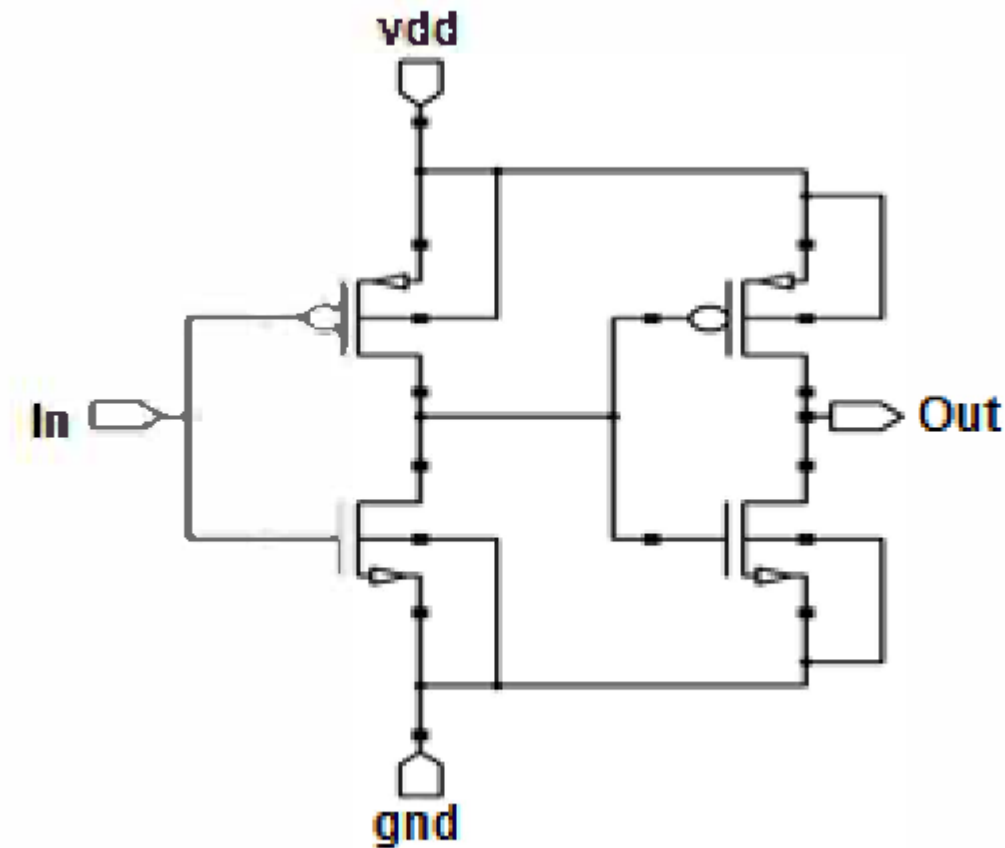


Figure 2: CMOS inverter based comparator design

Như ta có thể thấy cấu tạo của bộ so sánh dùng cổng đảo rất đơn giản. Giống như việc dùng hai cổng not nối liên tầng nhau. Tuy nhiên mạch so sánh dùng cổng đảo khắc phục được những nhược điểm của bộ so sánh truyền thống như không cần dùng Vbias để phân cực cho các mosfet, Không cần thiết kế bộ gương dòng điện. Phần lớn trong dãy điện áp của Vin trong một nhánh mạch chỉ có một mosfet dẫn Pmos hoặc Nmos vậy nên không hình thành dòng chạy trong các nhánh điều này làm giảm công suất tiêu thụ năng lượng của mạch. Mạch so sánh điện áp dùng cổng đảo có cấu tạo đơn giản gồm 2 Pmos và 2 Nmos, tiết kiệm được nhiều mosfet, không gian trên Die và năng lượng tiêu thụ.

2. Nhược điểm của bộ so sánh điện áp dùng cổng đảo

Như ta có thể thấy mặc dù bộ so sánh dùng cổng đảo có nhiều điểm thuận lợi, tuy nhiên bộ so sánh này cũng có những nhược điểm riêng:

Thứ nhất, như ta thấy đầu vào của bộ so sánh điện áp chỉ có một dây, đầu còn lại được nối đất vì vậy tín hiệu khi được xử lý rất dễ bị nhiễu bởi nguồn. Dễ gây ra sai số cho đầu ra của bộ ADC.

Thứ hai, Đối với một bộ ADC có M bậc lượng tử thì ta cần phải thiết kế đủ $2^M - 1$ bộ so sánh điện áp dùng cổng đảo khác nhau để thực hiện hệ thống. Điều này

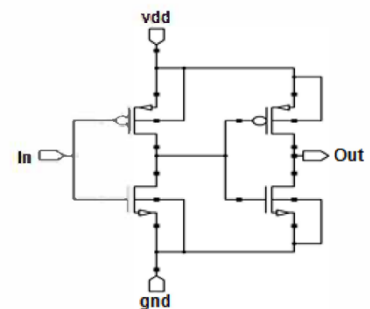


Figure 2: CMOS inverter based comparator design

gây ra khó khăn lớn khi thiết kế đặc biệt đối với những bộ ADC lớn (Nhưng bộ ADC có bậc lượng tử cao).

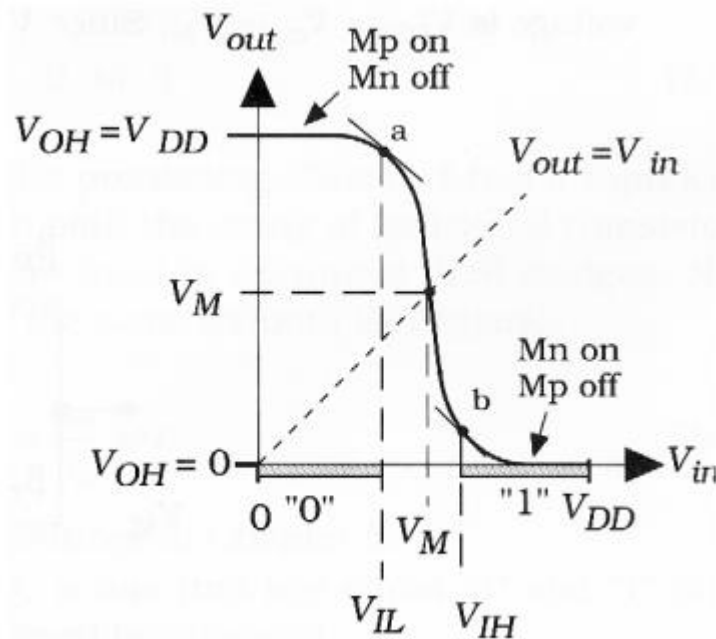
Thứ ba, Vì ngõ vào bộ so sánh điện áp chỉ có một dây (dây còn lại được nối đất) vì vậy kết quả của bộ ADC sẽ chịu ảnh hưởng rất lớn khi có nhiễu ở đầu vào hoặc ở nguồn cung cấp vì vậy bộ so sánh điện áp dùng cổng đảo cần một nguồn cung cấp riêng biệt và thật sự đáng tin cậy, ít bị ảnh hưởng bởi nhiễu.

Thứ tư, Bộ so sánh điện áp dùng cổng đảo phụ thuộc rất nhiều vào điện áp trip point của cổng đảo vì vậy việc thiết kế bộ so sánh dùng cổng đảo phụ thuộc rất nhiều vào các thông số của tiến trình.

3. Thiết kế bộ so sánh điện áp dùng cổng đảo.

Như ta có thể dễ dàng nhận thấy bộ so sánh điện áp dùng cổng đảo có cấu tạo gồm 2 tầng có cấu tạo tương tự nhau.

Tần đầu tiên có chức năng điều chỉnh vị trí của Trip point để thực hiện chức năng so sánh. Nguyên lý hoạt động của cổng not có thể được mô tả như sau:



Khi V_{in} thấp:

- $V_{in} < V_{tn}$
 - Nmos sẽ hoạt động ở miền Cutoff, OFF, dòng điện qua Nmos = 0
 - Pmos sẽ hoạt động ở miền Triode ($V_{SD} = V_{DD} - V_{out} < V_{DD} - V_{in}$), lúc này điện trở tương đương của Pmos sẽ rất thấp nên V_{out} sẽ được kéo lên V_{DD} .
- $V_{out} > V_{in} > V_{tn}$
 - Nmos sẽ bắt đầu dẫn ở miền bão hòa Saturation, lúc này dòng điện đi qua mạch cũng lớn hơn làm cho V_{out} bị giảm.
 - Pmos vẫn hoạt động ở miền Triode ($V_{SD} < V_{DD} - V_{in}$).
 - V_{out} lúc này giảm dần do đã có dòng đi qua Nmos.
- $V_{in} = V_{out}$ (mid point) (sấp xỉ $\frac{1}{2} V_{DD}$)

– Lúc này cả Nmos và Pmos đều hoạt động ở miền bão hòa.

– Lúc này dòng điện chạy trong mạch đạt cực đại

Khi V_{in} lớn:

• $V_{DD} - |V_{tp}| > V_{in} > V_{out}$

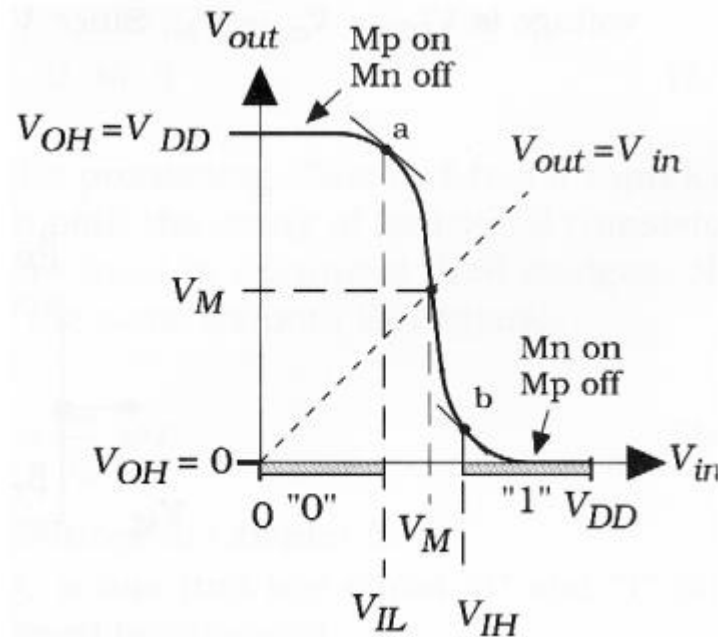
– Nmos sẽ hoạt động ở miền Triode, Pmos hoạt động ở miền bão hòa Saturation

– Vì Nmos hoạt động ở miền triode nên điện trở tương đương của Nmos lúc này khá nhỏ làm cho V_{out} bị giảm. Dòng điện chạy trong mạch cũng bắt đầu giảm do bị giới hạn bởi Pmos

• $V_{in} > V_{DD} - |V_{tp}|$

– Nmos hoạt động ở chế độ Triode, Pmos hoạt động ở miền ngắt OFF. Lúc này V_{out} sẽ được Nmos kéo xuống đất.

Để tính được trip point ta cần phân tích DC của mạch :



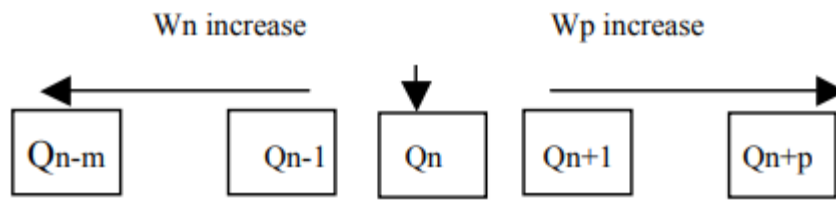
Ta có dòng điện chạy trong mạch $I = I_{SDp} = I_{SDn}$ và được xác định theo công thức như sau:

$$I_{Dn} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GSn} - V_{tn})^2 = \frac{\beta_n}{2} (V_{GSn} - V_{tn})^2 = \frac{\beta_p}{2} (V_{SGp} - |V_{tp}|)^2 = I_{Dp}$$

Khi xét tại điểm trip point $V_{out} = V_{DD}/2$ (Lúc này $V_{GSn} = V_{tp}$ và $V_{SGp} = V_{DD} - V_{tp}$) Nên khi biến đổi ta có thể được phương trình:

$$V_{tp} = \frac{(V_{DD} - V_{tp}) \sqrt{\frac{\beta_p}{\beta_n}} + V_{tn}}{\sqrt{\frac{\beta_p}{\beta_n}} + 1}$$

Từ đây ta có thể nhận xét như sau: Khi đạo hàm V_{tp} theo $\sqrt{\frac{\beta_p}{\beta_n}}$ ta sẽ được một số luôn luôn dương (tử số của đạo hàm ta được $(V_{dd} - V_{tp}) \times 1 - 1 \times (V_m)$) như vậy ta có thể đưa ra nhận xét rằng V_{tp} sẽ đồng biến với $\sqrt{\frac{\beta_p}{\beta_n}}$ mà $\sqrt{\frac{\beta_p}{\beta_n}}$ tỉ lệ thuận với W_p/W_n Vì vậy ta có thể kết luận rằng muốn tăng V_{tp} thì ta tăng W_p và muốn giảm V_{tp} thì ta tăng W_n .

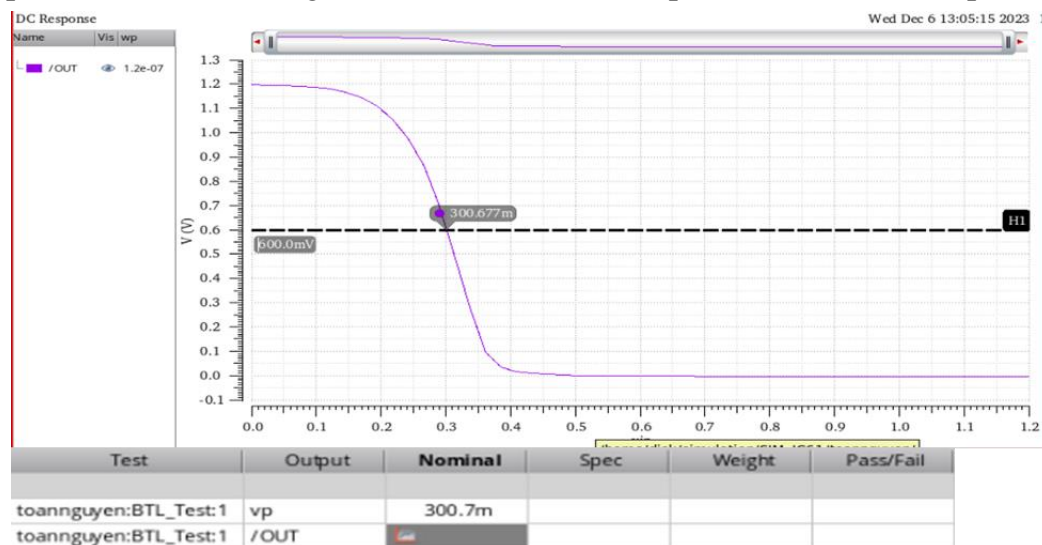


Vì ta có $V_{ref} = 0.6V$ và có 8 mức lượng tử vậy nên ta có bảng V_{tp} cần thiết kế. Tuy nhiên để dễ thiết kế hơn ta có thể thêm thành phần DC vào để V_{tp} dịch sang một đoạn $V_{dc} = 0.225V$ về phía VDD như sau:

Mức lượng tử encode digital	$V_{tp}(V)$
001	0.3
010	0.375
011	0.45
100	0.525
101	0.6
110	0.675
111	0.75

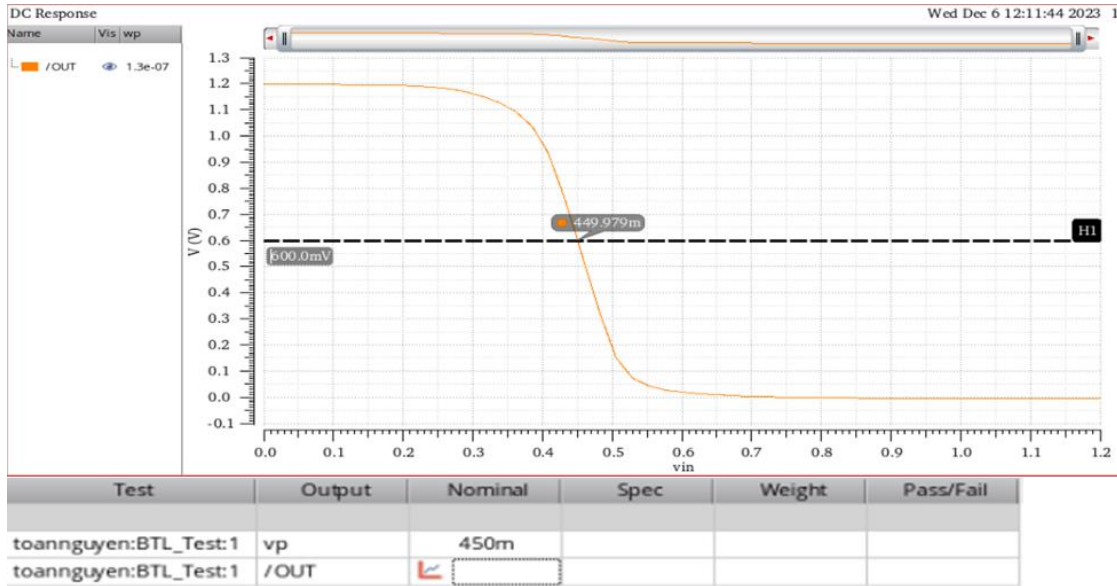
Như vậy ta cần phải thiết kế 7 bộ so sánh điện áp dùng cổng đảo với các V_{tp} như phía trên:

$V_{tp} = 0.3$: Ta chọn thông số như sau: $W_n = 2u$, $W_p = 120n$, $L_n = 60n$, $L_p = 1u$

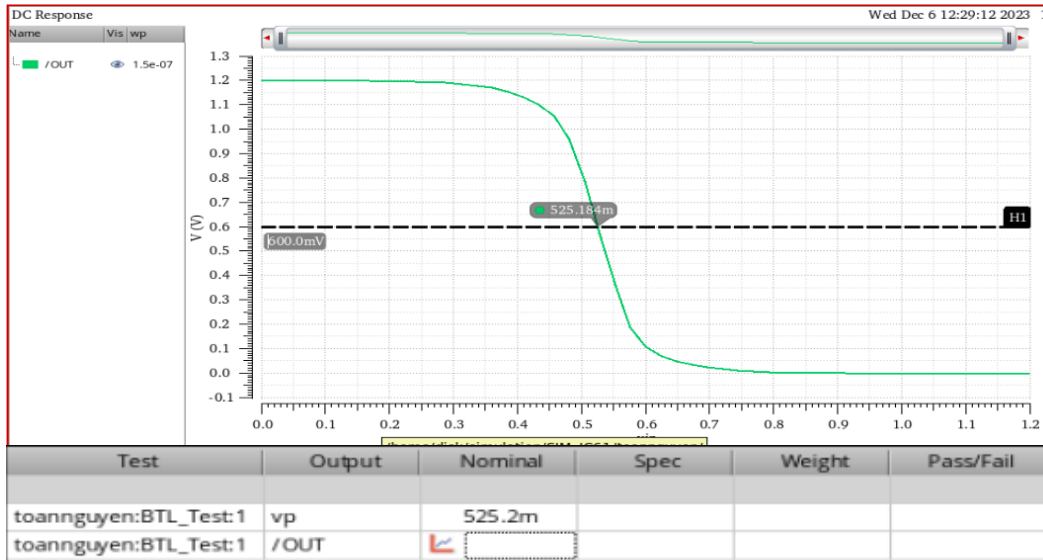


$V_{tp} = 0.375V$: $W_n = 2.55u$, $W_p = 120n$, $L_n = 60n$, $L_p = 60n$

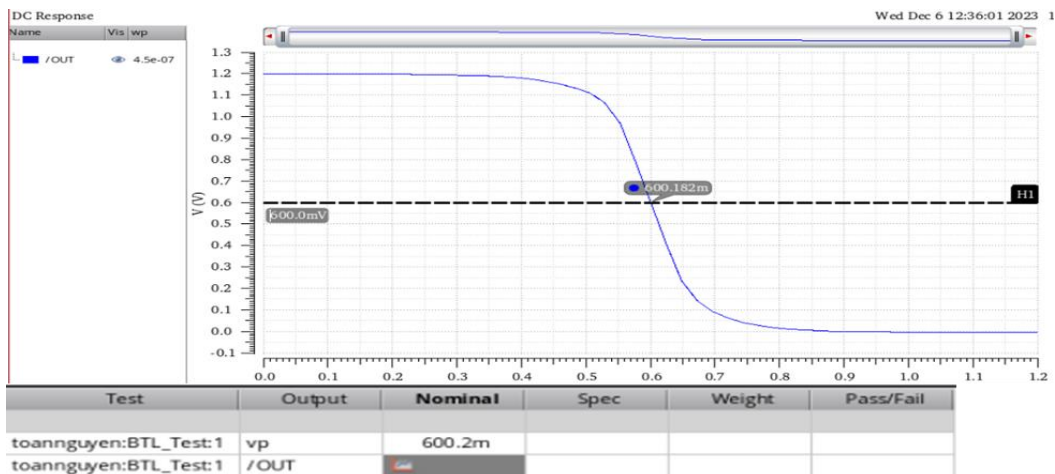
$V_{tp} = 0.45V$: $W_n = 800n$, $W_p = 150n$, $L_n = 60n$, $L_p = 60n$



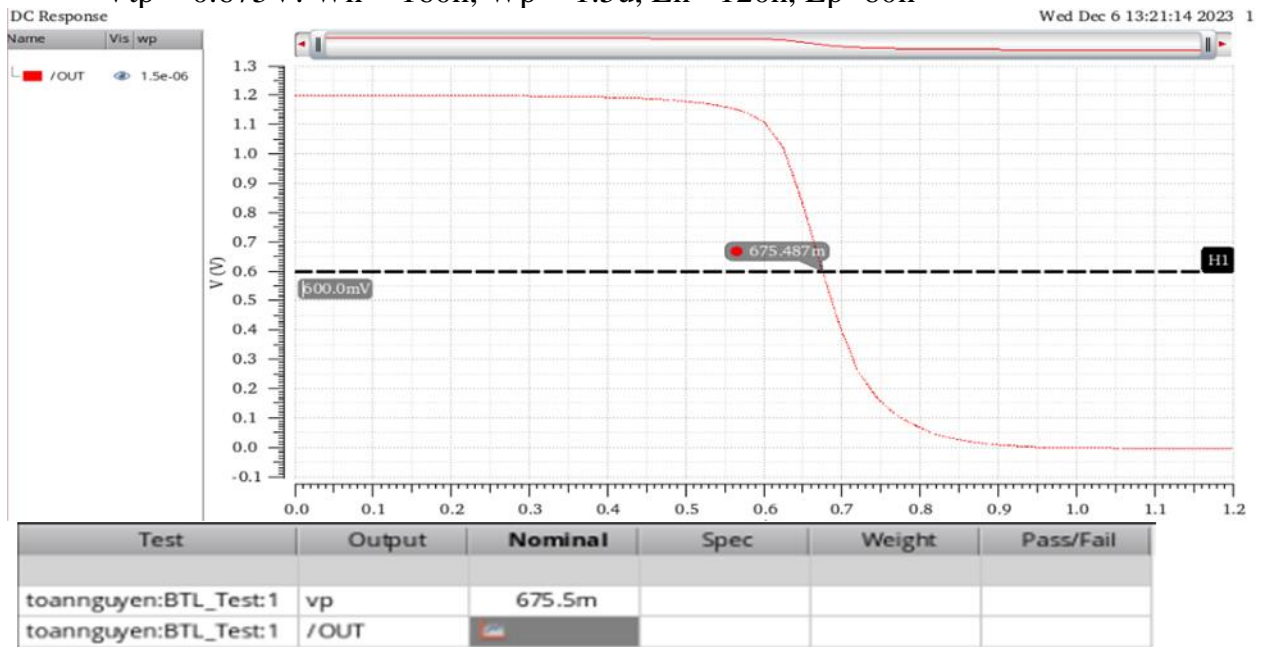
$V_{tp} = 0.525V$: $W_n = 195n$, $W_p = 150n$, $L_n = 60n$, $L_p = 60n$



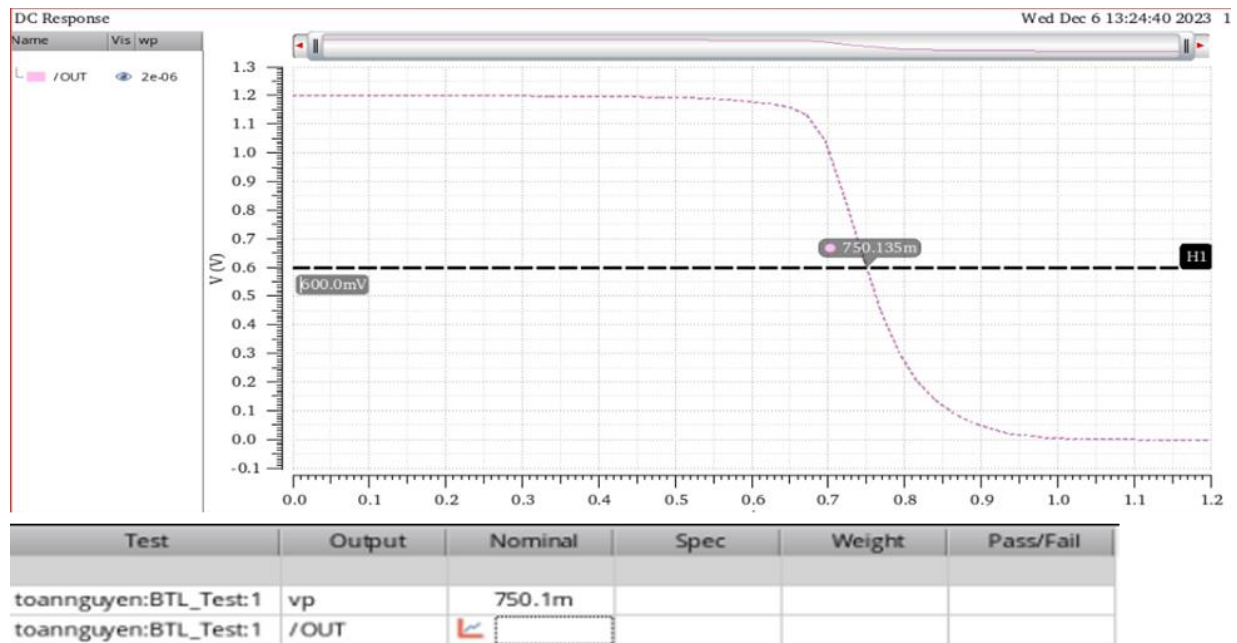
$V_{tp} = 0.6V$: $W_n = 125n$, $W_p = 450n$, $L_n = 60n$, $L_p = 60n$



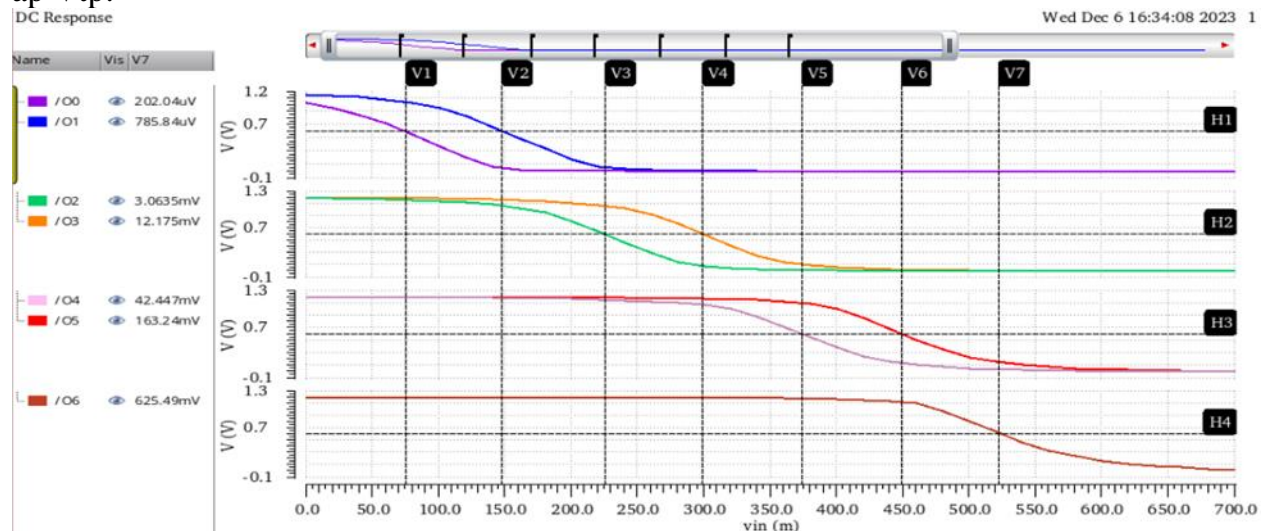
$V_{tp} = 0.675V$: $W_n = 160n$, $W_p = 1.5u$, $L_n = 120n$, $L_p = 60n$



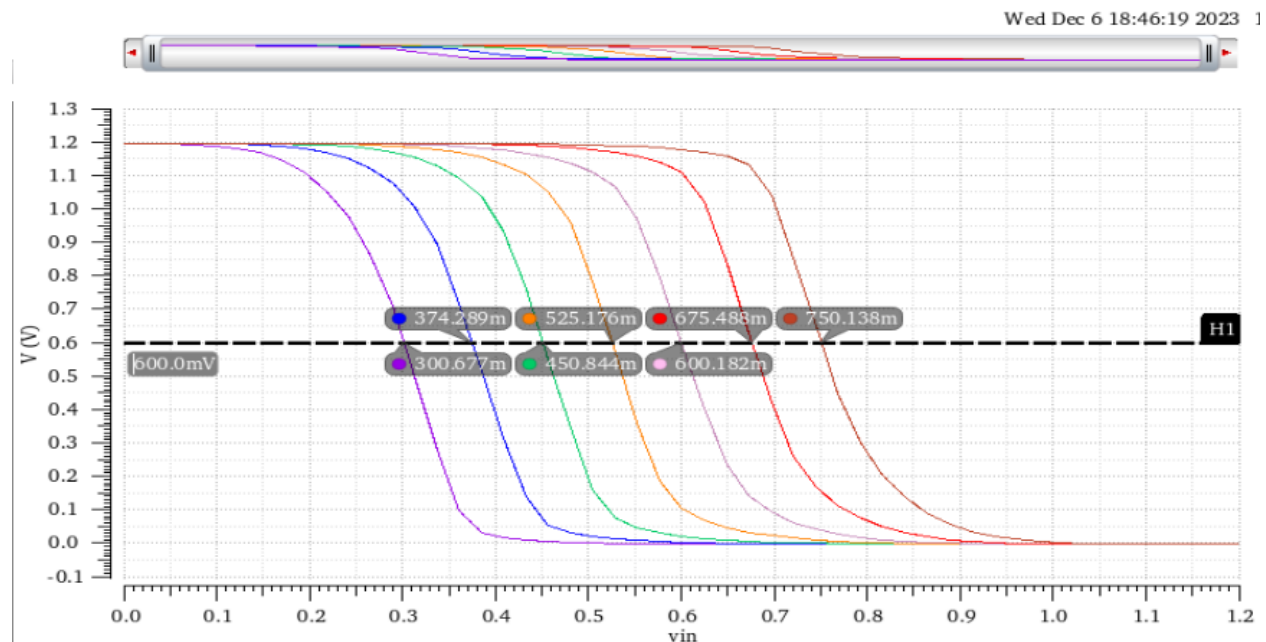
$V_{tp} = 0.75V$: $W_n = 122n$, $W_p = 2u$, $L_n = 480n$, $L_p = 60n$



Sau khi đã tạo được tất cả các bộ so sánh điện áp dùng cổng đảo ta sẽ đóng gói các cổng này lại thành chung thành 1 bộ cổng state 1 của bộ so sánh điện áp như sau để test các điện áp Vtp:

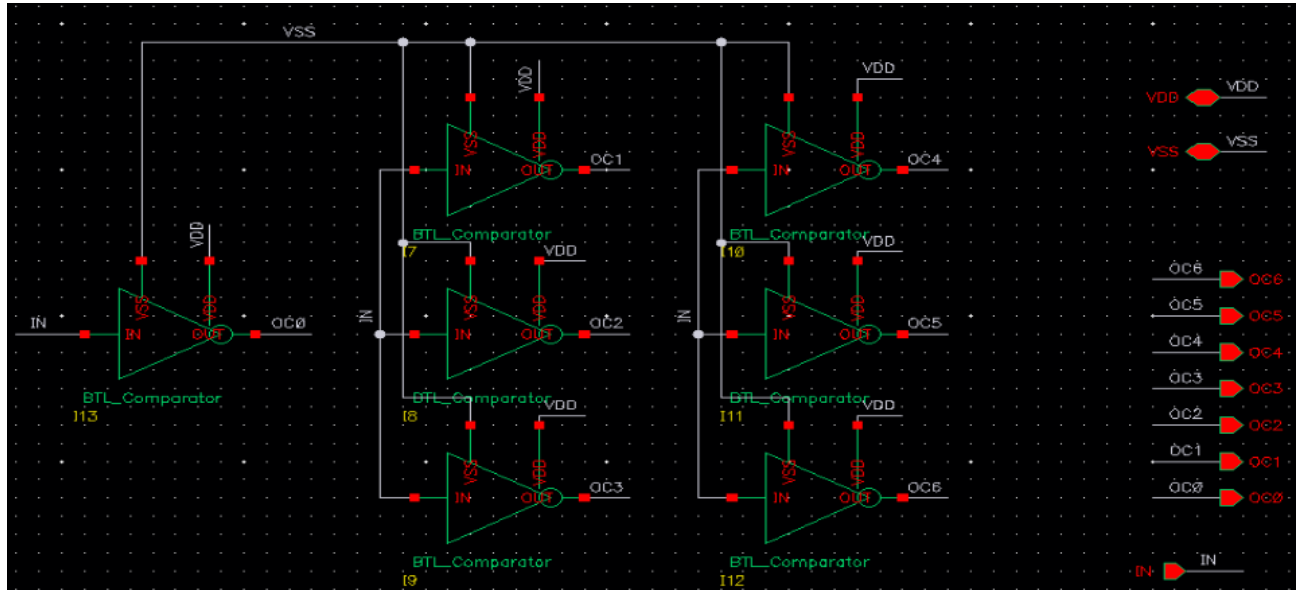


Ghi chú: đồ thị trên đã được loại bỏ thành phần DC ra khỏi tín hiệu ngõ vào

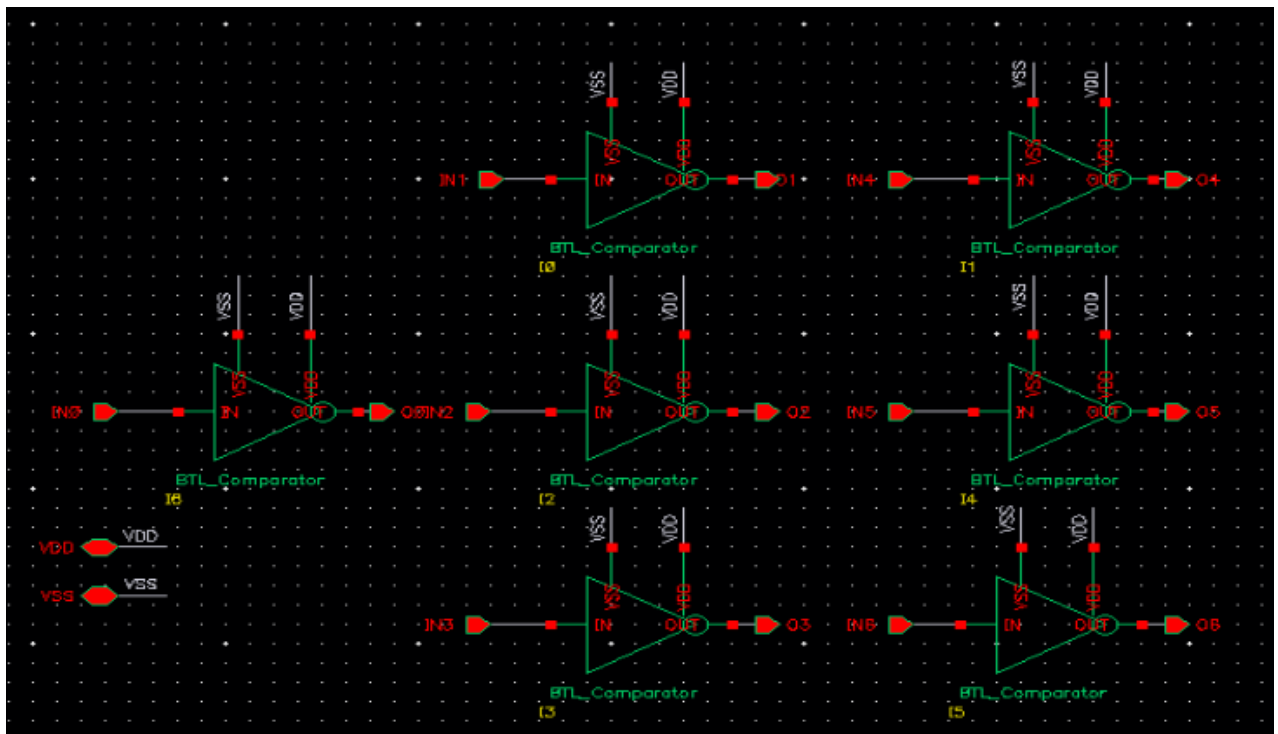


Các điểm trip point đều meet spec có sai số đề không vượt quá 2mV

Bây giờ ta thực hiện đóng gói state1 của bộ so sánh điện áp dùng cổng đảo thành 1 tầng:

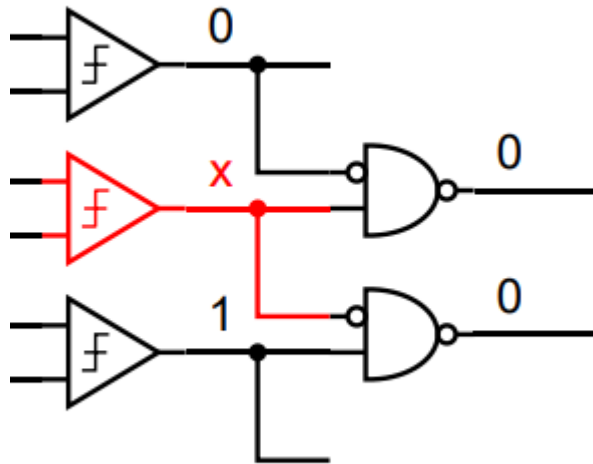


Tiếp theo ta thực hiện tầng tiếp theo của bộ so sánh điện áp dùng cổng đảo. Ở tầng này chức năng chủ yếu là khuyết đại. Và điểm trip point cần phải được cân bằng $V_{tp} = \frac{1}{2} V_{dd}$. Nên ta có thể tận dụng lại một cổng đảo có $V_{tp} = 0.6 = 1/2 V_{dd}$ để làm cổng đảo cho tầng thứ 2. $W_p = 450n$, $W_n = 125n$, $L_n = L_p = 60n$



4. Thiết kế mạch thực hiện chức năng ưu tiên cho tín hiệu ngõ ra cao hơn

Luận lý của mạch sẽ như sau:



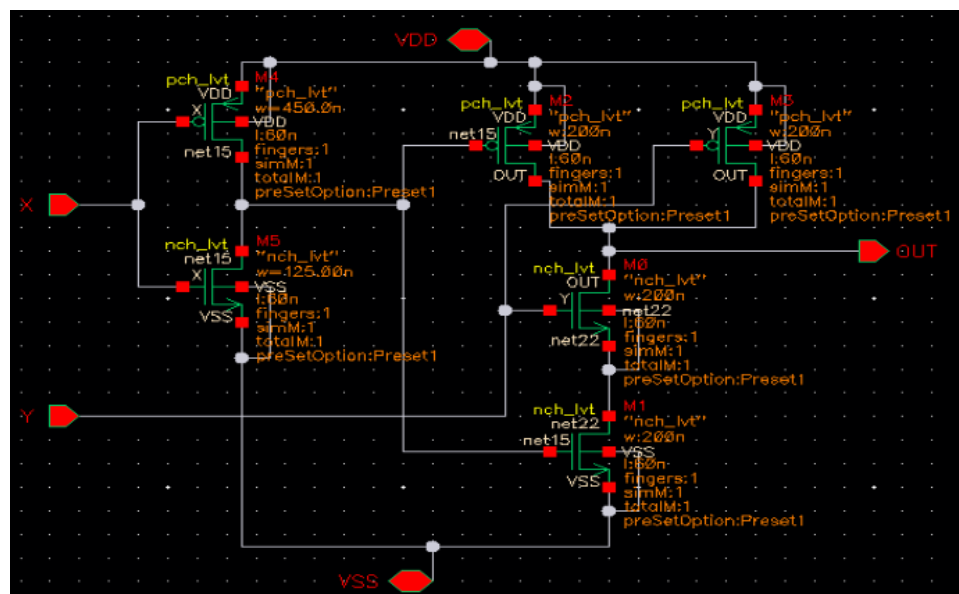
Ý nghĩa của tầng này là ưu tiên cho tín hiệu phía trên có mức điện áp cao hơn bộ so sánh (bộ so sánh trả về mức 1). Có thể giải thích bằng lời như sau: Nếu tín hiệu phía trên qua bộ so sánh trả về 1 có nghĩa tín hiệu ở trên cao hơn ngưỡng trên vì vậy tín hiệu phía dưới sẽ không còn ý nghĩa.

Bảng luận lý của mạch logic:

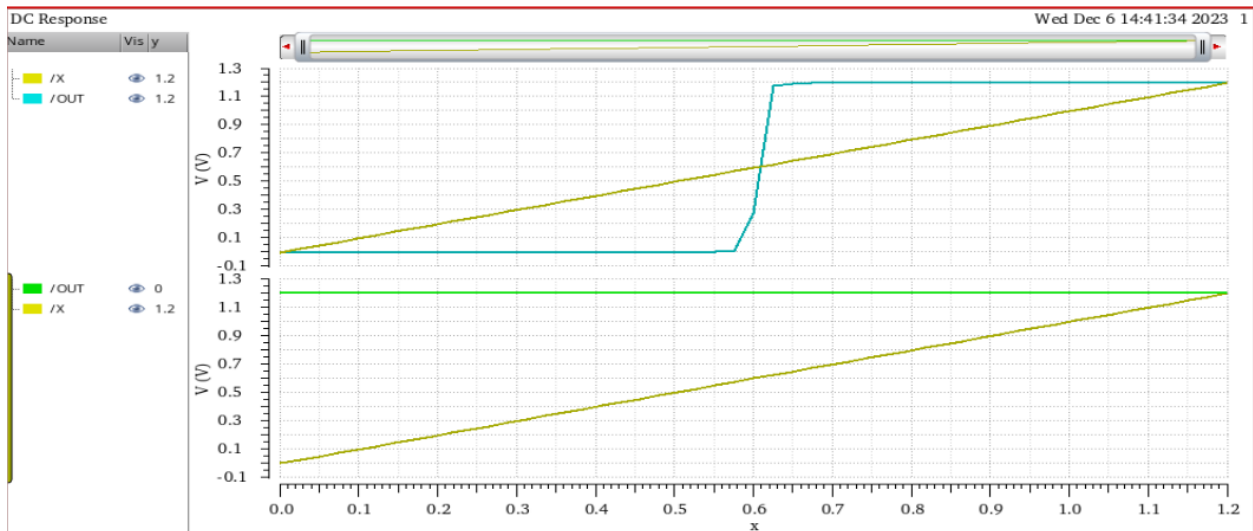
X	Y	OUT
0	0	1
0	1	0
1	0	1
1	1	1

$$OUT = \text{not}(\text{not}(X) \& Y)$$

Ta có thể thiết kế mạch luận lý trên như sau:

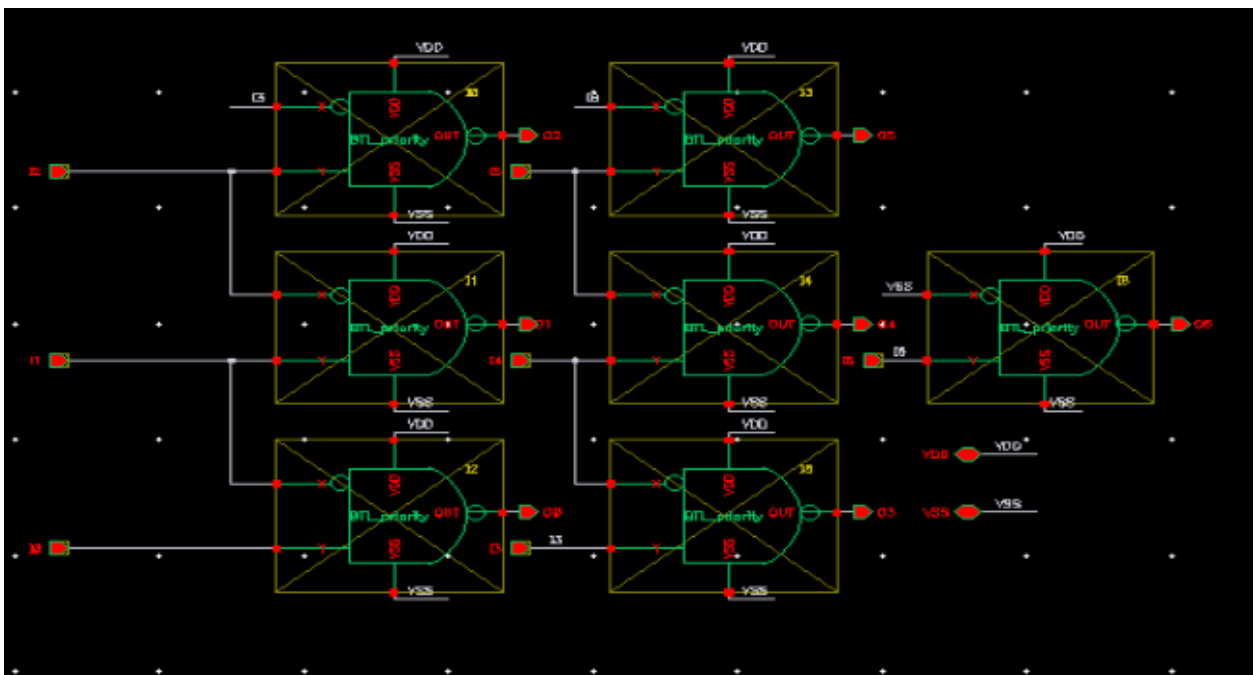


Test mạch luận lý trên:

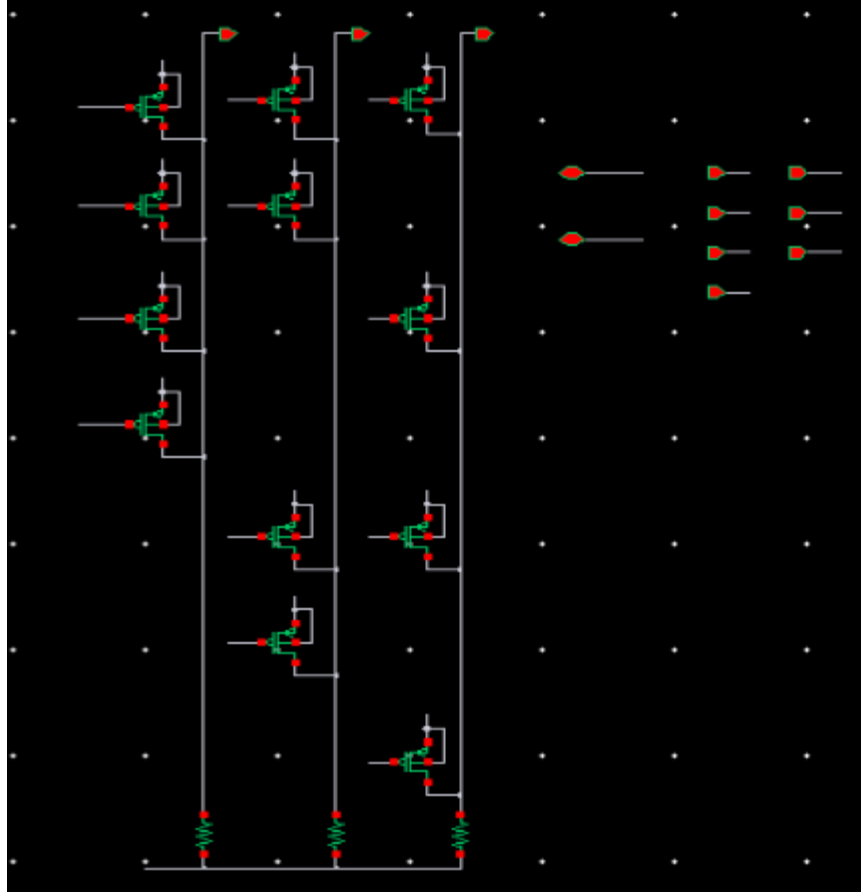


Như vậy ta có thể thấy mạch chỉ cho ra tín hiệu 0 khi và chỉ khi $X = 0$ và $Y = 1$. Phù hợp với bảng luận lý và thời điểm chuyển mạch của X cũng gần đúng vị trí $VDD/2$. Sau khi đã xây dựng thành công mạch luận lý thực hiện chức năng priority ta tiếp tục đóng gói tầng mạch priority này lại thành một tầng:

5. Thiết kế tầng encoder output cho bộ ADC:



Tầng này có chức năng dựa vào kết quả của tầng trước là tầng priority và chuyển dữ liệu này thành giá trị digital ở ngõ ra giống bảng chân trị của bộ ADC

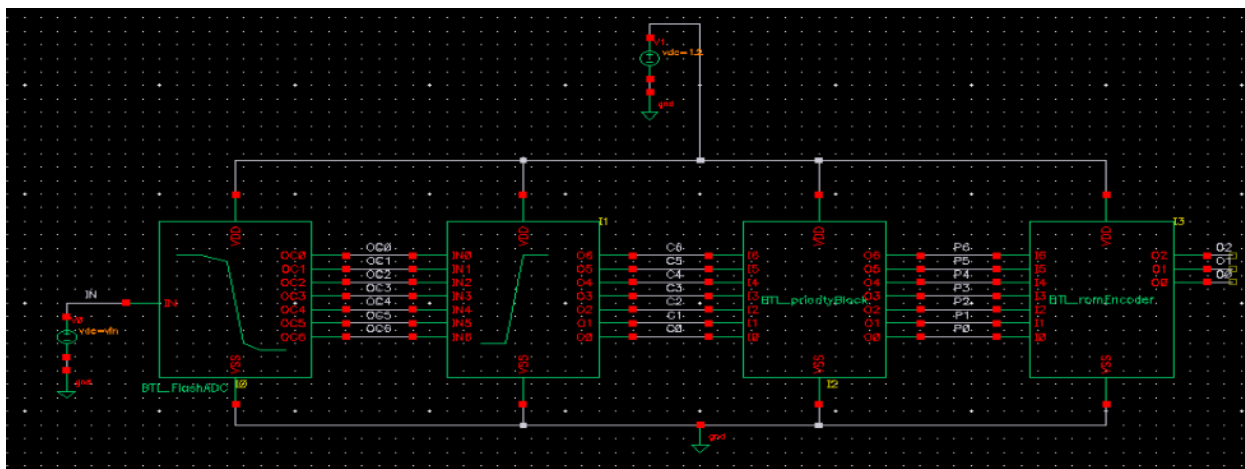


Tầng này gồm các Pmos có cực S nối với Vdd và cực D nối với đầu ra. Dựa vào đặt tín của tầng trước đó trả về mức 0 cho đường dây mà tại đó Vin vừa lớn hơn mức lượng tử ở mức đó và nhỏ hơn mức lượng tử của mức trên. Pmos sẽ dẫn khi điện áp đặt vào cực G Pmos ở mức 0, Khi Pmos dẫn sẽ kéo đầu ra lên mức cao. Như vậy chỉ cần sắp xếp các Pmos hợp lý ta sẽ tạo được tầng encoder tạo đầu ra cho bộ ADC.

Phần 3 Kết luận

1. Tổng kết về bộ ADC đã thiết kế:

Như vậy ta đã đi qua hết tất cả các tầng của bộ ADC khi kết hợp các tầng ấy lại ta sẽ được một bộ ADC hoàn chỉnh.



Tầng 1: Chứa năng dựa vào các trip point khác nhau để lượng tử hóa đầu vào.

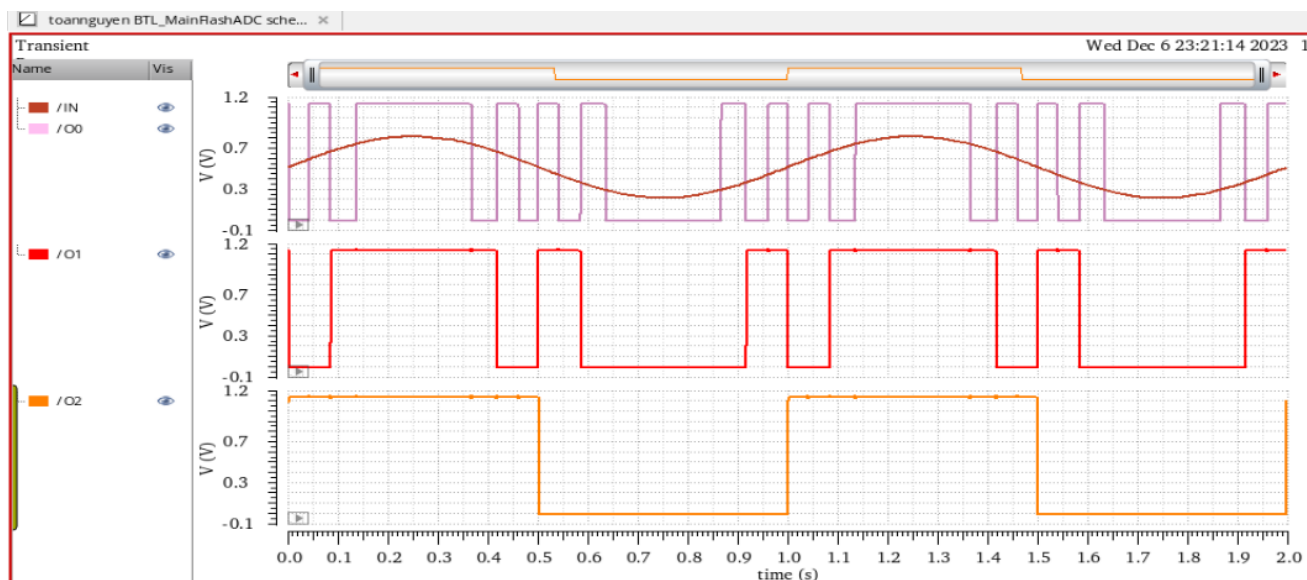
Tầng 2: Khuyết đại tầng 1 và đảo lại tín hiệu của tầng 1 (Phù hợp với luận lý $V_{in} > V_{tp}$ thì $V_{out} = V_{dd}$, $V_{in} < V_{tp}$ thì $V_{out} = 0$)

Tầng 3: Thực hiện chức năng luận lý, bắt lấy tín hiệu tại đó $v_{in} > V_{tp}$ phía dưới nhưng $v_{in} < V_{tp}$ phía trên.

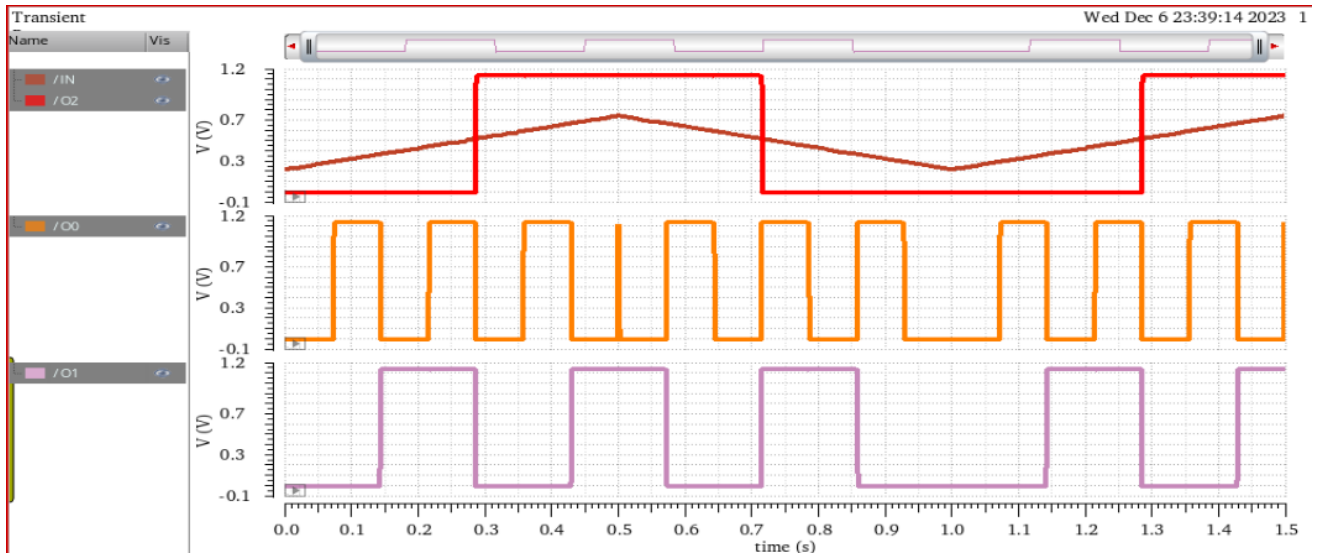
Tầng 4: Dựa vào tín hiệu của tầng 3 encode tín hiệu digital ngõ ra đúng với bảng luận lý của bộ ADC.

2. Kiểm tra bộ ADC đã thiết kế.

Mô phỏng TRAN ngõ vào là sóng sine



Mô phỏng TRAN với ngõ vào là xung tam giác



3. Kết luận

Như vậy ta đã hoàn thành việc xây dựng một bộ ADC, sử dụng cổng đảo làm bộ so sánh. Ta nhận thấy rằng việc sử dụng cổng đảo làm bộ so sánh có một số ưu điểm như tiết kiệm không gian, tiêu thụ năng lượng ít hơn, không cần thiết kế gương dòng điện, V_{bias} để phân cực, ... Tuy nhiên việc dùng cổng đảo làm bộ so sánh cũng có một số khó khăn, như việc phải thiết kế nhiều bộ so sánh với các thông số khác nhau đặc biệt với những bộ ADC có bậc lượng tử hóa lớn.

Tài liệu Tham khảo

1. Ali TANGEL, Kyusun CHOI (), *“The CMOS Inverter” as a comparator in ADC designs*
2. A. Mason (2022), *CMOS inverter DC analysis*, truy cập tại <https://www.egr.msu.edu/classes/ece410/mason/files/Ch7.pdf>