

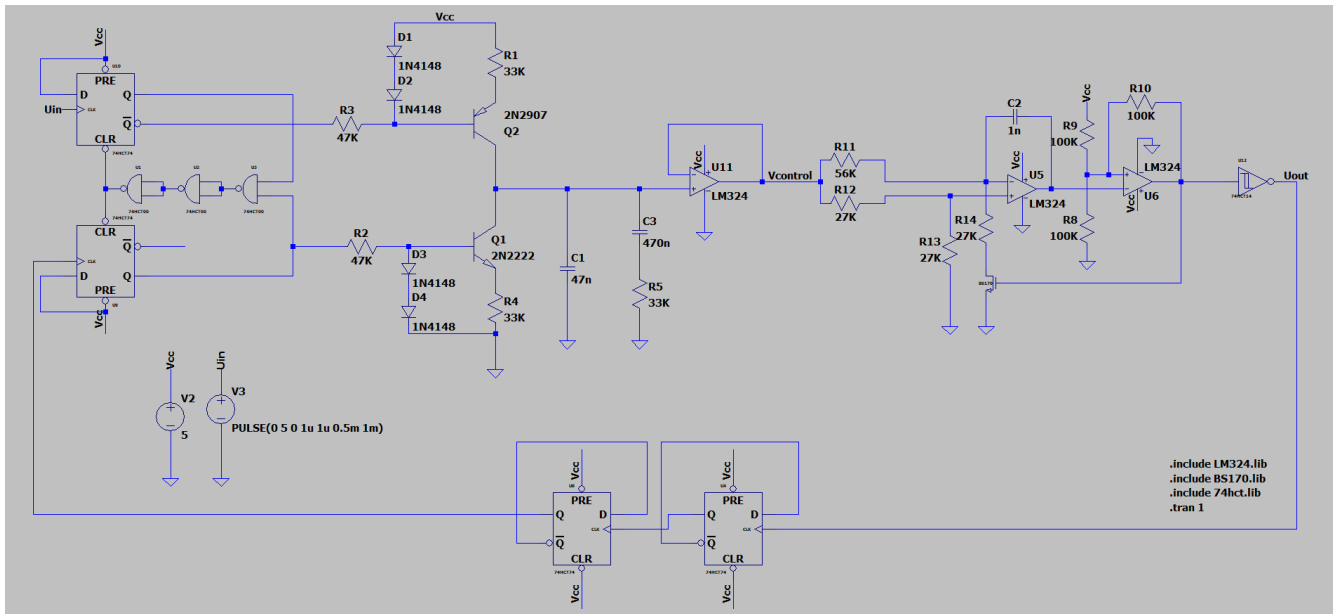


# Προσομοιώσεις PLL με ιδανικά στοιχεία

Στην παρούσα αναφορά θα προσομοιώσουμε το PLL στο LTSpice και θα ελέγξουμε τις δυνατότητες της σχεδίασης μας.

## 1. Αρχικό Κύκλωμα

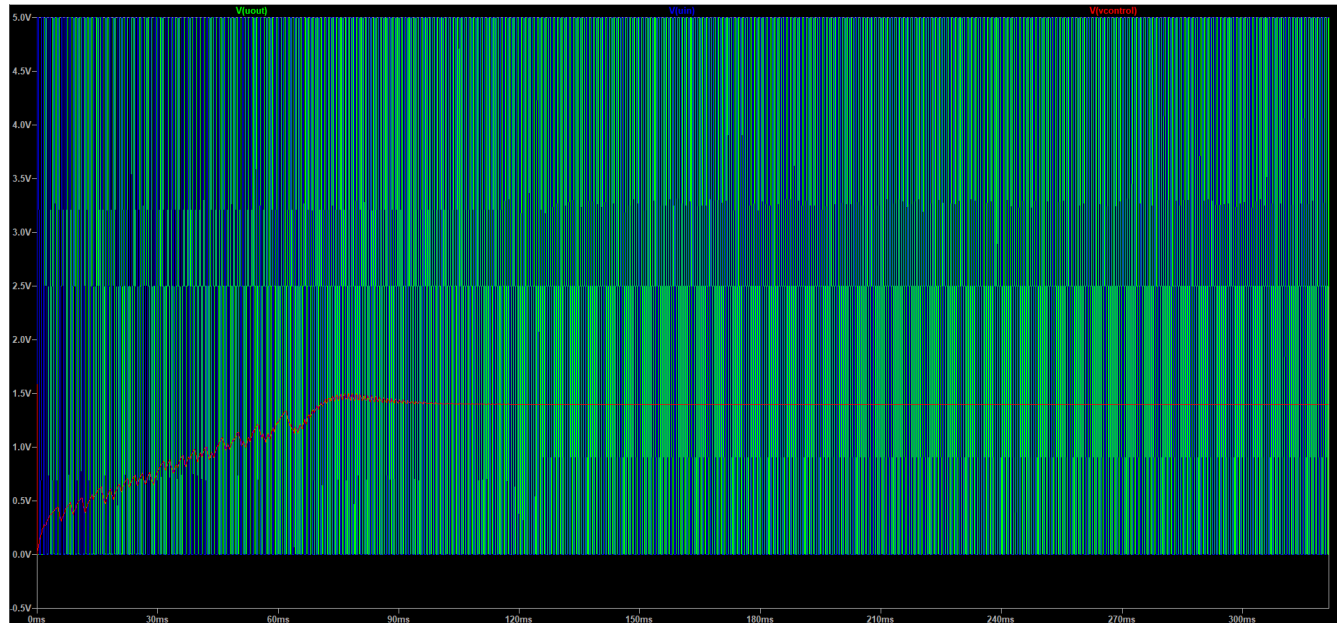
Το schematic του PLL φαίνεται στο Σχήμα 1.



Σχήμα 1: PLL Schematic

## 2. Προσομοίωση για $U_{in} = 1 \text{ kHz}$

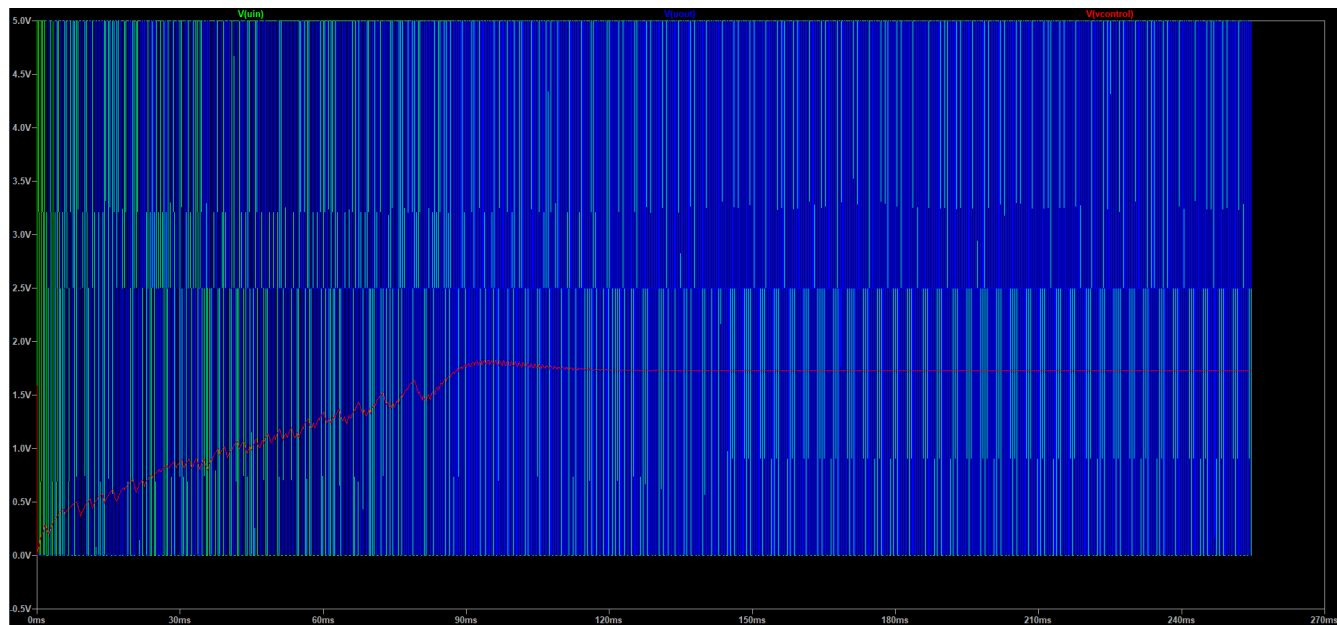
Κατά την αρχική προσομοίωση (Σχήμα 2), για  $U_{in} = 1 \text{ kHz}$ , παρατηρείται πολύ καλό κλείδωμα στα  $100 \text{ ms}$ , με  $V_{control} = 1.4 \text{ V}$  και τετραπλασιασμό της συχνότητας στην έξοδο.



Σχήμα 2: PLL Simulation for  $U_{in} = 1 \text{ kHz}$

### 3. Προσομοίωση για $U_{in} = 1.2 \text{ kHz}$

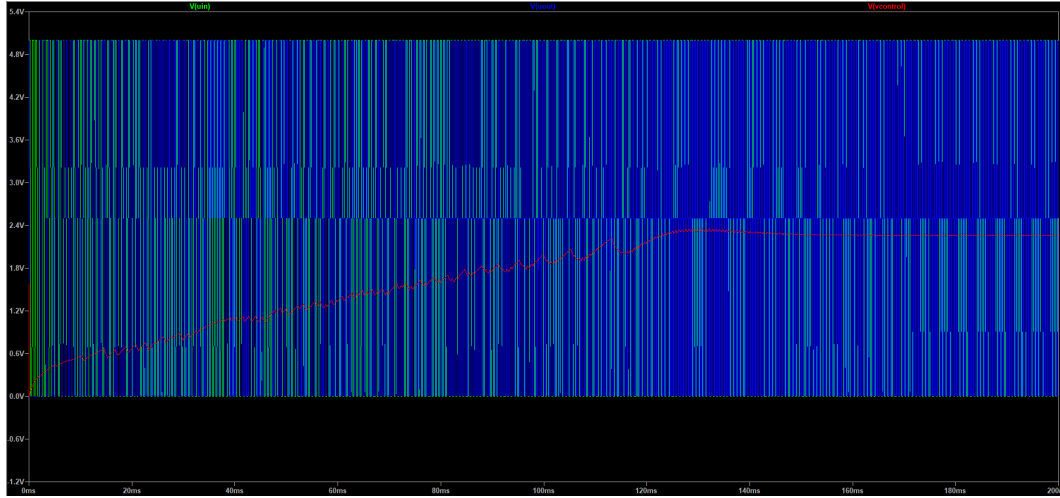
Αυξάνοντας τη συχνότητα εισόδου στα  $1.2 \text{ kHz}$  — όριο κλειδώματος του PLL στο εργαστήριο — το κύκλωμα συνεχίζει να κλειδώνει, με  $V_{control} = 2 \text{ V}$  (Σχήμα 3).



Σχήμα 3: PLL Simulation for  $U_{in} = 1.2 \text{ kHz}$

#### 4. Προσομοίωση για $U_{in} = 1.5 \text{ kHz}$

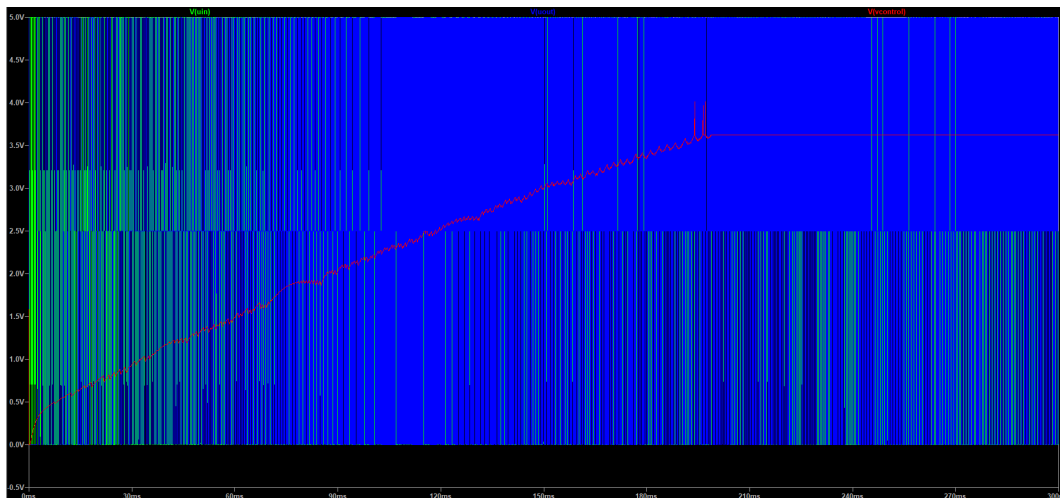
Για  $U_{in} = 1.5 \text{ kHz}$ , το PLL εξακολουθεί να κλειδώνει, με  $V_{control} = 3 \text{ V}$ . Εδώ αρχίζει να φαίνεται η διαφορά μεταξύ προσομοίωσης και πραγματικού κυκλώματος.



Σχήμα 4: PLL Simulation for  $U_{in} = 1.5 \text{ kHz}$

#### 5. Προσομοίωση για $U_{in} = 2.5 \text{ kHz}$

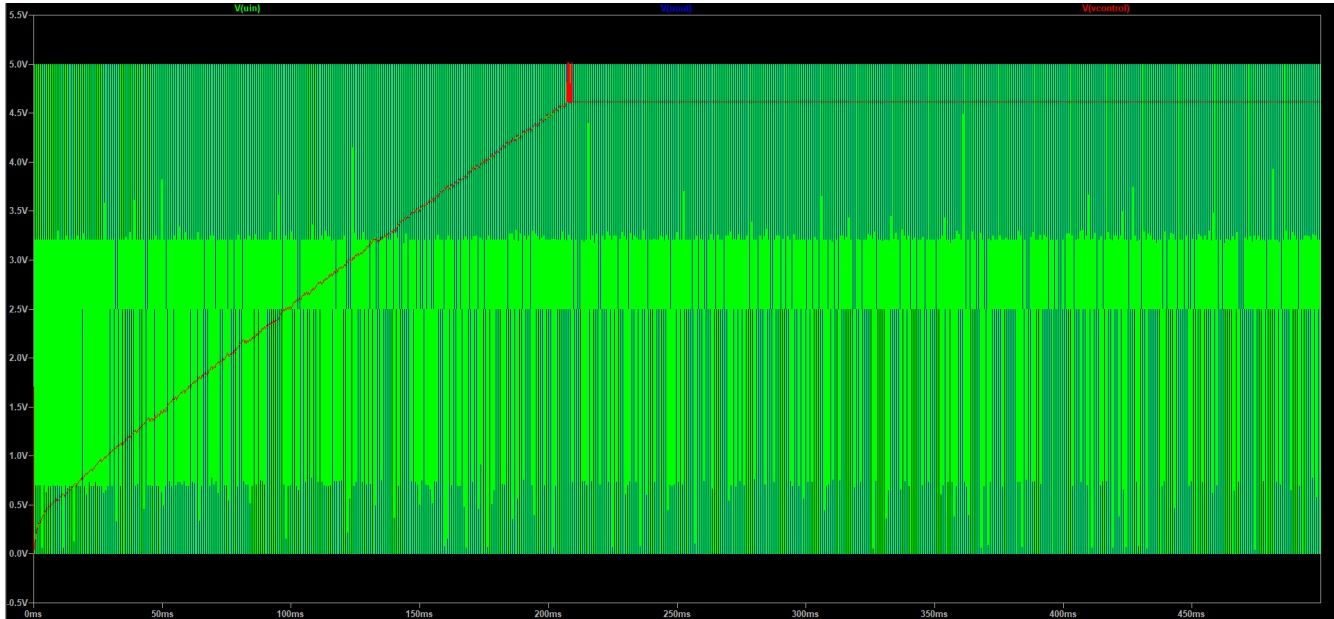
Αυξάνοντας τη συχνότητα εισόδου στα  $2.5 \text{ kHz}$ , παρατηρούμε ότι το PLL δεν κλειδώνει πλέον. Το  $V_{control}$  φτάνει στα  $3.5 \text{ V}$  και σταθεροποιείται (Σχήμα 5), κάτι που μοιάζει με κλείδωμα αλλά είναι παραπλανητικό. Στην πραγματικότητα, ο ενισχυτής φτάνει την τάση κορεσμού, η οποία είναι περίπου  $1.4\text{--}1.6 \text{ V}$  χαμηλότερη από την τάση τροφοδοσίας.



Σχήμα 5: PLL Simulation for  $U_{in} = 2.5 \text{ kHz}$

## 6. Αύξηση Τάσης Τροφοδοσίας στα 6V

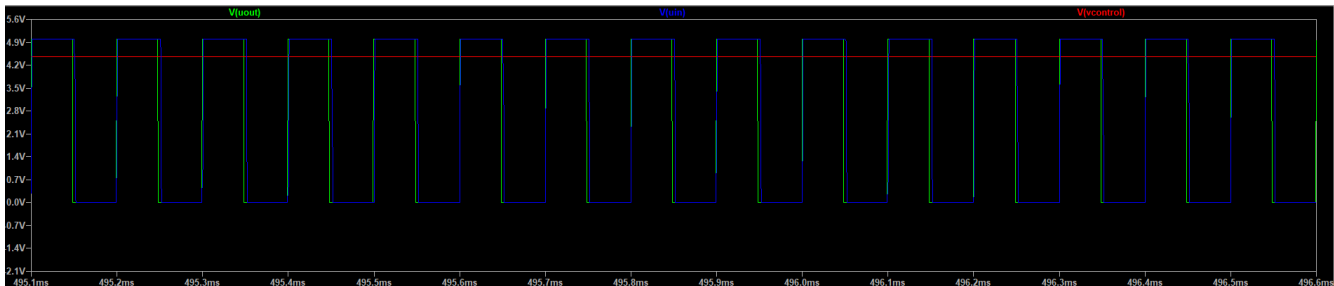
Δοκιμάζουμε να αυξήσουμε την τάση τροφοδοσίας στα 6V. Το  $V_{control}$  φτάνει στα 4.5V αλλά το PLL εξακολουθεί να μην κλειδώνει (Σχήμα 6). Δεν παρατηρείται διαφορά ούτε με αποσύνδεση του ST και του διαιρέτη.



Σχήμα 6: PLL Simulation for  $U_{in} = 2.5 \text{ kHz}$ ,  $V_{cc} = 6 \text{ V}$

## 7. Χρήση Ιδανικού OpAmp

Αντικαθιστούμε τον OPAMP U11 (buffer) με τον ιδανικό `universalOpAmp`. Το κύκλωμα κλειδώνει, με  $V_{control} = 4.5 \text{ V}$  (Σχήμα 7). Όμως, πλέον βρισκόμαστε πολύ κοντά στην τάση τροφοδοσίας, περιορίζοντας τη δυνατότητα περαιτέρω αύξησης συχνότητας.



Σχήμα 7: PLL Simulation for  $U_{in} = 2.5 \text{ kHz}$  with Ideal OpAmp

## 8. Αντικατάσταση Όλων με Ιδανικά Στοιχεία

Αντικαθιστούμε όλους τους ενισχυτές με `universalOpAmp2` και τα τρανζίστορ με ιδανικά. Δεν παρατηρείται βελτίωση — αντίθετα, **το κύκλωμα δεν κλειδώνει ούτε στα 10kHz**.

Το συμπέρασμα είναι πως η τοπολογία του VCO είναι ο περιοριστικός παράγοντας. Απαιτεί υψηλές τάσεις για να παραγάγει παλμούς (σχετικά) χαμηλής συχνότητας.

## 9. Βελτιώσεις

Προκειμένου να βελτιώσουμε την απόδοση του PLL, πρέπει να βελτιώσουμε το  $K_{VCO}$ . Αυτό μπορεί να γίνει μειώνοντας την σταθερά χρόνου  $RC$  του ολοκληρωτή και αυξάνοντας το κέρδος του ST.

Χρησιμοποιούμε τις τιμές:

- $R_8 = R_9 = R_{10} = 200K \text{ k}\Omega$
- $R_{11} = 40K \text{ k}\Omega$
- $R_{12} = R_{13} = R_{14} = 20K \text{ k}\Omega$
- $C_1 = 4.7nF$
- $C_2 = 0.1nF$
- $C_3 = 47nF$
- $U_{in} = 15 \text{ kHz}$
- $N = 4$

Φαίνεται ξεκάθαρα η επίδραση του  $K_{VCO}$  στην έξοδο του PLL, το οποίο πλέον κλειδώνει και σε υψηλότερες συχνότητες (60kHz). Χρησιμοποιώντας τον  $LM324$  ως τελεστικός, η έξοδος περιορίζεται στα 20kHz.

Συμπέρασμα, η τοπολογία του VCO είναι ένας περιοριστικός παράγοντας καθώς δεν είναι ιδιαίτερα αποδοτικός με την  $V_{control}$ . Αυτό μπορεί να αντιμετωπιστεί τροποποιώντας τις τιμές των στοιχείων (και κυρίως των αντιστάσεων) της τοπολογίας.

Όμως, ο τελεστικός  $LM324$  είναι το βασικότερο εμπόδιο, καθώς η περιορίζει σημαντικά τις τιμές που μπορεί να πάρει η  $V_{control}$ , ενώ επιπλέον το Slew Rate του (0.5V/us) σημαίνει πως στα 4V που λειτουργεί η έξοδος του VCO μας περιορίζει περίπου στα 20kHz.

