

# Αλγόριθμοι και Πολυπλοκότητα Σειρά 3

Δημήτρης Κασιμάτης el22036

Ιανουάριος 2026

## ΕΝΤΟΛΕΣ

sbiw/adiw: καταχωρητές 16 bit (προσθαφαιρεση 8 bit σταθερας (0-63))

sbiw X, 0x0f ή sbiw XL, 0x0f

## ΘΕΩΡΙΑ

Για παράδειγμα, το παρακάτω τμήμα κώδικα (Σχήμα 2.2 ) ενεργοποιεί διακοπές στην είσοδο INT0 κατά την ανερχόμενη ακμή. Πρέπει να δοθεί προσοχή στο γεγονός ότι ο I/O καταχωρητής EICRA έχει η διεύθυνση μεγαλύτερη από 0x60, οπότε γρησμοποιείται η εντολή STS και όχι η εντολή OUT.

Σχήμα 1: sts / out

### Ανάγνωση/Εγγραφή του Timer/Counter1(TCNT1)

Για μέγιστη ασφάλεια, τα δύο τμήματα των μετρητή TCNT1, TCNT1H και TCNT1L πρέπει να διαβάζονται αδιαίρετα, χωρίς να μεσολαβήσει για παράδειγμα κάποια άλλη διακοπή. Για το λόγο αυτό ο μικροελεγκτής κάνει μια ειδική διαδικασία. Όταν μια τιμή γράφεται στον TCNT1H, αυτή τοποθετείται στον προσωρινό καταχωρητή TEMP. Στη συνέχεια, όταν γραφεί τιμή στον TCNT1L η τιμή που υπάρχει στον TEMP συνδυάζεται με αυτή και τα 16 ψηφία γράφονται ταυτόχρονα σε όλο το μήκος του TCNT1. Κατά την ανάγνωση, όταν διαβάζεται μια τιμή από τον TCNT1L αυτή τοποθετείται στον επιλεγμένο καταχωρητή του μικροελεγκτή και ταυτόχρονα η τιμή του TCNT1H μεταφέρεται στον καταχωρητή TEMP. Όταν στην συνέχεια διαβαστεί και ο TCNT1H, μεταφέρεται στον επιλεγμένο καταχωρητή η τιμή που έχει τοποθετηθεί στον TEMP.

Με βάση αυτή τη διαδικασία κατά την εγγραφή πρέπει πάντα να γράφεται πρώτα η τιμή στον TCNT1H και μετά στον TCNT1L ενός κατά την ανάγνωση πρέπει πάντα να διαβάζεται πρώτα ο TCNT1L και μετά ο TCNT1H. Σε πολύπλοκες εφαρμογές πριν την πρόσβαση στον TCNT1 ενδέχεται να είναι απαραίτητη η απενεργοποίηση των διακοπών.

Παρόμοια τεχνική χειρισμού μπορεί να γρησμοποιηθεί και για άλλους 16-bit καταχωρητές όπος οι OCR1 και ICR1.

Σχήμα 2: 16 bit input/output

## **Μετατροπέας αναλογικής σε ψηφιακή μορφή ADC.**

Βασικό περιφερειακό των μικροελεγκτών είναι ο μετατροπέας από Αναλογική σε Ψηφιακή μορφή (ADC). Αν  $V_{in}$  είναι η αναλογική τάση στην εισόδου του ADC με ανάλυση n-bit,  $V_{REF}$  μία τάση αναφοράς βάση της οποίας γίνεται η μετατροπή και  $V_{in} \leq V_{REF}$ , τότε η ψηφιακή έξοδος του ADC μετατροπέα είναι:

$$ADC = \frac{V_{in} \cdot 2^n}{V_{REF}}$$

Στην παραπάνω σχέση όλες η ποσότητες είναι ακέραιοι θετικοί αριθμοί.

**Σχήμα 3: ADC converter**

### **Καταχωρητές δεδομένων του ADC**

Το αποτέλεσμα του ADC έχει μήκος 10-bit και παρουσιάζεται στους καταχωρητές δεδομένων ADCH (high byte) και ADCL (low byte). Από προεπιλογή, το αποτέλεσμα παρουσιάζεται δεξιά προσαρμοσμένο(right adjusted), αλλά μπορεί προαιρετικά να τεθεί η σημαία ADLAR του καταχωρητή ADMUX και να παρουσιαστεί αριστερά προσαρμοσμένο (left adjusted).

Κατά την ανάγνωση του ADCL, οι καταχωρητές δεδομένων του ADC δεν ενημερώνονται μέχρι να διαβαστεί το ADCH. Εάν το αποτέλεσμα είναι αριστερά προσαρμοσμένο(Left adjusted) και δεν απαιτείται ακρίβεια μεγαλύτερη από 8 bit, αρκεί να διαβαστεί ο καταχωρητής ADCH. Σε διαφορετική περίπτωση, πρέπει πρώτα να διαβαστεί το ADCL και μετά το ADCH.

Οι καταχωρητές δεδομένων του ADC, ADCL και ADCH έχουν διευθύνσεις 0x78 και 0x79 αντίστοιχα. Παρουσιάζονται στο επόμενο σχήμα:

**Σχήμα 4: ΠΡΟΣΟΧΗ ΣΤΟ ΔΙΑΒΑΣΜΑ ΤΗΣ ΤΙΜΗΣ ΤΟΥ ADC converter**

Στη συνέχεια παρατίθενται οι ακροδέκτες της οθόνης και οι αντίστοιχες λειτουργίες τους:

**DB[0:7]**

Τρικατάστατος αμφίδρομος διάδρομος δεδομένων 8-γραμμών, με τον οποίο η οθόνη ανταλλάσσει δεδομένα με τον εξωτερικό μικροεπεξεργαστή. Υπάρχει δυνατότητα χρήσης μόνο 4 γραμμών, οπότε η ανταλλαγή των δεδομένων γίνεται σε δύο φάσεις, δια μέσω των ακροδεκτών DB[7:4] ενώ οι ακροδέκτες DB[0:3] δεν χρησιμοποιούνται. Τα 4 περισσότερο σημαντικά bit πρέπει να μεταφέρονται πρώτα.



**Σχήμα 5: LCD Screen ΠΡΟΣΟΧΗ στο πώς στέλνουμε ανά 4 bit τα δεδομένα**

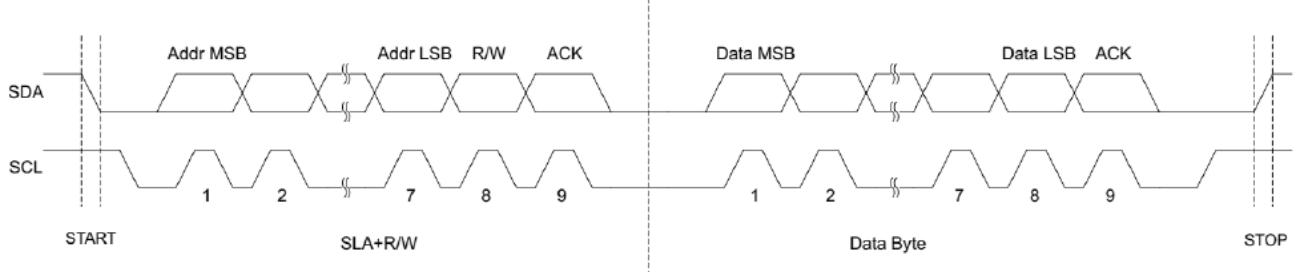
### **Εντολές της οθόνης**

Επειδή στην κάρτα ntuAboard\_G1 δεν υπάρχει δυνατότητα ανάγνωσης της σημαίας BUSY FLAG για να γνωρίζουμε πότε η οθόνη είναι έτοιμη να δεχτεί νέα εντολή πρέπει να εισάγουμε καθυστέρηση μεταξύ των διαδοχικών εντολών. Ο χρόνος που χρειάζεται για την εκτέλεση κάθε εντολής είναι μεταβλητός και εξαρτάται από την κάθε εντολή. Το σύνολο εντολών της οθόνης περιέχεται στον ακόλουθο πίνακα.

**Σχήμα 6: LCD**

### Τυπική μετάδοση δεδομένων

Μια μετάδοση αποτελείται από μια συνθήκη START, ένα πακέτο διεύθυνσης (Slave address( SLA) +R/W), ένα ή περισσότερα πακέτα δεδομένων και μια συνθήκη STOP. Ένα κενό μήνυμα, που αποτελείται από ένα START ακολουθούμενο από ένα STOP, είναι μη έγκυρο. Ο Slave μπορεί να παρατείνει τη χαμηλή περίοδο του ρολογιού κρατώντας τη γραμμή SCL χαμηλά. Αυτό είναι χρήσιμο εάν η ταχύτητα ρολογιού που έχει ρυθμιστεί από τον Master είναι πολύ γρήγορη για το Slave ή εάν το Slave χρειάζεται επιπλέον χρόνο για επεξεργασία μεταξύ των μεταδόσεων δεδομένων. Το παρακάτω σχήμα απεικονίζει μια τυπική μετάδοση δεδομένων. Σημειώστε ότι πολλά byte δεδομένων μπορούν να μεταδοθούν μεταξύ του SLA+R/W και της συνθήκης STOP, ανάλογα με το πρωτόκολλο λογισμικού που εφαρμόζεται από το λογισμικό εφαρμογής.



Σχήμα 5.6 Τυπική μετάδοση δεδομένων

Σχήμα 7: TWI πολλά δεδομένα για μία διεύθυνση συσκευής

## ΔΙΑΚΟΠΕΣ

Δες άσκηση 2.1 για το πώς αντιμετωπίζουμε τον σπινθηρισμό. Γράφουμε στον EIFR 1 για να καταλάβει 0 (ΗΛΙΘΙΑ ΚΑΛΩΔΙΑ), δλδ ότι εξυπηρετήθηκε η εντολή, και μετά από λιγό διαβαζουμε να δουμε οτι ειναι οντως 0. Αν ξαναέγινε 1 ξαναγράφουμε 1 μεχρι να επιστραφει 0. ΑΥΤΟ ΣΥΜΒΑΙΝΕΙ λογω εξηγησης απο φυλλαδιο ασκησεων 2 σελιδα 5.