

Μηχανικό	Ορίσματα	Περγαμοφή	Διεποντή	Σημαίες	Κύκλοι
----------	----------	-----------	----------	---------	--------

Ευτολέξ Μεταφοράς δεδομένων					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	-	1
MOVW	Rd, Rr	Copy Register Word	Rd+1:Rd ← Rr+1:Rr	-	1
LDI	Rd, K	Load Immediate	Rd ← K	-	1
LD	Rd, X	Load Indirect	Rd ← (X)	-	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X+1	-	2
LD	Rd, -X	Load Indirect and Pre-Dec.	X ← X-1, Rd ← -(X)	-	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	-	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y+1	-	2
LD	Rd, -Y	Load Indirect and Pre-Dec.	Y ← Y-1, Rd ← -(Y)	-	2
LD	Rd, Y+q	Load Indirect + Displacement	Rd ← (Y+q)	-	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	-	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	-	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z-1, Rd ← -(Z)	-	2
LD	Rd, Z+q	Load Indirect + Displacement	Rd ← (Z+q)	-	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	-	2
ST	X, Rr	Store Indirect	(X) ← Rr	-	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X+1	-	2
ST	-X, Rr	Store Indirect and Pre-Dec.	X ← X-1, (X) ← Rr	-	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y+1	-	2
ST	-Y, Rr	Store Indirect and Pre-Dec.	Y ← Y-1, (Y) ← Rr	-	2
STD	Y+,q,Rr	Store Indirect + Displacement	(Z) ← Rr	-	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	-	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z+1	-	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z-1, (Z) ← Rr	-	2
STD	Z+,q,Rr	Store Indirect + Displacement	(Z + q) ← Rr	-	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	-	2
LPM		Load Program Memory	R0 ← (Z)	-	3
LPM	Rd, Z	Load Program Memory	Rd ← (Z)	-	3
LPM	Rd, Z+	Load Program Memory	Rd ← (Z), Z ← Z+1	-	3
SPM		Store Program Memory	(Z) ← R1:R0	-	2
IN	Rd, P	In Port	Rd ← P	-	1
OUT	P, Rr	Out Port	P ← Rr	-	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	-	2
POP	Rd	Push Register from Stack	Rd ← STACK	-	2

* Μεταφορά μεταξύ Καταχωρητών Εργασίας ή και Καταχωρητή Εργασίας με θέση μνήμης
(δεδομένων και προγράμματος).

Ευτολέξ αριθμητικών και λογικών πράξεων					
ADD	Rd, Rr	Add two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Regs	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rd,I,K	Add Immediate to Word	Rdh,Rdl ← Rdh,Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Regs	Rd ← Rd - Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Const from Reg	Rd ← Rd - K	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract & C two Regs	Rd ← Rd - Rr - C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract & C Const from Reg	Rd ← Rd - K - C	Z,C,N,V,H	1
SBIW	Rd,I,K	Subtract Imm from Word	Rdh,Rdl ← Rdh,Rdl - K	Z,C,N,V,S	2
AND	Rd, Rr	Logical AND Registers	Rd ← Rd ∧ Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Reg & Const	Rd ← Rd ∧ K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd ∨ Rr	Z,N,V	1
ORI	Rd, K	Logical OR Reg & Const	Rd ← Rd ∨ K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← \$FF ⊕ Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← \$00 - Rd	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd - 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd ∧ Rd	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← SFF	Kαρτά	1
MUL	Rd, Rr	Multiply Unsigned	R1:R0 ← Rd × Rr	Z,C	2
Ευτολέξ άλματος και κλίσης ροντίνων					
RJMP	k	Relative Jump	PC ← PC + k + 1	-	2
IJMP		Indirect Jump to (Z)	PC ← Z	-	2
JMP	k	Direct Jump	PC ← k	-	3
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	-	3
ICALL		Indirect Call to (Z)	PC ← Z	-	3
CALL	k	Direct Subroutine Call	PC ← k	-	4
RET		Subroutine Return	PC ← STACK	-	4
RETI		Interrupt Return	PC ← STACK	1	4

* Εκτελούνται μόνο μεταξύ Καταχωρητών Εργασίας ή και Καταχωρητή Εργασίας με σταθερά.

Καταχωρητής κατάστασης (SRREG) Bit7 (I): καθολική ενεργοποίηση διάκοπων (Global Interrupt Enable-GIE). Θέτοντας το bit αυτό ενεργοποιούμε της διάκοπες εντολές στον ΒΙΤΟ και τον ΒΙΤΩΝ ΛΙΟΥΛΙ και BST επιτυχώνουμε την ανάγνωση και αποθήκευση bits

.def SYMBOL = VALUE
.include "m16def.inc"
Registers: R0-R31
For x=A,B,C,D
I/O direction: DDRx (1=out,0=in)
PINx = in, PORTx = out

Bit5 (H): σημαία δεκαδικού κρατουμένου μετά από αριθμητικές πράξεις

Bit4 (S): σημαία προσήμου (Sign flag). Ενημερώνεται για το πρόσδιο ενός καταχωρητή

Και τον ΙΟΥΝΑ των σηματών αριθμητικού και υπερχείλισης (S0 xor V)

Όταν έχουμε υπερχείλιση αποτέλεσμα που έμφανται > 0 ή < 0 στην προγραμματική <0

ΒΙΤ3 (V): σημαία υπερχείλισης (Overflow flag) για αριθμητική συμπληρώματος του δύο

Bit2 (N): σημαία αριθμητικού προσήμου (negative flag)

Bit1 (Z) σημαία μηδενισμού (Zero flag). Πέταγμα στον αποτέλεσμα μιας πράξης είναι 0

ΒΙΤ0 (C): σημαία κρατουμένου (Carry flag).

Εντολές παράκαμψης

SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) *	-	1/2/3
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) *	-	1/2/3
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) *	-	1/2/3
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b)=1) *	-	1/2/3

* Σε όλες τις περιπτώσεις που ισχύει η συνθήκη φορτώνεται η νέα τιμή του μετρητή Προγράμματος $PC \leftarrow PC + 2$ or 3.

Ισχύουν για τους Γενικούς Καταχωρητές και για τους Καταχωρητές Θυρών I/O.

Εντολές σύγκρισης	Εντολές διακλάδωσης	Εντολές διακλάδωσης			
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) PC \leftarrow PC + 2 or 3	-	1/2/3
CP	Rd,Rr	Compare	Rd < Rr	Z,N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	Rd < Rr + C	Z,N,V,C,H	1
CPI	Rd,K	Compare Reg with Immediate	Rd < K	Z,N,V,C,H	1

* Μεταξύ Καταχωρητών Εργασίας ή και Καταχωρητή Εργασίας με σταθερά.

Εντολές διακλάδωσης					
BRBS	s,k	Branch if Status Flag Set	if (SREG(s) = 1) *	-	1/2
BRBC	s,k	Branch if Status Flag Cleared	if (SREG(s) = 0) *	-	1/2
BREQ	k	Branch if Equal	if (Z = 1) then *	-	1/2
BRNE	k	Branch if Not Equal	if (Z = 0) then *	-	1/2
BRCS	k	Branch if Carry Set	if (C = 1) then *	-	1/2
BRCC	k	Branch if Carry Cleared	if (C = 0) then *	-	1/2
BRSH	k	Branch if Same or Higher	if (C = 0) then *	-	1/2
BRLO	k	Branch if Lower	if (C = 1) then *	-	1/2
BRMI	k	Branch if Minus	if (N = 1) then *	-	1/2
BRPL	k	Branch if Plus	if (N = 0) then *	-	1/2
BRGE	k	Branch if Greater or Equal, Signed	if (N \oplus V = 0) then *	-	1/2
BRLT	k	Branch if Less Than Zero, Signed	if (N \oplus V = 1) then *	-	1/2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then *	-	1/2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then *	-	1/2
BRTS	k	Branch if T Flag Set	if (T = 1) then *	-	1/2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then *	-	1/2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then *	-	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then *	-	1/2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then *	-	1/2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then *	-	1/2

* Σε διάεση τις περιπτώσεις που ισχύει η συνθήκη φορτώνεται η νέα τιμή του μετρητή Προγράμματος $PC \leftarrow PC + k + 1$

Εντολές ελέγχου MCU

NOP	No Operation		-	1
SLEEP	Sleep	Sleep function	-	1
WDR	Watchdog Reset	WDR/timer function	-	1
BREAK	Break	For On-chip Debug Only	-	N/A