



Ε.Μ.Π. - ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧ. ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ  
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

ΑΘΗΝΑ, 24/10/2025

**3<sup>η</sup> ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ  
ΓΙΑ ΤΟ ΜΑΘΗΜΑ "Εργαστήριο Μικρούπολογιστών"  
Χρήση των Timers και του ADC στον AVR**

**Εξέταση – Επίδειξη: Παρασκευή 31/10/2025  
Προθεσμία για παράδοση Έκθεσης: Τρίτη 4/11/2025 (23:59)**

**Χρονιστές(Timers)**

Ένα πλεονέκτημα των σύγχρονων μικροελεγκτών είναι η ενσωμάτωση στην ίδια ψηφίδα χρήσιμων περιφερειακών συσκευών, όπως οι χρονιστές, με σύνδεση στο σύστημα διακοπών του Μικροελεγκτή. Οι χρονιστές είναι καταχωρητές που μεταβάλλονται με την πάροδο του χρόνου και μπορούν να προγραμματιστούν να προκαλέσουν διακοπή στον μικροελεγκτή σε συγκεκριμένα χρονικά διαστήματα.

Ο μικροελεγκτής ATmega328PB διαθέτει 8-ψήφιους και 16-ψήφιους χρονιστές. Στους χρονιστές αυτούς μπορεί να τοποθετηθεί μια αρχική τιμή η οποία αυξάνεται με επιλεγμένη συχνότητα. Όταν ένας χρονιστής υπερχειλίσει, μπορεί να δημιουργήσει κατάλληλο σήμα διακοπής.

**Timer/Counter1(TCNT1)**

Ο Timer/Counter1(TCNT1) είναι 16 bit. Το TCNT1L με διεύθυνση 0x84 είναι το Low Byte και το TCNT1H με διεύθυνση 0x85 είναι το Hi Byte.

**Επιλογή συχνότητας λειτουργίας του Timer/Counter1(TCNT1)**

Για την επιλογή της συχνότητας λειτουργίας του Timer/Counter1(TCNT1) χρησιμοποιούνται τα flags CS10, CS11 και CS12 του καταχωρητή TCCR1B σύμφωνα με τον Πίνακα 3.1 παρακάτω:

**TCCR1B (Διεύθυνση: 0x81)**

Bit	7	6	5	4	3	2	1	0
Access	ICNC1	ICES1		WGM13	WGM12	CS12	CS11	CS10
R/W	R/W	R/W		R/W	R/W	R/W	R/W	R/W
Reset	0	0		0	0	0	0	0

CS12	CS11	CS10	Περιγραφή σήματος εισόδου χρονιστή
0	0	0	Κανένα. Χρονιστής σταματημένος
0	0	1	CLK
0	1	0	CLK/8
0	1	1	CLK/64
1	0	0	CLK/256
1	0	1	CLK/1024
1	1	0	Κατερχόμενη ακμή εξωτερικού σήματος ακροδέκτη T1
1	1	1	Ανερχόμενη ακμή εξωτερικού σήματος ακροδέκτη T1

Πίνακας 3.1: Επιλογή συχνότητας λειτουργίας του Timer/Counter1(TCNT1)

Για παράδειγμα, με τις παρακάτω εντολές επιλέγεται συχνότητα λειτουργίας του Timer/Counter1(TCNT1) ίση με τη 1/1024 της συχνότητας ρολογιού του μικροελεγκτή (δηλαδή, κάθε 1024 κύκλους ρολογιού αυξάνεται κατά 1 ο TCNT1).

```
ldi r24, (I<<CS12) | (0<<CS11) | (1<<CS10) ; CK/1024
sts TCCR1B, r24
```

Στην εκπαιδευτική κάρτα ntuAboard\_G1 με συχνότητα ρολογιού 16MHz, η επιλογή αυτή ισοδυναμεί με συχνότητα αύξησης του TCNT1 ίση με 16MHz/1024=15625Hz.

Αν με αυτές τις επιλογές θέλουμε ο TCNT1 να δημιουργήσει σήμα διακοπής υπερχείλισης μετά από 3sec, πρέπει να ρυθμιστεί για μέτρημα  $3 \times 15625 = 46875$  κύκλων. Επειδή η υπερχείλιση γίνεται μετά από 65536 κύκλους (16 ψηφία), θα πρέπει η αρχική τιμή που θα του δοθεί πριν αρχίσει τη μέτρηση προς τα πάνω να είναι  $65535 - 46875 = 18660$ . Αυτό γίνεται με τον παρακάτω κώδικα:

```
ldi r24, HIGH(18660) ; αρχικοποίηση του TCNT1
out TCNT1H, r24 ; για υπερχείλιση μετά από 3 sec
ldi r24, LOW(18660)
out TCNT1L, r24
```

#### Ανάγνωση/Εγγραφή του Timer/Counter1(TCNT1)

Για μέγιστη ασφάλεια, τα δύο τμήματα του μετρητή TCNT1, TCNT1H και TCNT1L πρέπει να διαβάζονται αδιαίρετα, χωρίς να μεσολαβήσει για παράδειγμα κάποια άλλη διακοπή. Για το λόγο αυτό ο μικροελεγκτής κάνει μια ειδική διαδικασία. Όταν μια τιμή γράφεται στον TCNT1H, αυτή τοποθετείται στον προσωρινό καταχωρητή TEMP. Στη συνέχεια, όταν γραφεί τιμή στον TCNT1L η τιμή που υπάρχει στον TEMP συνδυάζεται με αυτή και τα 16 ψηφία γράφονται ταυτόχρονα σε όλο το μήκος του TCNT1. Κατά την ανάγνωση, όταν διαβάζεται μια τιμή από τον TCNT1L αυτή τοποθετείται στον επιλεγμένο καταχωρητή του μικροελεγκτή και ταυτόχρονα η τιμή του TCNT1H μεταφέρεται στον καταχωρητή TEMP. Όταν στην συνέχεια διαβαστεί και ο TCNT1H, μεταφέρεται στον επιλεγμένο καταχωρητή η τιμή που έχει τοποθετηθεί στον TEMP.

Με βάση αυτή τη διαδικασία κατά την εγγραφή πρέπει πάντα να γράφεται πρώτα η τιμή στον TCNT1H και μετά στον TCNT1L ενώ κατά την ανάγνωση πρέπει πάντα να διαβάζεται πρώτα ο TCNT1L και μετά ο TCNT1H. Σε πολύπλοκες εφαρμογές πριν την πρόσβαση στον TCNT1 ενδέχεται να είναι απαραίτητη η απενεργοποίηση των διακοπών.

Παρόμοια τεχνική χειρισμού μπορεί να χρησιμοποιηθεί και για άλλους 16-bit καταχωρητές όπως οι OCR1 και ICR1.

#### Διακοπές υπερχείλισης του Timer/Counter1(TCNT1)

Η επίτρεψη της διακοπής υπερχείλισης του Timer/Counter1(TCNT1)1 ρυθμίζεται δια μέσω του flag TOIE1 του καταχωρητή TIMSK1 σύμφωνα με το παρακάτω σχήμα:

##### **TIMSK1 (Διεύθυνση: 0x6F)**

Bit	7	6	5	4	3	2	1	0
Access			ICIE1			OCIE1B	OCIE1A	TOIE1
			R/W			R/W	R/W	R/W
Reset			0			0	0	0

Γράφοντας 1 στο ψηφίο TOIE1 επιτρέπονται διακοπές υπερχείλισης του Timer/Counter1(TCNT1), εφόσον επιτραπούν γενικά οι διακοπές με την εντολή sei.

Για παράδειγμα, με τις παρακάτω εντολές επιτρέπεται η διακοπή υπερχείλισης του μετρητή TCNT1.

```
ldi r24, (1<<TOIE1) ; ενεργοποίηση διακοπής υπερχείλισης του TCNT1
sts TIMSK1, r24 ;
```

Η θέση μνήμης του διανύσματος διακοπής του Timer1 φαίνεται στον παρακάτω κώδικα.

.org 0x1A

rjmp ISR\_TIMER1\_OVF ; ρουτίνα εξυπηρέτησης της διακοπής υπερχείλισης του TCNT1

To flag υπερχείλισης του Timer/Counter1 (TOV1) βρίσκεται στον καταχωρητή TIFR1 όπως φαίνεται στο παρακάτω σχήμα:

#### TIFR1 (Διεύθυνση: 0x36)

Bit	7	6	5	4	3	2	1	0
			ICF1			OCF1B	OCF1A	TOV1
Access			R/W			R/W	R/W	R/W
Reset			0			0	0	0

#### Ρύθμιση τρόπου λειτουργίας του Timer/Counter1

Τα flags WGM10, WGM11 του καταχωρητή TCCR1A και τα flags WGM12, WGM13 του καταχωρητή TCCR1B, ο οποίος παρουσιάστηκε στη σελίδα 1 παραπάνω, χρησιμεύουν για να καθοριστεί ο τρόπος λειτουργίας του Timer/Counter1(TCNT1), σύμφωνα με τον παρακάτω πίνακα:

#### TCCR1A (Διεύθυνση: 0x80)

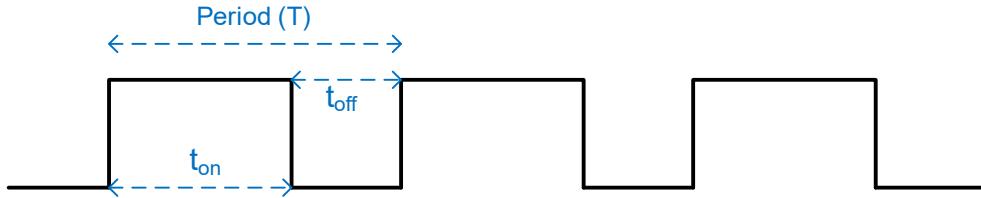
Bit	7	6	5	4	3	2	1	0
	COM1A1	COM1A0	COM1B1	COM1B0			WGM11	WGM10
Access	R/W	R/W	R/W	R/W			R/W	R/W
Reset	0	0	0	0			0	0

Mode	WGM13	WGM12	WGM11	WGM10	Mode of Operation	TOP	Update of OCR1x at	TOV1 Flag Set on
<b>0</b>	0	0	0	0	Normal	0xFFFF	Immediate	MAX
<b>1</b>	0	0	0	1	PWM, Phase Correct, 8-bit	0x00FF	TOP	BOTTOM
<b>2</b>	0	0	1	0	PWM, Phase Correct, 9-bit	0x01FF	TOP	BOTTOM
<b>3</b>	0	0	1	1	PWM, Phase Correct, 10-bit	0x03FF	TOP	BOTTOM
<b>4</b>	0	1	0	0	CTC	OCR1A	Immediate	MAX
<b>5</b>	0	1	0	1	Fast PWM, 8-bit	0x00FF	BOTTOM	TOP
<b>6</b>	0	1	1	0	Fast PWM, 9-bit	0x01FF	BOTTOM	TOP
<b>7</b>	0	1	1	1	Fast PWM, 10-bit	0x03FF	BOTTOM	TOP
<b>8</b>	1	0	0	0	PWM, Phase and Frequency Correct	ICR1	BOTTOM	BOTTOM
<b>9</b>	1	0	0	1	PWM, Phase and Frequency Correct	OCR1A	BOTTOM	BOTTOM
<b>10</b>	1	0	1	0	PWM, Phase Correct	ICR1	TOP	BOTTOM
<b>11</b>	1	0	1	1	PWM, Phase Correct	OCR1A	TOP	BOTTOM
<b>12</b>	1	1	0	0	CTC	ICR1	Immediate	MAX
<b>13</b>	1	1	0	1	Reserved	-	-	-
<b>14</b>	1	1	1	0	Fast PWM	ICR1	BOTTOM	TOP
<b>15</b>	1	1	1	1	Fast PWM	OCR1A	BOTTOM	TOP

Πίνακας 3.2: Ρύθμιση τρόπου λειτουργίας του Timer/Counter1

### Διαμόρφωση εύρους παλμών (Pulse Width Modulation, PWM)

Μία PWM κυματομορφή είναι μία τετραγωνική περιοδική κυματομορφή η οποία έχει δύο τμήματα. Το τμήμα ON στο οποίο η κυματομορφή μία μέγιστη τιμή και το τμήμα OFF στο οποίο έχει μία ελάχιστη τιμή. Η περίοδος της κυματομορφής είναι σταθερή ενώ οι χρόνοι  $t_{on}$  και  $t_{off}$  μεταβάλλονται.



Σχήμα 3.1: PWM κυματομορφή

Ο βαθμός χρησιμοποίησης (Duty Cycle) συμβολίζεται με DC και ορίζεται σύμφωνα με τον τύπο:

$$DC = \frac{t_{on}}{T}$$

### Διαμόρφωση εύρους παλμών με τον ATmega328PB

Ο ATmega328PB διαθέτει διάφορους μετρητές (Timer/Counters) οι οποίοι μπορούν να χρησιμοποιηθούν για την παραγωγή PWM κυματομορφών τάσης. Από αυτούς ο Timer/Counter1(TCNT1) έχει δύο εξόδους PWM και μπορεί να ρυθμιστεί ως 8-bit ή ως 16-bit. Η μία PWM έξοδος συμβολίζεται ως OC1A και μπορεί να συνδεθεί στον ακροδέκτη PB1 ενώ η άλλη PWM έξοδος συμβολίζεται ως OC1B και μπορεί να συνδεθεί στον ακροδέκτη PB2, Οι υπόλοιποι Timers/Counters του ATmega328PB έχουν παρόμοιο τρόπο λειτουργίας.

Εδώ θα εξεταστεί ένας τρόπος λειτουργίας με τον οποίο παράγεται μια PWM κυματομορφή τάσης υψηλής συχνότητας. Στη λειτουργία αυτή (Fast PWM Mode) ο Timer/Counter1(TCNT1) ανξάνεται ξεκινώντας από την τιμή BOTTOM και όταν φτάσει την τιμή TOP τότε παίρνει ξανά την τιμή BOTTOM και η διαδικασία επαναλαμβάνεται.

Η κυματομορφή εξόδου θα είναι παλμοί με σταθερή **συχνότητα ( $f_{PWM}$ )** η τιμή της οποίας εξαρτάται από τη συχνότητα του ρολογιού του συστήματος ( $f_{clk}$ ) και την αρχικοποίηση του prescaler όπως προκύπτει από τον παρακάτω τύπο:

$$f_{PWM} = \frac{f_{clk}}{N \cdot (1 + TOP)}$$

Η μεταβλητή N αντιπροσωπεύει την τιμή του prescaler (1, 8, 64, 256 ή 1024).

Το Duty Cycle ρυθμίζεται, δια μέσω της τιμής του καταχωρητή OCR1A. Η χαμηλότερη τιμή για τον καταχωρητή OCR1A είναι η BOTTOM, όπου η έξοδος θα είναι ένας εξαιρετικά μικρός παλμός στην αρχή κάθε περιόδου και η υψηλότερη τιμή είναι η TOP όπου η έξοδος θα είναι σταθερά υψηλή. Το Low byte του OCR1AL έχει διεύθυνση 0x88 και το Hi byte του OCR1AH έχει διεύθυνση 0x89.

Στην ανάστροφη PWM λειτουργία, οι κυματομορφές εξόδου είναι αντεστραμμένες.

Τα flags COM1A0 και COM1A1 του καταχωρητή TCCR1A, χρησιμεύουν για να καθοριστεί εάν η PWM έξοδος OC1A του Timer1 θα συνδεθεί ή όχι στον ακροδέκτη PB1, καθώς επίσης και η μέθοδος παραγωγής της PWM κυματομορφής σε αυτή την έξοδο. Για παραγωγή της μη ανάστροφης PWM κυματομορφής που περιεγράφηκε παραπάνω οι τιμές των (COM1A0, COM1A1) είναι (0, 1) ενώ για ανάστροφη λειτουργεία οι τιμές είναι (1, 1) Αντίστοιχα τα flags COM1B0 και COM1B1 χρησιμεύουν για να καθοριστεί εάν η PWM έξοδος OC1B του Timer1 θα συνδεθεί ή όχι στον ακροδέκτη PB2, καθώς επίσης και η μέθοδος παραγωγής της PWM κυματομορφής σε αυτή την έξοδο.

Για όλους τους υπολογισμούς η τιμή BOTTOM θα είναι το μηδέν και η τιμή TOP θα δίνεται από τον Πίνακα 3.2 που παρουσιάστηκε παραπάνω.

### Παράδειγμα 3.1

Στη συνέχεια παρουσιάζεται ένα παράδειγμα παραγωγής παλμών PWM στον ακροδέκτη PB1, σε γλώσσα προγραμματισμού C, για την εκπαιδευτική κάρτα ntuAboard\_G1. Ο κώδικας αρχικοποιεί κατάλληλα τον χρονιστή TMR1A για να λειτουργεί σε Fast PWM Mode, με μη ανάστροφη λειτουργία(non-inverting mode) και με τιμή 8 για τον prescaler. Ο TMR1B δεν χρησιμοποιείται. Στον ακροδέκτη PB1 είναι συνδεδεμένο ένα LED. Η ρουτίνα main() αυξομειώνει συνεχώς το Duty Cycle της PWM κυματομορφής αυξομειώνοντας αντίστοιχα την φωτεινότητα του LED που είναι συνδεμένο στον ακροδέκτη PB1.

```
#define F_CPU 16000000UL
#include "avr/io.h"
#include <util/delay.h>

int main ()
{
    unsigned char duty;

    //set TMR1A in fast PWM 8 bit mode with non-inverted output
    //prescale=8
    TCCR1A = (1<<WGM10) | (1<<COM1A1);
    TCCR1B = (1<<WGM12) | (1<<CS11);

    DDRB |= 0b00111111;      //set PB5-PB0 pins as output

    while (1)
    {
        for(duty=0; duty<255; duty++)
        {
            OCR1AL=duty; //increase the LED2 light intensity
            _delay_ms(10);
        }
        for(duty=255; duty>1; duty--)
        {
            OCR1AL=duty; //increase the LED2 light intensity
            _delay_ms(10);
        }
    }
}
```

## Μετατροπέας αναλογικής σε ψηφιακή μορφή ADC.

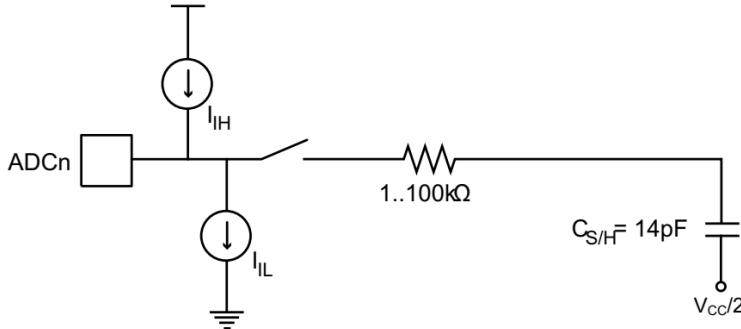
Βασικό περιφερειακό των μικροελεγκτών είναι ο μετατροπέας από Αναλογική σε Ψηφιακή μορφή (ADC). Αν  $V_{in}$  είναι η αναλογική τάση στην εισόδου του ADC με ανάλυση n-bit,  $V_{REF}$  μία τάση αναφοράς βάση της οποίας γίνεται η μετατροπή και  $V_{in} \leq V_{REF}$ , τότε η ψηφιακή έξοδος του ADC μετατροπέα είναι:

$$ADC = \frac{V_{in} \cdot 2^n}{V_{REF}}$$

Στην παραπάνω σχέση όλες η ποσότητες είναι ακέραιοι θετικοί αριθμοί.

### Αναλογικό κύκλωμα εισόδου

Το κύκλωμα αναλογικής εισόδου του ADC απεικονίζεται στο παρακάτω σχήμα:



Σχήμα 3.2: Κύκλωμα αναλογικής εισόδου στον ADC

Μια αναλογική πηγή που εφαρμόζεται στον ακροδέκτη ADCn επηρεάζεται από τη χωρητικότητα του ακροδέκτη αυτού και από το ρεύμα διαρροής του. Όταν επιλεγεί το κανάλι αυτό για μετατροπή τότε πρέπει το σήμα του να φορτίσει τον πυκνωτή S/H δια μέσω της αντίστασης σειράς (Ολική αντίσταση στη διαδρομή εισόδου).

Το ADC είναι βελτιστοποιημένο για αναλογικά σήματα εισόδου με σύνθετη αντίσταση μέχρι 10 KΩ, όπου ο χρόνος δειγματοληψίας είναι αμελητέος. Εάν χρησιμοποιηθεί πηγή με υψηλότερη τιμή αντίστασης τότε ο χρόνος δειγματοληψίας αυξάνεται και εξαρτάται από το χρόνο που απαιτείται για να φορτιστεί ο πυκνωτής S/H.

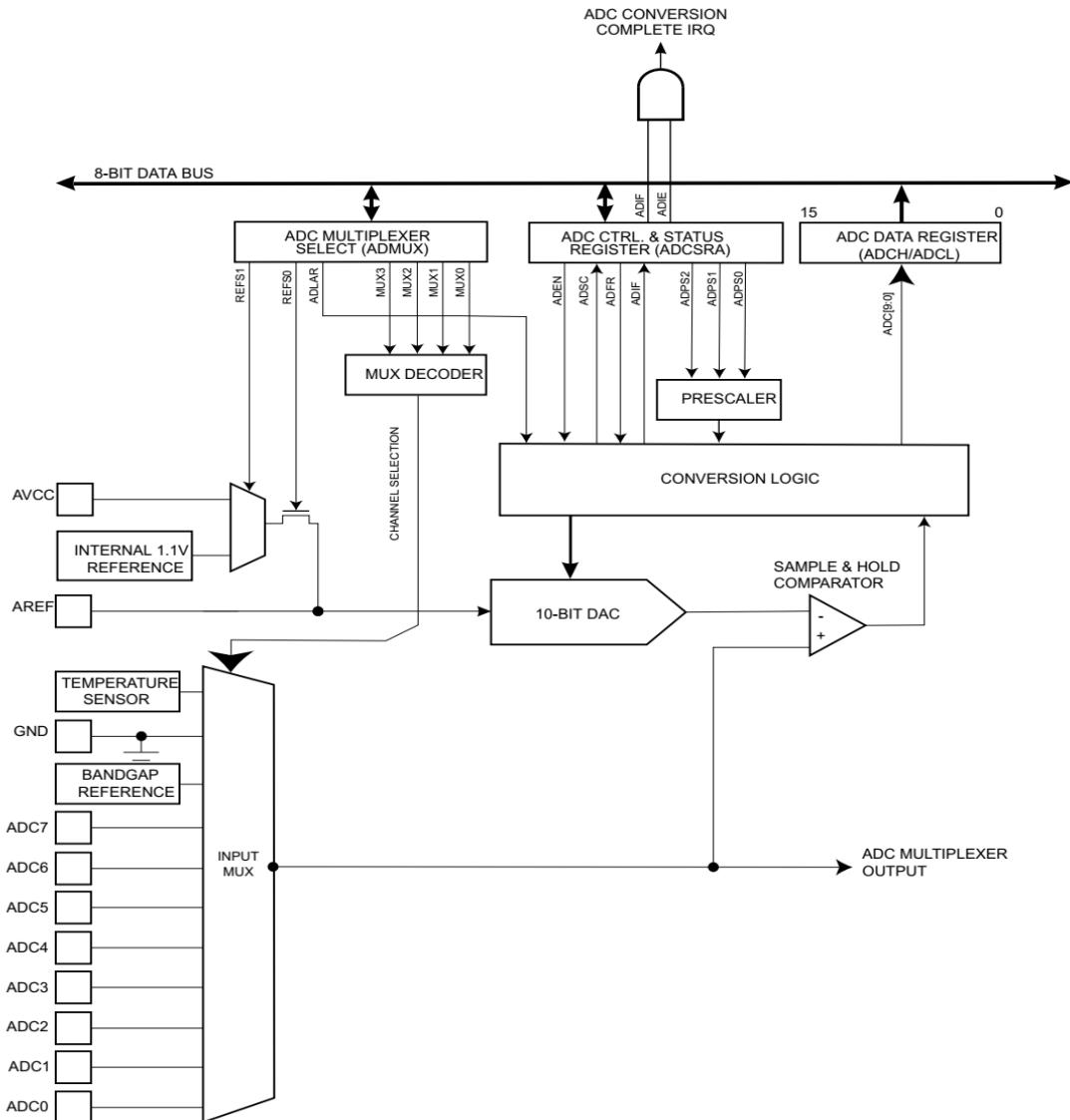
Σε κανονική λειτουργία ο χρόνος δειγματοληψίας(sampling time) είναι 1,5 κύκλος ρολογιού του ADC.

### AVR ATMega328PB ADC

Ο μικροελεγκτής AVR ATMega328PB διαθέτει έναν ADC, ανάλυσης n=10 bit, που βασίζεται στη μέθοδο των διαδοχικών προσεγγίσεων.

Το κύκλωμα διαδοχικής προσέγγισης του ADC απαιτεί συχνότητα ρολογιού μεταξύ 50 kHz και 200 kHz για μέγιστη ανάλυση. Εάν απαιτείται ανάλυση χαμηλότερη από 10 bit, η συχνότητα ρολογιού εισόδου του ADC μπορεί να είναι υψηλότερη από 200 KHz.

Στο παρακάτω σχήμα φαίνεται το μπλοκ διάγραμμά του ADC μετατροπέα:



Σχήμα 3.3: Μπλοκ διάγραμμά του ADC

### Αναλογικός πολυπλέκτης του ADC

Ο ADC είναι συνδεδεμένος με ένα αναλογικό πολυπλέκτη 16 εισόδων. Το κανάλι αναλογικής εισόδου που είναι κάθε φορά συνδεδεμένο στο κύκλωμα μετατροπής του ADC επιλέγεται από τα bit MUX[3:0] του καταχωρητή ADMUX, όπως φαίνεται παρακάτω:

#### **ADMUX (Διεύθυνση: 0x7C). Multiplexer Selection Register**

Bit	7	6	5	4	3	2	1	0
	REFS <sub>n</sub>	REFS <sub>n</sub>	ADLAR		MUX <sub>n</sub>	MUX <sub>n</sub>	MUX <sub>n</sub>	MUX <sub>n</sub>
Access	R/W	R/W	R/W		R/W	R/W	R/W	R/W
Reset	0	0	0		0	0	0	0

Σχήμα 3.3: Καταχωρητής ADMUX

MUX[3:0]	ΚΑΝΑΛΙ ΕΙΣΟΔΟΥ
0000	ADC0
0001	ADC1
0010	ADC2
0011	ADC3
0100	ADC4
0101	ADC5
0110	ADC6
0111	ADC7
1000	Temperature sensor
1001	Reserved
1010	Reserved
1011	Reserved
1100	Reserved
1101	Reserved
1110	1.1V (VBG)
1111	0V (GND)

Πίνακας 3.3: Επιλογή αναλογικών εισόδων του ADC

Στον παρακάτω πίνακα εμφανίζονται οι ακροδέκτες του μικροελεγκτή AVR ATMega328PB που μπορούν να δεχτούν αναλογικά σήματα και τα κανάλια του ADC που αντιστοιχούν. Όσοι από αυτούς τους ακροδέκτες θα χρησιμοποιηθούν από τον ADC πρέπει να οριστούν ως είσοδοι, κάνοντας χρήση του αντίστοιχου καταχωρητή DDRx.

ΑΚΡΟΔΕΚΤΗΣ	ΚΑΝΑΛΙ ΤΟΥ ADC
PC0	ADC0
PC1	ADC1
PC2	ADC2
PC3	ADC3
PC4	ADC4
PC5	ADC5
PE2	ADC6
PE3	ADC7

Πίνακας 3.4: Αναλογικές είσοδοι του ADC

Τα bit REFS[1:0] χρησιμοποιούνται για την επιλογή του  $V_{REF}$  σύμφωνα με τον επόμενο πίνακα:

REFS[1:0]	Voltage reference selection
00	AREF, internal $V_{REF}$ turned OFF
01	AVCC with external capacitor at AREF pin
10	Reserved
11	Internal 1.1V voltage reference with external capacitor at AREF pin

Πίνακας 3.5: Επιλογή του ADC  $V_{REF}$

### Έλεγχος της λειτουργίας του ADC

Ο έλεγχος της λειτουργίας του ADC γίνετε δια μέσω των καταχωρητών ADCSRA και ADCSRB. Ο καταχωρητής ADCSRA φαίνεται στο παρακάτω σχήμα:

## ADCSRA (Διεύθυνση: 0x7A). ADC Control and Status Register A

Bit	7	6	5	4	3	2	1	0
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPSn	ADPSn	ADPSn
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

### Σχήμα 3.4: Καταχωρητής ADCSRA

Στη συνέχεια παρατίθενται οι λειτουργίες αυτού του καταχωρητή:

#### ADEN: ADC Enable

Όταν η σημαία αυτή τεθεί τότε ο ADC ενεργοποιείται.

#### ADSC: ADC Start Conversion

Στη λειτουργία μεμονωμένης μετατροπής (Single Conversion mode), η σημαία αυτή πρέπει να τεθεί για να ξεκινήσει μία μετατροπή. Στη λειτουργία Free Running, η σημαία αυτή πρέπει να τεθεί για να ξεκινήσει η πρώτη μετατροπή. Η πρώτη μετατροπή διαρκεί 25 κύκλους ρολογιού του ADC ενώ οι επόμενες μετατροπές διαρκούν 13 κύκλους ρολογιού. Η πρώτη μετατροπή εκτελεί την αρχικοποίηση του ADC.

#### ADATE: ADC Auto Trigger Enable

Όταν η σημαία αυτή τεθεί, ενεργοποιείται η λειτουργία Auto Triggering του ADC. Το ADC θα ξεκινήσει αυτόματα μια μετατροπή σε μια θετική ακμή του επιλεγμένου σήματος σκανδαλισμού. Η πηγή σκανδαλισμού επιλέγεται ρυθμίζοντας τα bit ADTS[2:0] στον καταχωρητή ADCSRB.

#### ADIF: ADC Interrupt Flag

Η σημαία αυτή τίθεται αυτόματα όταν ολοκληρωθεί μια μετατροπή και ενημερωθούν οι καταχωρητές δεδομένων. Αν η τιμή της σημαίας ADIE καθώς και της σημαίας I στον SREG είναι 1 τότε θα προκληθεί διακοπή ολοκλήρωσης μετατροπής του ADC. Το ADIF μηδενίζεται από το υλικό κατά την εκτέλεση των αντίστοιχου διανύσματος χειρισμού διακοπών. Εναλλακτικά, το ADIF μηδενίζεται από τον κώδικα γράφοντας σε αυτό λογικό 1.

#### ADIE: ADC Interrupt Enable

Αν η τιμή της σημαίας ADIE καθώς και της σημαίας I στον SREG είναι 1 τότε θα προκληθεί διακοπή ολοκλήρωσης μετατροπής του ADC.

#### ADPS[2:0]: ADC Prescaler Select bits

Τα bit αυτά θέτουν ένα συντελεστή διαίρεσης μεταξύ του κεντρικού ρολογιού και της συχνότητας λειτουργίας του ADC όπως φαίνεται στον επόμενο πίνακα:

ADPS[2:0]	Division Factor
000	2
001	2
010	4
011	8
100	16
101	32
110	64
111	128

Πίνακας 3.6: ADC Prescaler Select bits

Το κύκλωμα διαδοχικής προσέγγισης του ADC, για μέγιστη ανάλυση 10 Bits, απαιτεί συγχότητα ρολογιού εισόδου μεταξύ 50 KHz και 200 KHz.

Ο καταχωρητής ADCSRB φαίνεται στο παρακάτω σχήμα:

#### **ADCSRB (Διεύθυνση: 0x7B). ADC Control and Status Register B**

Bit	7	6	5	4	3	2	1	0
		ACME				ADTSn	ADTSn	ADTSn
Access		R/W				R/W	R/W	R/W
Reset		0				0	0	0

#### **Σχήμα 3.5: Καταχωρητής ADCSRB**

Στη συνέχεια παρατίθενται οι λειτουργίες αυτού του καταχωρητή:

##### **ACME: Analog Comparator Multiplexer Enable**

Χρησιμοποιείται για την επιλογή της αναλογικής εισόδου στον analog comparator, ο οποίος είναι μια περιφερειακή συσκευή, ενσωματωμένη στον μικροελεγκτή ATmega328PB.

##### **ADTSn [2:0]: ADC Auto Trigger Source**

Όταν η σημαία ADATE του καταχωρητή ADCSRA είναι 1 τότε ενεργοποιείται η λειτουργία Auto Triggering του ADC. Το ADC θα ξεκινάει αυτόματα μια μετατροπή στη θετική ακμή του σήματος σκανδαλισμού το οποίο επιλέγεται σύμφωνα με τον παρακάτω πίνακα:

ADTS[2:0]	Trigger Source
000	Free Running mode
001	Analog Comparator
010	External Interrupt Request 0
011	Timer/Counter0 Compare Match A
100	Timer/Counter0 Overflow
101	Timer/Counter1 Compare Match B
110	Timer/Counter1 Overflow
111	Timer/Counter1 Capture Event

Πίνακας 3.7: ADC Auto Trigger Source

#### **Καταχωρητές δεδομένων του ADC**

Το αποτέλεσμα του ADC έχει μήκος 10-bit και παρουσιάζεται στους καταχωρητές δεδομένων ADCH (high byte) και ADCL (low byte). Από προεπιλογή, το αποτέλεσμα παρουσιάζεται δεξιά προσαρμοσμένο(right adjusted), αλλά μπορεί προαιρετικά να τεθεί η σημαία ADLAR του καταχωρητή ADMUX και να παρουσιαστεί αριστερά προσαρμοσμένο (left adjusted).

Κατά την ανάγνωση του ADCL, οι καταχωρητές δεδομένων του ADC δεν ενημερώνονται μέχρι να διαβαστεί το ADCH. Εάν το αποτέλεσμα είναι αριστερά προσαρμοσμένο(Left adjusted) και δεν απαιτείται ακρίβεια μεγαλύτερη από 8 bit, αρκεί να διαβαστεί ο καταχωρητής ADCH. Σε διαφορετική περίπτωση, πρέπει πρώτα να διαβαστεί το ADCL και μετά το ADCH.

Οι καταχωρητές δεδομένων του ADC, ADCL και ADCH έχουν διευθύνσεις 0x78 και 0x79 αντίστοιχα. Παρουσιάζονται στο επόμενο σχήμα:

### ADC Data Register Low and High Byte (ADLAR=0, Right adjusted)

Bit	15	14	13	12	11	10	9	8
							ADC9	ADC8
Access							R	R
Reset							0	0
Bit	7	6	5	4	3	2	1	0
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Access	R	R	R	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0

### ADC Data Register Low and High Byte (ADLAR=1, Left adjusted)

Bit	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
Access	R	R	R	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
	ADC1	ADC0						
Access	R	R						
Reset	0	0						

**Σχήμα 4.6:** Καταχωρητές ADCL και ADCH

### DIDR0 (Διεύθυνση: 0x7E), Digital Input Disable Register 0

Bit	7	6	5	4	3	2	1	0
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
Access	R/W							
Reset	0	0	0	0	0	0	0	0

**Σχήμα 3.7:** Καταχωρητής DIDR0

Όταν ένα bit αυτού του καταχωρητή τίθεται, τότε ο απομονωτής του αντίστοιχου ακροδέκτη του ADC απενεργοποιείται. Εάν ένα αναλογικό σήμα εφαρμόζεται σε έναν από τους ακροδέκτες ADC[7:0] και η ψηφιακή είσοδος από αυτόν τον ακροδέκτη δεν χρειάζεται τότε το αντίστοιχο bit ADCxD θα πρέπει να τεθεί για να μειωθεί η κατανάλωση ενέργειας στον απομονωτή της ψηφιακής εισόδου.

### Παραγωγή αναλογικών τάσεων στο ntuAboard\_G1

Η κάρτα ntuAboard\_G1 διαθέτει κυκλώματα για την παραγωγή αναλογικών τάσεων, οι οποίες μπορούν να συνδεθούν στις εισόδους 0 έως 3 του ADC μετατροπέα. Ποιο συγκεκριμένα η κάρτα ntuAboard\_G1 διαθέτει 4 ποτενσιόμετρα, 3 αναλογικά φίλτρα τα οποία παράγουν μεταβαλλόμενες DC τάσεις από τις PWM εξόδους των χρονιστών και ένα μετατροπέα ψηφιακού σήματος σε αναλογικό(DAC).

Τα κυκλώματα που αναφέρθηκαν απεικονίζονται στο παρακάτω σχήμα:



**Σχήμα 3.4:** Κυκλώματα για την παραγωγή αναλογικών τάσεων στην κάρτα ntuAboard\_G1.

Η σύνδεση καθεμιάς από τις πρώτες 4 αναλογικές εισόδους του ADC με τις αναλογικές τάσεις που παράγονται στην κάρτα ntuAboard\_G1 μπορεί να επιτευχθεί χρησιμοποιώντας βραχυκυκλωτήρες:

- Η αναλογική είσοδος 0 του ADC μπορεί να συνδεθεί είτε με το ποτενσιόμετρο POT1 είτε με το αναλογικό φίλτρο PD6\_PWM.
- Η αναλογική είσοδος 1 του ADC μπορεί να συνδεθεί είτε με το ποτενσιόμετρο POT2 είτε με το αναλογικό φίλτρο PB1\_PWM.
- Η αναλογική είσοδος 2 του ADC μπορεί να συνδεθεί είτε με το ποτενσιόμετρο POT3 είτε με το αναλογικό φίλτρο PD3\_PWM.
- Η αναλογική είσοδος 3 του ADC μπορεί να συνδεθεί είτε με το ποτενσιόμετρο POT4 είτε με την έξοδο του DAC.

Να σημειωθεί ότι για να μπορέσει να λειτουργήσει το αναλογικό φίλτρο στο PD6\_PWM πρέπει να συνδεθεί ένας βραχυκυκλωτήρας στον κονέκτορα J3. Παρομοίως το φίλτρο PB1\_PWM απαιτεί ένα βραχυκυκλωτήρα στον κονέκτορα J5 και το φίλτρο PD3\_PWM απαιτεί ένα βραχυκυκλωτήρα στον κονέκτορα J7.

Για παράδειγμα στο σχήμα 4.8 η αναλογική είσοδος A0 έχει συνδεθεί στο ποτενσιόμετρο POT1, η αναλογική είσοδος A1 έχει συνδεθεί στο PB1\_PWM φίλτρο και οι αναλογικές είσοδοι A2 και A3 παραμένουν ασύνδετες.

Για να λειτουργήσουν σωστά οι αναλογικές είσοδοι της PORTC πρέπει να αποσυνδεθεί η θύρα αυτή από τα led δια μέσω του DIP switch.

### Παράδειγμα 3.2

Στο παρακάτω παράδειγμα ο ADC έχει ρυθμιστεί έτσι ώστε να διαβάζει συνεχώς την αναλογική είσοδο 0. Το αποτέλεσμα της μετατροπής είναι αριστερά προσαρμοσμένο (Left adjusted) και τα 8 σημαντικότερα bit απεικονίζονται στα Led του PORTD.

Η τάση αναφοράς έχει ρυθμιστεί στα 5 volt.

Η συχνότητα του ADC ισούται με 125 KHz και προκύπτει από τη διαίρεση της συχνότητας λειτουργίας του μικροελεγκτή(16MHz) με το συντελεστή 128.

```

.include "m328PBdef.inc" ;ATmega328P microcontroller definitions

.def temp = r16
.def ADC_L = r21
.def ADC_H = r22

.org 0x00
    jmp reset

.org 0x2A ;ADC Conversion Complete Interrupt
    reti

reset:
    ldi temp, high(RAMEND)
    out SPH,temp
    ldi temp, low(RAMEND)
    out SPL,temp

    ldi temp, 0xFF
    out DDRD, temp ;Set PORTD as output

    ldi temp, 0x00
    out DDRC, temp ;Set PORTC as input

; REFSn[1:0]=01 => select Vref=5V, MUXn[4:0]=0000 => select ADC0(pin PC0),
; ADLAR=1 => Left adjust the ADC result
ldi temp, 0b01100000 ;
sts ADMUX, temp

; ADEN=1 => ADC Enable, ADCS=0 => No Conversion,
; ADIE=0 => disable adc interrupt, ADPS[2:0]=111 => fADC=16MHz/128=125KHz
ldi temp, 0b10000111
sts ADCSRA, temp

Start_conv:
    lds temp, ADCSRA ;
    ori temp, (1<<ADSC) ; Set ADSC flag of ADCSRA
    sts ADCSRA, temp ;

wait_adc:
    lds temp, ADCSRA ;
    sbrc temp,ADSC ; Wait until ADSC flag of ADCSRA becomes 0
    rjmp wait_adc ;

    lds ADC_L,ADCL ; Read ADC result(Left adjusted)
    lds ADC_H,ADCH ;
    out PORTD, ADC_H ; Output ADCH to PORTD

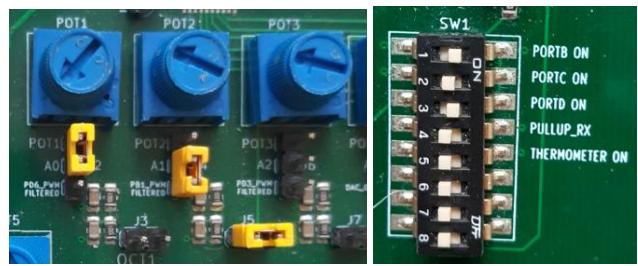
    rjmp Start_conv

```

### Τα ζητούμενα της 3<sup>ης</sup> εργαστηριακής άσκησης

Για την υλοποίηση των επομένων εργασιών συνδέστε την είσοδο A0 του ADC με το POT1, την είσοδο A1 του ADC με το αναλογικό φίλτρο PB1\_PWM, και γεφυρώστε το J5 όπως φαίνεται στο διπλανό σχήμα.

Το PORTC περιλαμβάνει αναλογικές εισόδους του ADC, οπότε όταν γίνεται χρήση του ADC τότε τα led που ελέγχονται από το PORTC πρέπει να αποσυνδεθούν, κάνοντας χρήση των dip switches SW1.



#### Ζήτημα 3.1

Να δημιουργηθεί κώδικας σε γλώσσα assembly, ο οποίος να αρχικοποιεί τον TMR1A σε λειτουργία 8-bit και να παράγει μία PWM κυματομορφή στον ακροδέκτη PB1 με συχνότητα 62500 Hz. Θεωρήστε ότι BOTTOM=0. Στον ακροδέκτη PB1 είναι συνδεδεμένο ένα LED και η φωτεινότητα του μεταβάλλεται εάν μεταβληθεί το Duty Cycle της PWM κυματομορφής. Αρχικά το Duty Cycle ρυθμίζεται σε 50% αποθηκεύεται σε μία μεταβλητή με όνομα DC\_VALUE. Στη συνέχεια κάθε φορά που πιέζεται το μπουτόν PB4 το Duty Cycle αυξάνεται κατά 6%. Όταν το Duty Cycle φτάσει τη μέγιστη τιμή 98% η πίεση του μπουτόν PB4 δεν το αυξάνει περεταίρω. Κάθε φορά που πιέζεται το μπουτόν PB5 το Duty Cycle μειώνεται κατά 6%. Όταν το Duty Cycle φτάσει τη ελάχιστη τιμή 2% η πίεση του μπουτόν PB5 δεν το μειώνει περεταίρω. Οι τιμές που πρέπει να πάρει ο καταχωρητής OCR1A, για τις διάφορες τιμές του Duty Cycle, να έχουν υπολογιστεί εκ των προτέρων και να έχουν τοποθετηθεί σε ένα πίνακα στη μνήμη του μικροελεγκτή, έτσι ώστε να μη χρειάζεται να υπολογιστούν κατά τη διάρκεια εκτέλεσης του κώδικα.

#### Ζήτημα 3.2

Να γραφτεί ξανά ο κώδικας του ζητήματος 3.1 σε γλώσσα C, ο οποίος θα παράγει PWM έξοδο στον ακροδέκτη PB1, με συχνότητα 62500 Hz.

Κάθε 100 mSec (μικρές αποκλίσεις είναι αποδεκτές), ο ADC(ADCH: ADCL) θα διαβάζει την DC τάση που παράγεται στην έξοδο του αναλογικού φίλτρου PB1\_PWM με ακρίβεια 10 bit.

Να υπολογίζεται η μέση τιμή του ADC αθροίζοντας 16 διαδοχικές μετρήσεις και διαιρώντας δια 16. Προκειμένου να επιτευχθεί η ταχύτερη εκτέλεση του κώδικα, η διαίρεση θα υλοποιείται με ολίσθηση των bit του αθροίσματος κατά 4 θέσεις. Ανάλογα με την τιμή μέτρησης του ADC (ADCH: ADCL) θα ανάβει ένα από τα led που είναι συνδεδεμένα στη θύρα PORTD σύμφωνα με τον παρακάτω πίνακα:

Τιμή μέτρησης του ADC(ADCvalue)	LED ON
$0 \leq \text{ADCvalue} \leq 200$	PD0
$200 \leq \text{ADCvalue} \leq 400$	PD1
$400 \leq \text{ADCvalue} \leq 600$	PD2
$600 \leq \text{ADCvalue} \leq 800$	PD3
$800 \leq \text{ADCvalue}$	PD4

Παρατήρηση: Είναι φυσιολογικό να τρεμοπαίζουν τα led στα σημεία μετάβασης.

#### Ζήτημα 3.3

Να γραφτεί ξανά ο κώδικας του ζητήματος 3.1 σε γλώσσα C.

Επιπλέον, για τη μεταβολή της φωτεινότητας του led θα υπάρχουν δύο τρόποι λειτουργίας, το mode1 και το mode2. Στο mode1 η φωτεινότητα(Duty Cycle) θα αποθηκεύεται σε μια μεταβλητή με όνομα DC\_VALUE και το πάτημα του μπουτόν PB4 θα αυξάνει τη φωτεινότητα ενώ το πάτημα του μπουτόν PB5 θα μειώνει τη φωτεινότητα.

Στο mode2 η φωτεινότητα(Duty Cycle) θα ελέγχεται από το ποτενσιόμετρο POT1.

Εάν πατηθεί το μπουτόν PD0 τότε θα επιλέγεται το mode1.

Εάν πατηθεί το μπουτόν PD1 τότε θα επιλέγεται το mode2.