

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ



HCMUTE

MÔN HỌC: THIẾT KẾ MẠCH TÍCH HỢP VLSI
THIẾT KẾ Ô NHỚ SRAM8T

NGÀNH: CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

Sinh viên: Nguyễn Quang Huy

MSSV: 20161321

Nguyễn Văn Hữu Lộc

MSSV: 20161336

TP. HỒ CHÍ MINH – 5/2023

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN - ĐIỆN TỬ



MÔN HỌC: THIẾT KẾ MẠCH TÍCH HỢP VLSI
THIẾT KẾ Ô NHỚ SRAM8T
NGÀNH: CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG

Sinh viên: Nguyễn Quang Huy

MSSV: 20161321

Nguyễn Văn Hữu Lộc

MSSV: 20161336

Hướng dẫn: ThS. Đỗ Duy Tân

TP. HỒ CHÍ MINH – 5/2023

NHẬN XÉT CỦA GIÁO VIÊN HƯỚNG DẪN

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

MỤC LỤC

NHẬN XÉT CỦA GIÁO VIÊN HƯỚNG DẪN.....	i
MỤC LỤC	ii
DANH MỤC HÌNH	iii
DANH MỤC TỪ VIẾT TẮT	iv
CHƯƠNG 1.....	1
1.1 GIỚI THIỆU	1
1.2 MỤC TIÊU NGHIÊN CỨU	1
1.3 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU.....	1
1.4 PHƯƠNG PHÁP NGHIÊN CỨU	2
1.5 BỐ CỤC ĐỀ TÀI.....	2
CHƯƠNG 2.....	3
2.1 TỔNG QUAN VỀ BỘ NHỚ SRAM	3
2.1.1 Khái niệm.....	3
2.1.2 Đặc điểm.....	3
2.1.3 Ứng dụng	4
2.2 Ô NHỚ SRAM 8T	4
2.2.1 Cấu tạo	4
2.2.2 Nguyên lý hoạt động.....	5
2.2.3. Ưu và nhược điểm SRAM 8T.....	5
CHƯƠNG 3.....	7
3.1. SƠ ĐỒ NGUYÊN LÝ.....	7
3.2. CÀI ĐẶT CÁC THÔNG SỐ ĐẦU VÀO	8
3.3. KẾT QUẢ DẠNG SÓNG MÔ PHỎNG.....	11
3.3.1. Chế độ ghi và chế độ giữ dữ liệu	11
3.3.2. Chế độ đọc.....	12
3.3.3. Công suất.....	13
3.3.4. Độ trễ lan truyền của ô nhớ SRAM 8T	14
CHƯƠNG 4.....	16
TÀI LIỆU THAM KHẢO.....	17

DANH MỤC HÌNH

Hình 3.0-1: Sơ đồ nguyên lý của ô nhớ SRAM 8T trên cadence	7
Hình 3.0-2: Thông số Vcc	8
Hình 3.0-3: Thông số WBL	8
Hình 3.0-4: Thông số WWL	9
Hình 3.0-5: Thông số WBLB	9
Hình 3.0-6: Thông số RWL	9
Hình 3.0-7: Thông số RBL	10
Hình 3.0-8: Mô phỏng dạng sóng của ô nhớ SRAM 8T chế độ ghi và chế độ giữ dữ liệu	11
Hình 3.0-9: Mô phỏng dạng sóng của ô nhớ SRAM 8T chế độ ghi và chế độ giữ dữ liệu	12
Hình 3.0-10: Mô phỏng dạng sóng công suất của ô nhớ SRAM 8T	13
Hình 3.0-11: Giá trị công suất của ô nhớ SRAM 8T ở 27°C.....	13
Hình 3.0-12: Giá trị công suất của ô nhớ SRAM 8T ở -10°C	13
Hình 3.0-13: Giá trị công suất của ô nhớ SRAM 8T ở 100°C	13
Hình 3.0-14: Độ trễ lan truyền low to high của ô nhớ SRAM 8T.....	14
Hình 3.0-15: Đo độ trễ lan truyền high to low của ô nhớ SRAM 8T	14
Hình 3.0-16: Độ trễ lan truyền low to high của ô nhớ SRAM 8T.....	15
Hình 3.0-17: Đo độ trễ lan truyền high to low của ô nhớ SRAM 8T	15

DANH MỤC TỪ VIẾT TẮT

SRAM (**Static Random-Access Memory**): Bộ nhớ truy cập ngẫu nhiên tĩnh

DRAM (**Dynamic Random Access Memory**): Bộ nhớ truy cập ngẫu nhiên động

WWL (**write wordline**)

RWL (**read wordline**)

WBT (**write bitline**)

WBB (**write bitline bar**)

RBT (**read bitline**)

CHƯƠNG 1

TỔNG QUAN

1.1 GIỚI THIỆU

SRAM (**Static Random-Access Memory** – tạm dịch: *Bộ nhớ truy cập ngẫu nhiên tĩnh*) là một loại bộ nhớ máy tính được dùng để lưu trữ và truy xuất dữ liệu tạm thời. Điểm đặc biệt của SRAM so với các loại bộ nhớ khác là khả năng duy trì dữ liệu mà không cần làm mới định kỳ.

SRAM hoạt động dựa trên cấu trúc logic sử dụng các flip-flop để lưu trữ dữ liệu. Nhờ đó, quá trình truy cập dữ liệu trở nên nhanh chóng và hiệu quả hơn. Vì vậy, SRAM đặc biệt phù hợp với các ứng dụng yêu cầu tốc độ, hiệu suất cao, như bộ nhớ cache trong máy tính, vi xử lý và các thiết bị điện tử khác. SRAM thường được sử dụng để lưu trữ dữ liệu tạm thời, có vai trò quan trọng trong lĩnh vực công nghệ thông tin và điện tử.

8T-SRAM là một loại cell SRAM mới được đề xuất để cải thiện hiệu suất của SRAM. Nó cung cấp khả năng chống nhiễu tĩnh đọc tốt hơn và khả năng viết tốt hơn so với 6T-SRAM truyền thống. Nó cũng có khả năng hoạt động ở điện áp thấp hơn và tiêu thụ năng lượng ít hơn so với 6T-SRAM. Các kỹ thuật mới như FinFETs cũng đã được đưa ra để cải thiện hiệu suất của SRAM. Tuy nhiên, việc sử dụng SRAM 8T có thể dẫn đến tăng tiêu thụ điện năng cho vùng siêu ngưỡng.

Nhằm tìm hiểu kiến trúc của bộ nhớ SRAM cũng như các phương pháp cải thiện tốc độ, bằng những kiến thức đã học, tham khảo và tìm hiểu nhu cầu thực tế, nhóm thực hiện đề tài quyết định chọn đề tài: “Thiết kế ô nhớ SRAM 8T”.

1.2 MỤC TIÊU NGHIÊN CỨU

Tìm hiểu và thiết kế một ô nhớ SRAM 8T, mô phỏng được hoạt động đọc – ghi của ô nhớ. công suất trong các điều kiện nhiệt độ khác nhau đồng thời hiểu được cách thức hoạt động của ô nhớ.

1.3 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU

Đối tượng nghiên cứu: Nghiên cứu các thành phần cấu tạo nên ô nhớ SRAM 8T.

Phạm vi nghiên cứu: Mô phỏng, đánh giá công suất ô nhớ SRAM 8T sử dụng phần mềm Cadence với công nghệ Samsung 130nm.

1.4 PHƯƠNG PHÁP NGHIÊN CỨU

Phân tích, đánh giá ưu điểm, nhược điểm các kiến trúc ô nhớ SRAM 8T.

1.5 BỐ CỤC ĐỀ TÀI

Chương 1: Giới thiệu: Tìm hiểu tổng quan về ô nhớ SRAM 8T, kèm theo mục tiêu và giới hạn đề tài.

Chương 2: Cơ sở lý thuyết: Trình bày cơ sở lý thuyết bộ nhớ SRAM, ô nhớ SRAM 8T

Chương 3: Mô phỏng: Hình ảnh mô phỏng kết quả hoàn thiện ô nhớ SRAM8T. Từ đó đánh giá công suất toàn mạch.

Chương 4: Kết luận: Tổng kết lại những vấn đề đạt được và chưa đạt được của đề tài trong quá trình thực hiện và hướng phát triển, cải thiện đề tài.

CHƯƠNG 2

CƠ SỞ LÝ THUYẾT

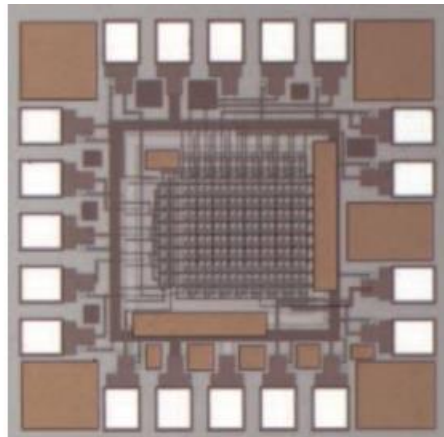
2.1 TỔNG QUAN VỀ BỘ NHỚ SRAM

2.1.1 Khái niệm

RAM là bộ nhớ truy cập ngẫu nhiên, tốc độ truy cập nhanh, có khả năng lưu trữ, truy xuất các dữ liệu ngẫu nhiên và không bị mất khi nguồn điện đang được cấp.

Dựa theo cấu tạo, RAM được chia thành 2 loại, SRAM và DRAM. DRAM lưu trữ dữ liệu trong tụ điện, vì tụ điện bị rò điện nên DRAM cần được làm tươi theo chu kỳ để tránh bị mất dần các bit dữ liệu. Trong khi đó, SRAM có thể lưu giữ các bit dữ liệu trong bộ nhớ khi nguồn điện không bị mất đi nên SRAM không cần làm tươi theo chu kỳ như DRAM.

Cấu trúc của một mạch SRAM cơ bản gồm Mạch nạp trước (Pre – charge), ô nhớ SRAM, mạch ghi (Write – driver), mạch đọc (Sense amplifier), cuối cùng là bộ giải mã hàng và cột. Trong đó bộ giải mã cột có thể có hoặc không tùy theo nhu cầu sử dụng. Hình ảnh hiển vi của mạch SRAM thực tế được mô tả ở hình 2.1.



Hình 2.0: Hình ảnh hiển vi của mạch SRAM

2.1.2 Đặc điểm

SRAM chỉ có transistor và biến tần, không có tụ điện nên không cần làm tươi định kỳ.

Các transistor khiến SRAM khá cồng kềnh và đòi hỏi nhiều không gian hơn DRAM

SRAM có tốc độ truy cập cao hơn đồng thời đòi hỏi điện năng thấp hơn DRAM

2.1.3 Ứng dụng

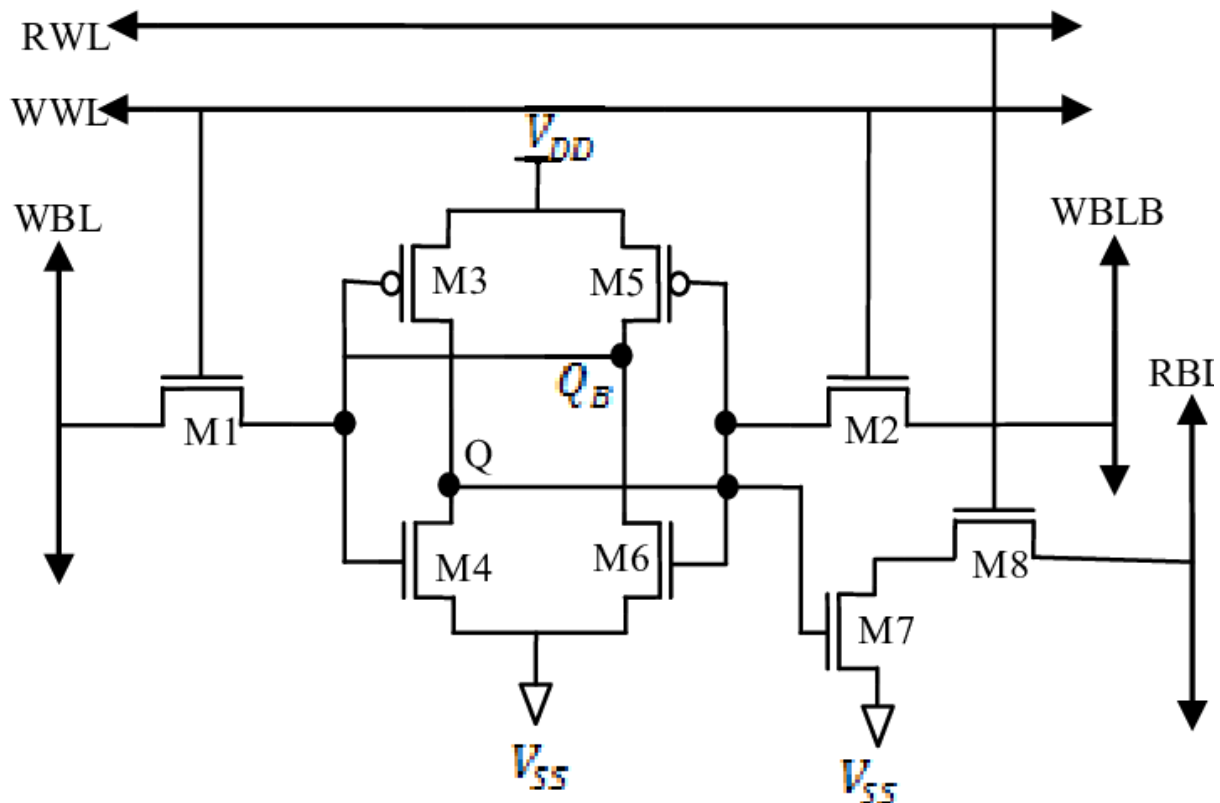
SRAM được sử dụng làm bộ nhớ đệm trong bên trong các CPU.

Trong các máy chủ, SRAM có thể được sử dụng làm bộ nhớ đệm và bộ nhớ chính để có hiệu năng tốt nhất.

SRAM được sử dụng trong các ứng dụng FPGA để lưu trữ chương trình và dữ liệu tạm thời.

2.2 Ô NHỚ SRAM 8T

2.2.1 Cấu tạo



Hình 2.2: Ô nhớ SRAM 8T

Ô nhớ SRAM 8T được cấu tạo từ 8 transistor CMOS: 4 transistor M3 và M5, M4 và M6 tạo thành cặp inverter dùng để lưu trữ trạng thái ô nhớ, 2 transistor ở hai bên là M1, M2 dùng để truy xuất dữ liệu trong ô nhớ được điều khiển bởi tín hiệu WWL. WBL và WBLB dùng để ghi giá trị của ô nhớ, 2 transistor M7, M8 để đọc giá trị của 2 ô nhớ.

2.2.2 Nguyên lý hoạt động

a. Chế độ đọc

Trong hoạt động đọc, trước tiên đường RBL sẽ được kéo lên mức điện áp VDD và đường tín hiệu RWL sẽ được kích hoạt mức cao, sau đó phụ thuộc vào giá trị bit được lưu trữ trong ô nhớ mà điện áp trên đường RBL sẽ được kéo xuống mức “0” hoặc giữ nguyên trạng thái.

b. Chế độ ghi

Để thực hiện chế độ ghi, mạch ghi sẽ phân cực ngược 2 đường bit. Khi có tín hiệu $WWL = 1$, mức logic được nạp từ đường bit vào nút lưu trữ thông qua transistor truy cập M1, M2. Nếu $WBL = 0$ và $WBLB = 1$ thì Q được xả bởi WBL xuống 0 và QB được nạp lên 1 bởi WBLB, ngược lại nếu $WBL = 1$, $WBLB = 0$ thì Q được nạp lên 1 và QB được xả xuống 0.

c. Chế độ giữ dữ liệu

Trong chế độ giữ dữ liệu, thì đường tín hiệu WWL sẽ không được kích hoạt ($WWL = 0$). Điều này dẫn đến các transistor M1 và M2 ngừng dẫn, đường tín hiệu WBL và WBLB bị cách ly hoàn toàn với ô nhớ lưu trữ dữ liệu. Do đó, ô nhớ SRAM sẽ lưu trữ trạng thái dữ liệu được ghi trước đó.

2.2.3. Ưu và nhược điểm SRAM 8T

Ưu điểm

Độ ổn định cao hơn: Với số lượng transistor lớn hơn, SRAM 8T thường có độ ổn định cao hơn trong điều kiện năng lượng không ổn định hoặc trong môi trường hoạt động đặc biệt.

Khả năng chống nhiễu tốt hơn: Cấu trúc 8 transistor có thể cung cấp khả năng chống nhiễu tốt hơn so với một số thiết kế khác, giúp giảm các lỗi do nhiễu.

Nhược điểm

Diện tích chiếm lớn: Sử dụng nhiều transistor hơn trong mỗi cell làm tăng diện tích cần thiết trên chip. Điều này có thể làm giảm số lượng cell trong một diện tích chip cố định, giảm dung lượng tổng thể của bộ nhớ.

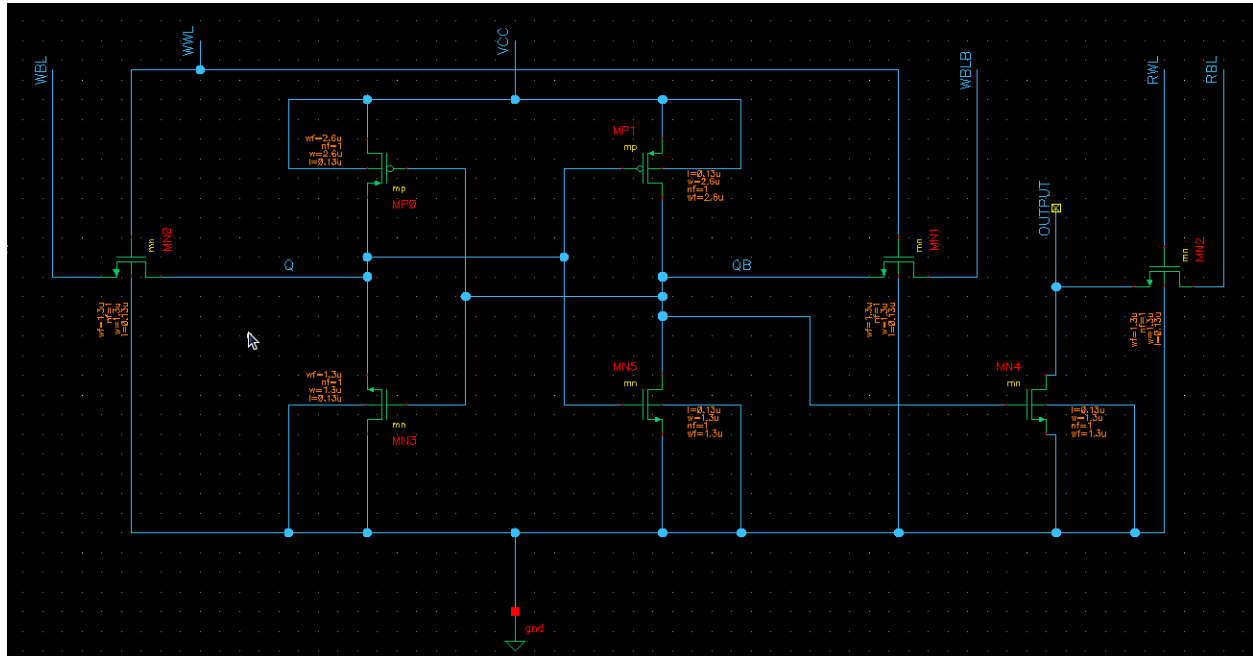
Tiêu tốn năng lượng: Vì số lượng transistor lớn hơn, SRAM 8T có thể tiêu tốn nhiều năng lượng hơn trong quá trình hoạt động so với các thiết kế SRAM ít transistor hơn.

Chi phí sản xuất cao: Do diện tích lớn và số lượng transistor nhiều hơn, SRAM 8T có thể đòi hỏi chi phí sản xuất cao hơn so với các thiết kế khác.

CHƯƠNG 3

MÔ PHỎNG

3.1. SƠ ĐỒ NGUYÊN LÝ



Hình 3.0-1: Sơ đồ nguyên lý của ô nhớ SRAM 8T trên cadence

3.2. CÀI ĐẶT CÁC THÔNG SỐ ĐẦU VÀO

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	1.2 V	<input type="button" value="off"/>
Noise file name	<input type="text"/>	<input type="button" value="off"/>
Number of noise/freq pairs	0	<input type="button" value="off"/>
XF magnitude	<input type="text"/>	<input type="button" value="off"/>
PAC magnitude	<input type="text"/>	<input type="button" value="off"/>
PAC phase	<input type="text"/>	<input type="button" value="off"/>
Temperature coefficient 1	<input type="text"/>	<input type="button" value="off"/>
Temperature coefficient 2	<input type="text"/>	<input type="button" value="off"/>
Nominal temperature	<input type="text"/>	<input type="button" value="off"/>

Hình 3.0-2: Thông số Vcc

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	<input type="text"/>	<input type="button" value="off"/>
Voltage 1	0 V	<input type="button" value="off"/>
Voltage 2	1.2 V	<input type="button" value="off"/>
Delay time	<input type="text"/>	<input type="button" value="off"/>
Rise time	1n s	<input type="button" value="off"/>
Fall time	1n s	<input type="button" value="off"/>
Pulse width	1u s	<input type="button" value="off"/>
Period	2u s	<input type="button" value="off"/>

Hình 3.0-3: Thông số WBL

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	<input type="text"/>	<input type="button" value="off"/>
Voltage 1	1.2 V _{cc}	<input type="button" value="off"/>
Voltage 2	0 V _{cc}	<input type="button" value="off"/>
Delay time	<input type="text"/>	<input type="button" value="off"/>
Rise time	1n	<input type="button" value="off"/>
Fall time	1n	<input type="button" value="off"/>
Pulse width	2u	<input type="button" value="off"/>
Period	3u	<input type="button" value="off"/>

Hình 3.0-4: Thông số WWL

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	<input type="text"/>	<input type="button" value="off"/>
Voltage 1	1.2 V _{cc}	<input type="button" value="off"/>
Voltage 2	0 V _{cc}	<input type="button" value="off"/>
Delay time	<input type="text"/>	<input type="button" value="off"/>
Rise time	1n	<input type="button" value="off"/>
Fall time	1n	<input type="button" value="off"/>
Pulse width	1u	<input type="button" value="off"/>
Period	2u	<input type="button" value="off"/>

Hình 3.0-5: Thông số WBLB

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	<input type="text"/>	<input type="button" value="off"/>
Voltage 1	1.2 V _{cc}	<input type="button" value="off"/>
Voltage 2	0 V _{cc}	<input type="button" value="off"/>
Delay time	<input type="text"/>	<input type="button" value="off"/>
Rise time	1n	<input type="button" value="off"/>
Fall time	1n	<input type="button" value="off"/>
Pulse width	1u	<input type="button" value="off"/>
Period	3u	<input type="button" value="off"/>

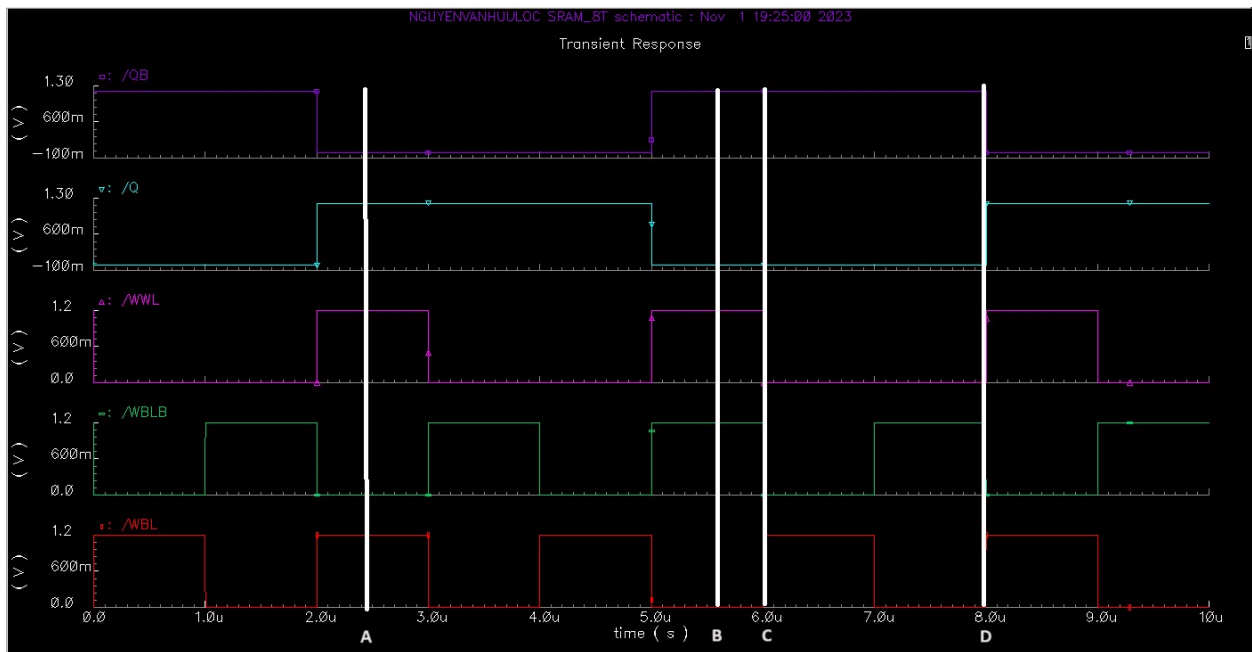
Hình 3.0-6: Thông số RWL

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	<input type="button" value="off"/>
AC phase	<input type="text"/>	<input type="button" value="off"/>
DC voltage	<input type="text"/>	<input type="button" value="off"/>
Voltage 1	1.2 V _{cc}	<input type="button" value="off"/>
Voltage 2	0 V _{cc}	<input type="button" value="off"/>
Delay time	<input type="text"/>	<input type="button" value="off"/>
Rise time	1n	<input type="button" value="off"/>
Fall time	1n	<input type="button" value="off"/>
Pulse width	1u	<input type="button" value="off"/>
Period	3u	<input type="button" value="off"/>

Hình 3.0-7: Thông số RBL

3.3. KẾT QUẢ DẠNG SÓNG MÔ PHỎNG

3.3.1. Chế độ ghi và chế độ giữ dữ liệu



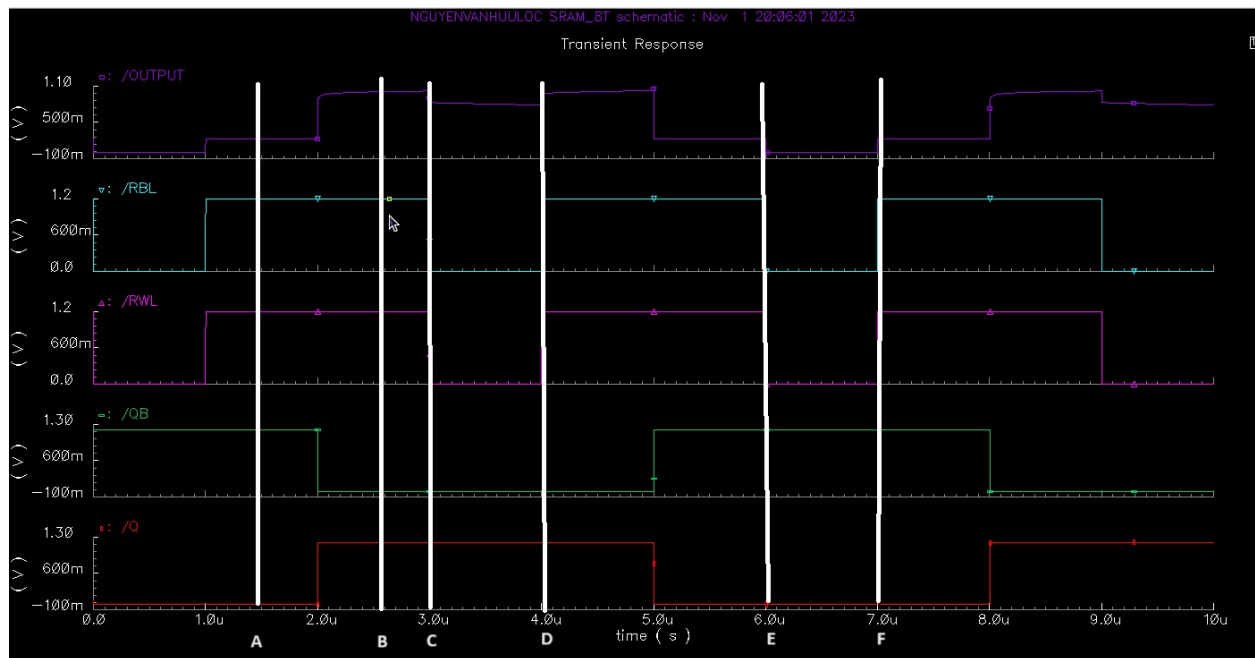
Hình 3.0-8: Mô phỏng dạng sóng của ô nhớ SRAM 8T chế độ ghi và chế độ giữ dữ liệu

Theo hình 3.8:

- Chế độ ghi: Khi có tín $WWL = 1$, tại A ô nhớ lưu trữ giá trị “1” tương ứng với $WBL = 1$, $WBLB = 0$, tại B ô nhớ lưu trữ giá trị “0” tương ứng với $WBL = 0$, $WBLB = 1$.
- Chế độ giữ dữ liệu: Từ C đến D, Khi tín hiệu WWL tắt, ô nhớ lưu trữ giá trị trước đó mà không quan tâm đến giá trị của WBL và $WBLB$.

Dạng sóng mô phỏng đúng với phân tích lý thuyết.

3.3.2. Chế độ đọc



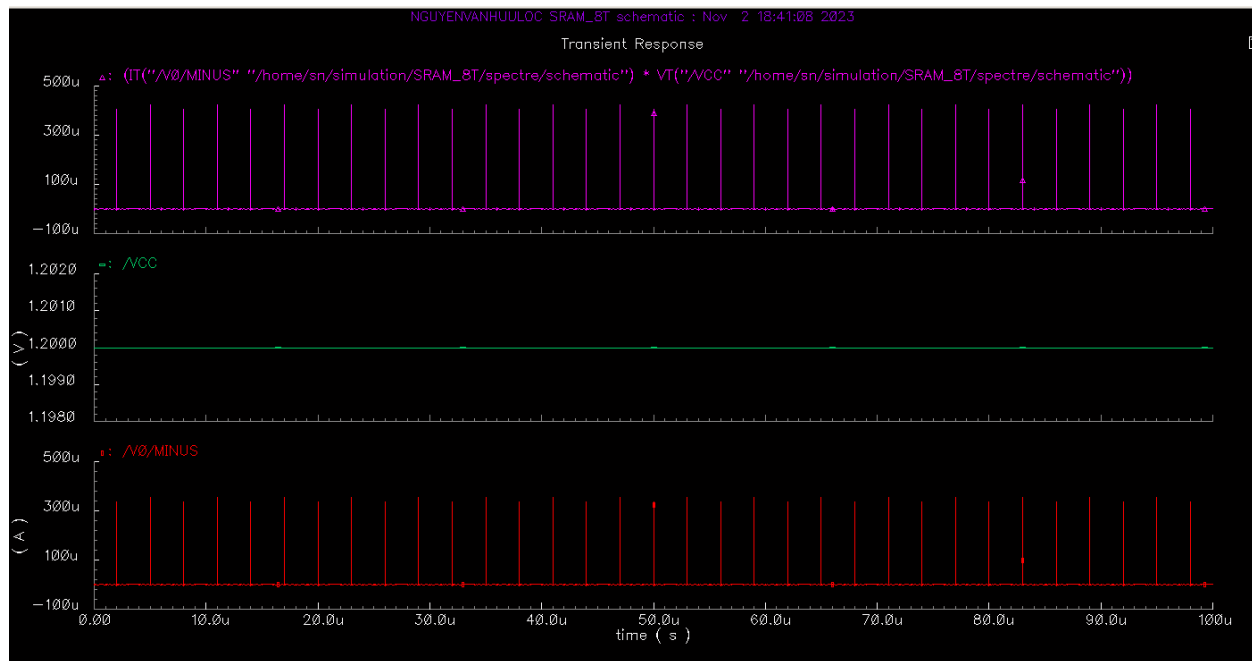
Hình 3.0-9: Mô phỏng dạng sóng của ô nhớ SRAM 8T chế độ ghi và chế độ giữ dữ liệu
Khi đọc tín hiệu trong ô nhớ RBL = 1;

Theo hình 3.9:

- Khi có tín $RWL = 1$,
 - Tại A ô nhớ Q lưu trữ giá trị “0”, ô nhớ QB lưu trữ giá trị “1”, điện áp tại OUTPUT ở mức thấp.
 - Tại B ô nhớ Q lưu trữ giá trị “1”, ô nhớ QB lưu trữ giá trị “0”, điện áp tại OUTPUT ở mức cao.
- Khi có tín $RWL = 0$, từ C đến D hay E đến F, điện áp tại OUTPUT sẽ bị suy giảm nhưng không đáng kể đến việc đọc giá trị điện áp.

Dạng sóng mô phỏng đúng với phân tích lý thuyết.

3.3.3. Công suất



Hình 3.0-10: Mô phỏng dạng sóng công suất của ô nhớ SRAM 8T

```
average(wavew10s1i3()) = 27.88n
```

Hình 3.0-11: Giá trị công suất của ô nhớ SRAM 8T ở 27°C

```
average(wavew15s1i3()) = 26.08n
```

Hình 3.0-12: Giá trị công suất của ô nhớ SRAM 8T ở -10°C

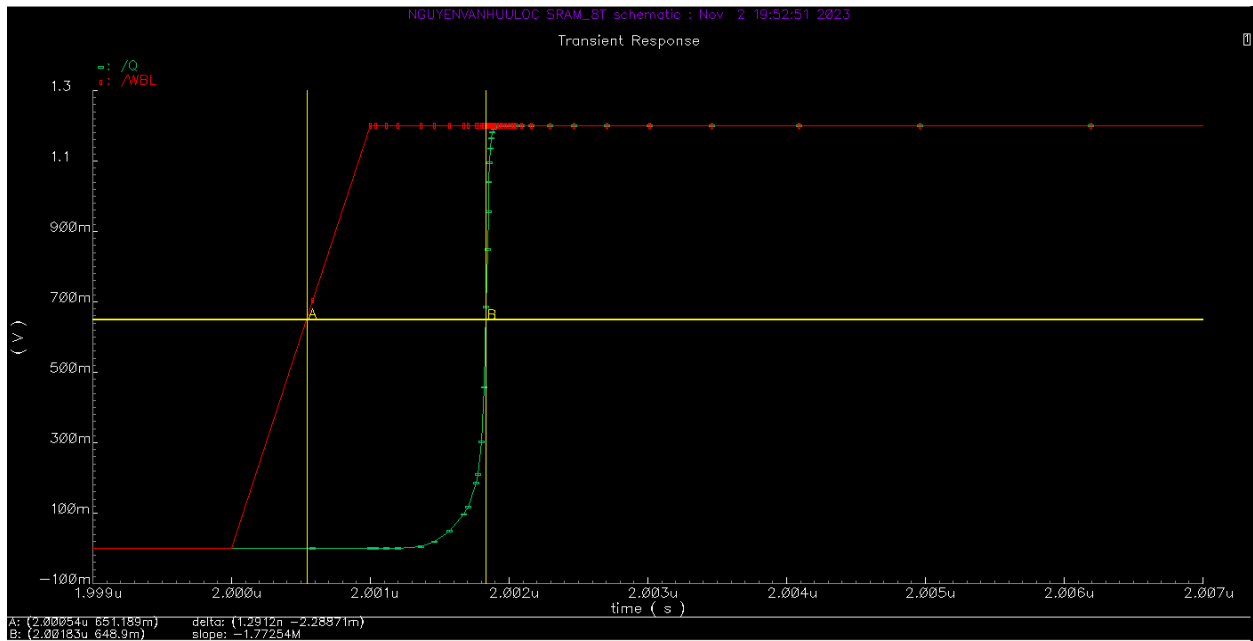
```
average(wavew19s1i3()) = 49.37n
```

Hình 3.0-13: Giá trị công suất của ô nhớ SRAM 8T ở 100°C

Ô nhớ SRAM 8T hoạt động ở nhiệt độ càng cao thì sẽ tiêu thụ càng nhiều năng lượng.

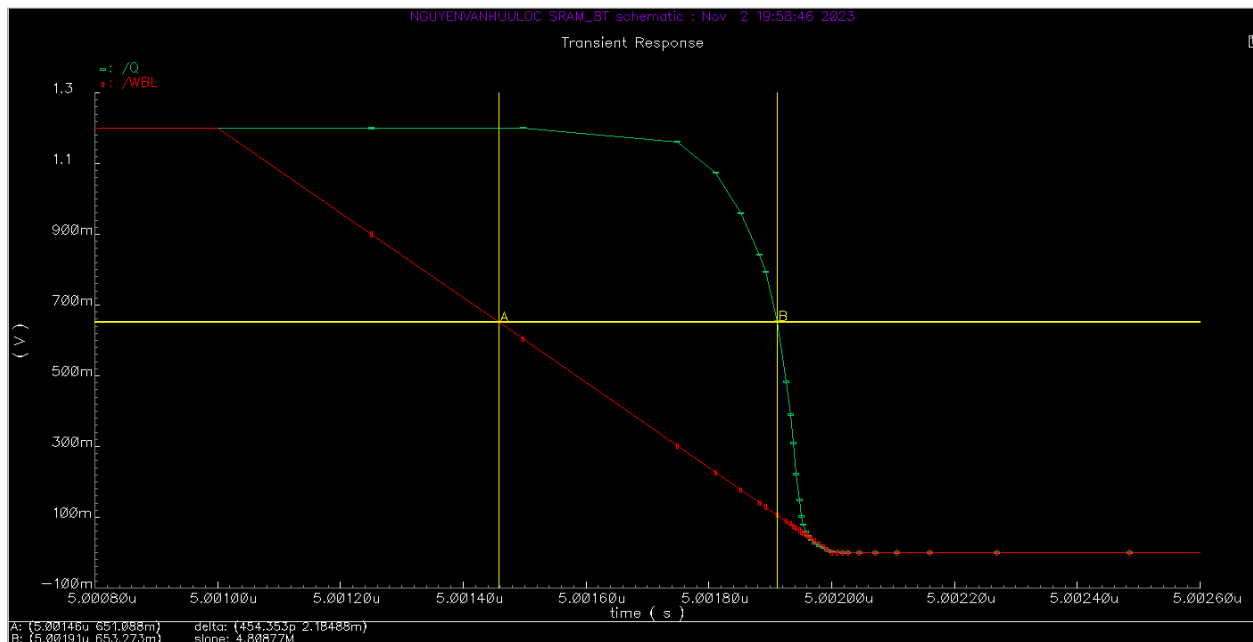
3.3.4. Độ trễ lan truyền của ô nhớ SRAM 8T

Đầu vào:



Hình 3.0-14: Độ trễ lan truyền low to high của ô nhớ SRAM 8T

$T_{pLH8Tin} = 1,291\text{ns}$ (hình 3.14)

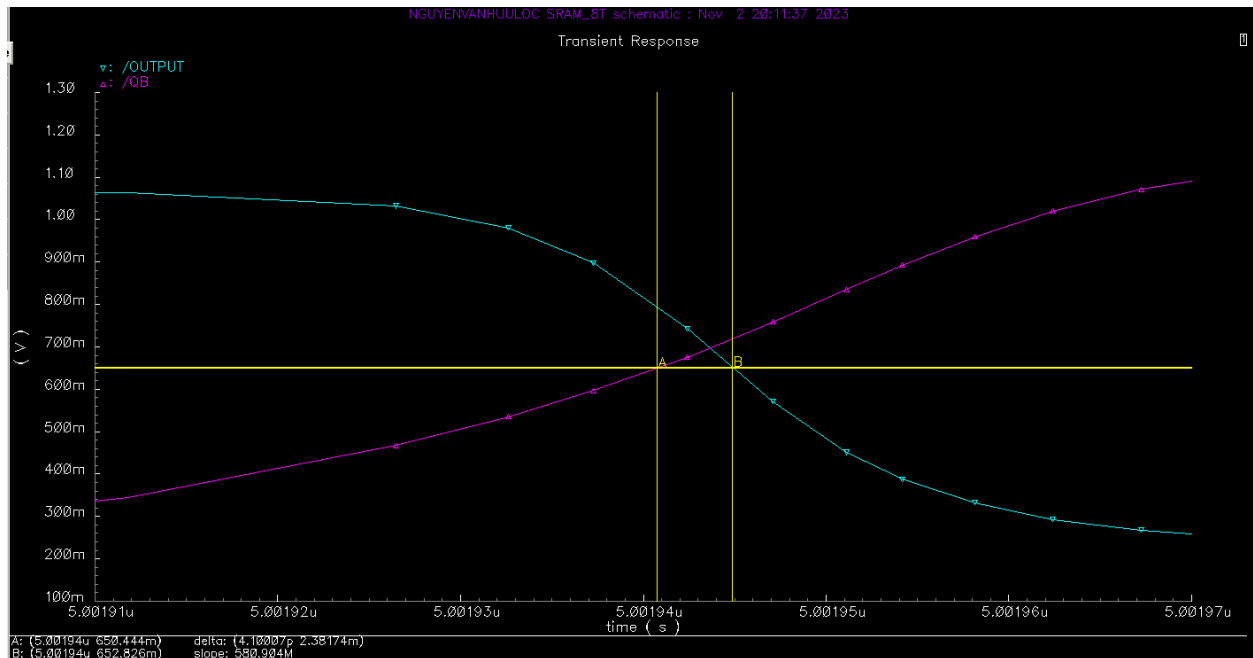


Hình 3.0-15: Đo độ trễ lan truyền high to low của ô nhớ SRAM 8T

$T_{pHL8Tin} = 454,353\text{ps}$ (hình 3.15)

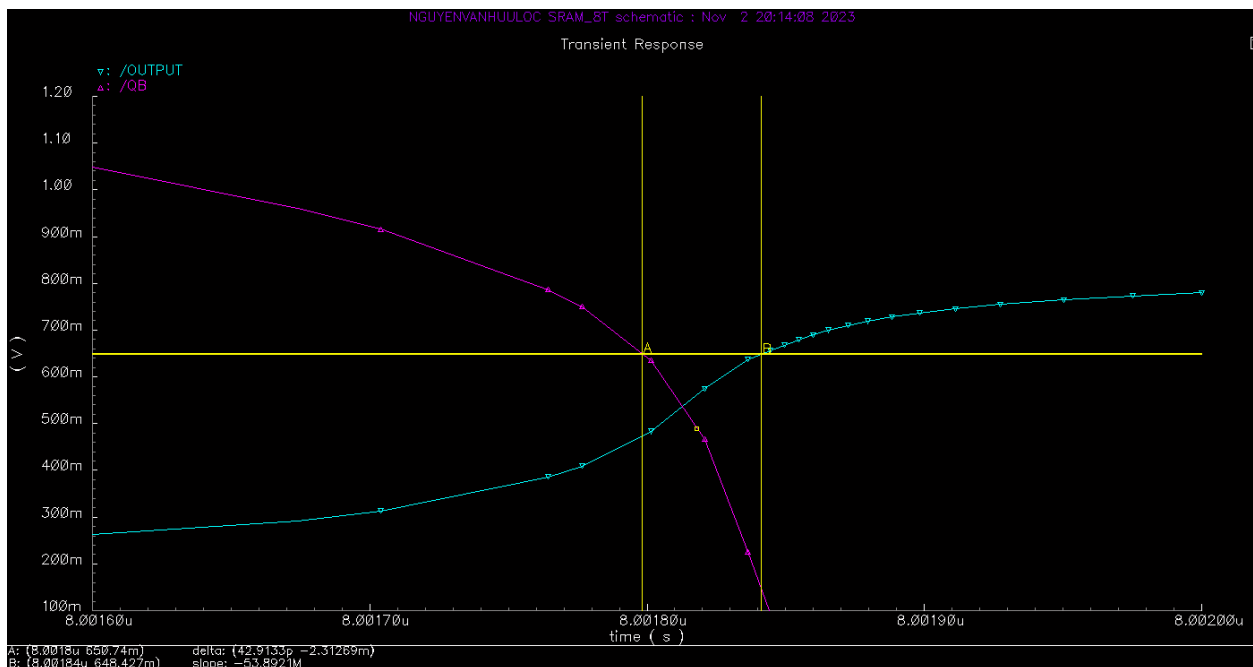
$T_{p8Tin} = (T_{pLH8Tin} + T_{pHL8Tin})/2 = (1,291\text{ns} + 454,353\text{ps})/2 = 0,726\text{ps}$

Đầu ra:



Hình 3.0-16: Độ trễ lan truyền low to high của ô nhớ SRAM 8T

$T_{pLH8Tout} = 4,1000ps$ (hình 3.16)



Hình 3.0-17: Đo độ trễ lan truyền high to low của ô nhớ SRAM 8T

$T_{pHL8Tout} = 42,9133ps$ (hình 3.17)

$T_{p8Tout} = (T_{pLH8Tout} + T_{pHL8Tout})/2 = (4,1000s + 42,9133ps)/2 = 23,5066p$

CHƯƠNG 4

KẾT LUẬN

Sau quá trình tìm hiểu và thực hiện thiết kế ô nhớ SRAM 8T, nhóm thực hiện đề tài đã đạt được kết quả hoàn thiện thiết kế ô nhớ SRAM 8T mà mục tiêu đề ra. Nhóm thực hiện đề tài đã mô phỏng kiến trúc ô nhớ, mô phỏng mạch chạy trên cadence và kết quả mô phỏng đúng như phân tích lý thuyết. Nhóm cũng thực hiện phân tích, đánh giá giá được độ trễ lan truyền, công suất của ô nhớ.

TÀI LIỆU THAM KHẢO

[1] Neil H. E. Weste, David Money Harris - CMOS VLSI Design A Circuits and Systems Perspective – NXB Pearson 2011.

[2] Phạm Đức Hiếu, Luận văn thạc sĩ “Công nghệ lập trình FPGA và ứng dụng xử lý dữ liệu đa phương tiện”, Trường Đại học Công nghệ - ĐHQGHN.

[3] Phạm Văn Khoa - Nguyễn Duy Thông, “PHÂN TÍCH HIỆU NĂNG CỦA CÁC THIẾT KẾ SRAM TRÊN CÔNG NGHỆ TSMC 90nm CMOS”, Trường Đại học Sư phạm Kỹ thuật Tp. Hồ Chí Minh - Trường Đại học Quy Nhơn.