

[初賽登錄]

初賽時間為 4 月 3 日(二) **8:30~20:30**，參賽者請於 **10 點半前** 完成下列步驟進行初賽登錄，主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額，請務必完成登錄動作，以免影響你的權益。

- 請將你的隊伍參賽資料 E-mail 至 ic2007@vlsilab.ee.ncku.edu.tw，

信件內容格式如下：

參賽組別：類比電路設計

參賽編號：(例：9640001)

參賽姓名：張三、李四

- 信件標題請標示為「**IC 設計競賽初賽資料登錄**」

2007 University/College IC Design Contest Preliminary

FPGA IC Category for Undergraduate Students

Image Display Controller

1. 問題描述

請完成一影像顯示控制(Image Display Control)電路設計。此控制電路，可依指定之操控指令，使顯示端的影像進行水平及垂直方向的平移(Shift)功能。

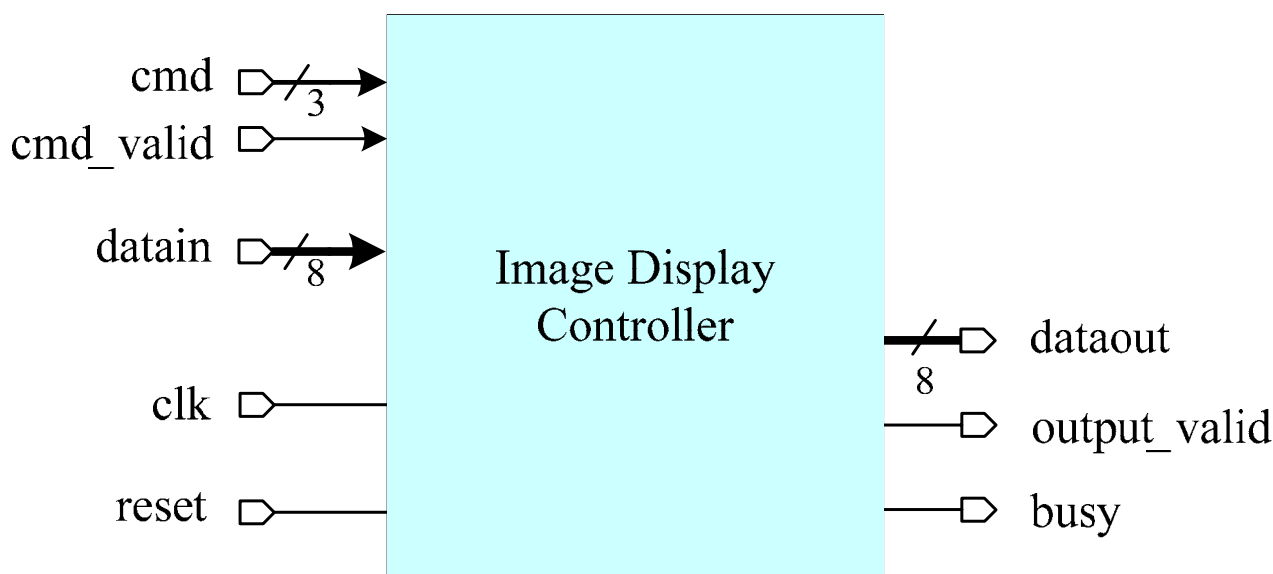
本控制電路有 5 個信號輸入(cmd, cmd_valid, datain, clk, reset)及 3 個信號輸出(dataout, output_valid, busy)，關於各輸入輸出信號的功能說明，請參考表一。

每個參賽隊伍必須根據下一節所給的設計規格來完成設計。參賽隊伍可藉由 CIC 所提供的輸出/入訊號對應之參考(I/O Response)，來檢查設計是否有達到要求，詳情請參考附錄 B 及附錄 D。

本次 IC 設計競賽比賽時間為 08:30~20:30。當 IC 設計競賽結束後，CIC 會根據第 3 節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 E 中所列的要求，附上評分所需要的檔案。關於設計檔上傳方式，請參考附錄 F。

2. 設計規格

2.1 系統方塊圖



圖一、系統方塊圖

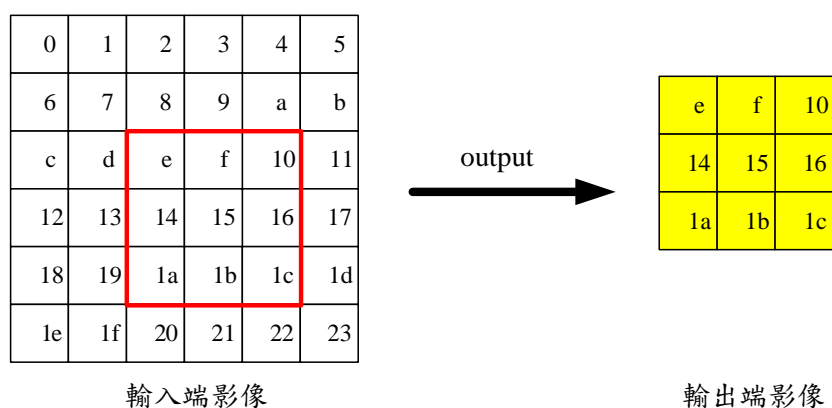
2.2 輸入/輸出介面

表一、輸入/輸出訊號

信號名稱	輸/出入	位元寬度	說明
<i>reset</i>	input	1	高位準非同步之系統重置信號。 說明:本信號應於系統啟動時送出。
<i>clk</i>	input	1	時脈信號。 說明:此系統為同步於時脈正緣之同步設計。
<i>cmd</i>	input	3	指令輸入信號。 說明:本控制器共有八種指令輸入，相關指令說明請參考表二。指令輸入只有在 <i>cmd_valid</i> 為 high 及 <i>busy</i> 為 low 時，為有效指令。
<i>cmd_valid</i>	input	1	有效指令輸入信號。 說明:當本信號為 high 時表示 <i>cmd</i> 指令為有效指令輸入。
<i>datain</i>	input	8	八位元影像資料輸入埠。
<i>dataout</i>	output	8	八位元影像資料輸出埠。
<i>output_valid</i>	output	1	有效資料輸出信號。 說明:當本信號為 high 時表示 <i>dataout</i> 為有效資料輸出。
<i>busy</i>	output	1	系統忙碌信號。 說明:當本信號為 high 時，表示此控制器正在執行現行(current)指令，而無法接收其他新的指令輸入。

2.3 系統功能描述

影像顯示控制器之輸入端，為一張 6x6 大小的影像資料。而輸出端則為 3x3 大小的顯示端影像，如圖二所示。影像顯示控制器必須處理使用者輸入之指令，取得顯示相關之座標(origin)參數，使顯示端達到平移功能。



圖二、輸入與輸出影像示意圖

2.3.1 輸入與輸出端之影像及參數規範

[影像輸入]

主辦單位將提供輸入端影像資料，此影像資料為 6x6 共 36 筆測試樣本，每筆樣本為 8 位元資料(如圖三所示)。並且依由左而右；由上而下，且以序列(Serial)的方式循序輸入至參賽者的影像控制電路中。(如圖三所示資料，輸入順序為 0,1,2,3,4,5,6,7,8,9,a,b,c,d,e,f,10,...,21,22,23)。註:以下僅為圖例示範，詳細的輸入影像內容值未必如下圖三所示。

	0	1	2	3		
0-						
	0	1	2	3	4	5
1-						
	6	7	8	9	a	b
2-						
	c	d	e	f	10	11
3-						
	12	13	14	15	16	17
	18	19	1a	1b	1c	1d
	1e	1f	20	21	22	23

圖三、輸入端影像資料

[影像輸出]

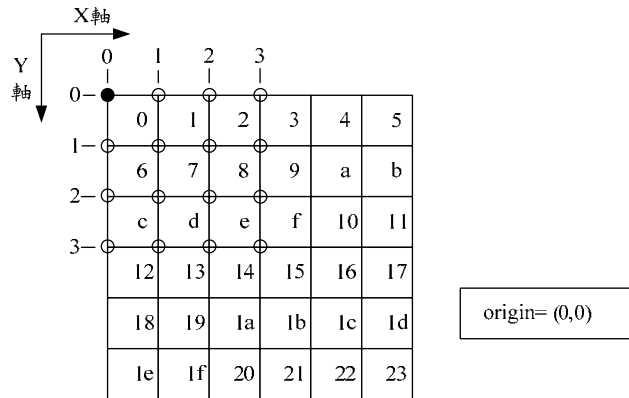
輸出端影像為 3x3 共 9 筆樣本輸出，每筆樣本為 8 位元資料(如圖四所示)。並且依由左而右；由上而下，且以序列(Serial)的方式循序輸出結果。(如圖四所示資料，輸出順序為 e,f,10,14,15,16,1a,1b,1c)。註:以下僅為圖例示範，詳細的輸出影像內容值未必如下圖四所示。

e	f	10
14	15	16
1a	1b	1c

圖四、輸出端影像資料

[參考座標]

本試題已定義輸入端影像之參考座標。輸入端影像之水平方向為 X 軸，垂直方向為 Y 軸，而原點座標則座落於輸入影像之左上端。此外，X 軸與 Y 軸座標範圍為 0~3。(如圖五所示)。參賽者需根據此參考座標，進行顯示端的畫面平移(Shift)功能設計。



圖五、輸入端影像參考座標

2.3.2 影像顯示控制器功能規範

[指令定義]

影像控制器電路有 6 項控制指令功能。控制指令(cmd)所對應之功能如表二所示。

表二、控制指令定義

控制指令	控制指令說明
0	Reflash
1	Load Data
2	Shift Right
3	Shift Left
4	Shift Up
5	Shift Down

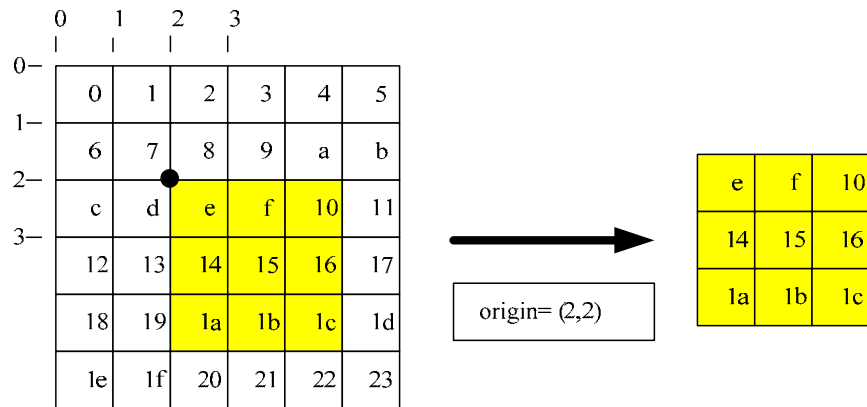
對於所有有效之控制指令，不論其是否會更變原點參數，皆必須在系統處理結束後輸出 9 筆顯示端影像資料。以下分別就各項指令進行說明。

◆ 顯示端影像更新(Reflash)

- ⇒ 更新顯示端的輸出畫面
- ⇒ Reflash 指令不作任何處理，僅將現行顯示之 3x3 影像資料重新輸出。

◆ 資料載入(Load Data)

- ⇒ 將 36 筆影像資料依序載入於 6x6 影像緩衝器中。
- ⇒ Load Data 時，系統將輸入一張全新的 6x6 影像，且原點座標自動指向(2,2)，亦即輸出畫面自動顯示原輸入影像的中央區塊。
 - 設定原點座標為(2,2)
- ⇒ Load Data 必須為系統的第一個指令輸入。



圖六、輸出畫面於資料載入(Load Data)之取樣相對位置

◆ 畫面右移(Shift Right) *

- ⇒ 右移顯示區塊。執行此 Shift Right 指令，使原點的 X 座標增加 1，但 X 軸座標最大不可超過 3。
- ⇒ 當 X 座標等於 3 時，倘若再收到右移指令，則 X 座標仍將為持 3，僅重覆輸出和現行指令前相同之顯示結果。

◆ 畫面左移(Shift Left) *

- ⇒ 左移顯示區塊。執行此 Shift Left 指令，將使原點的 X 座標刪減 1，但 X 軸座標最小不可低於 0。
- ⇒ 當 X 座標等於 0 時，倘若再收到左移指令，則 X 座標將仍為持 0，僅重覆輸出和現行指令前相同之顯示結果。

◆ 畫面上移(Shift UP) *

- ⇒ 上移顯示區塊。執行此 Shift UP 模式，將使原點的 Y 軸座標減少 1，但 Y 軸座標最小不可低於 0。
- ⇒ 當 Y 軸座標等於 0 時，倘若再收到上移指令，則 Y 軸座標將仍為 0，僅重覆輸出和現行指令前相同之顯示結果。

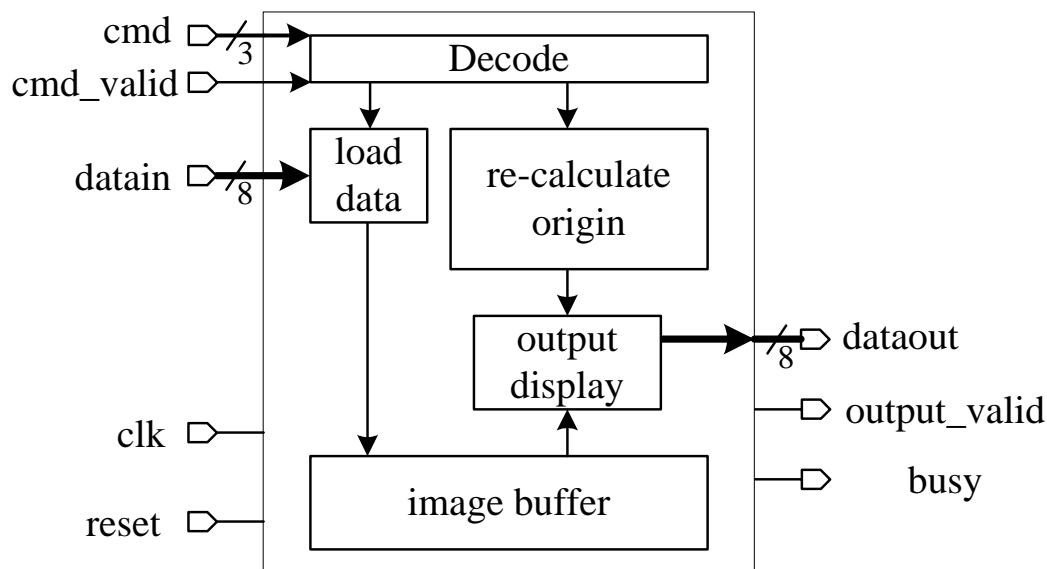
◆ 畫面下移(Shift Down) *

- ⇒ 下移顯示區塊。執行此 Shift Down 指令，將使原點的 Y 軸座標增加 1，但 Y 軸座標最大不可大於 3。
- ⇒ 當 Y 軸座標等於 3 時，倘若再次收到下移指令，則 Y 軸座標仍為持 3，僅重覆輸出和現行指令前相同之顯示結果。

* 關於顯示畫面與輸入畫面之原點相對位置，請參考附錄 A。

2.3.3 影像顯示控制器範例

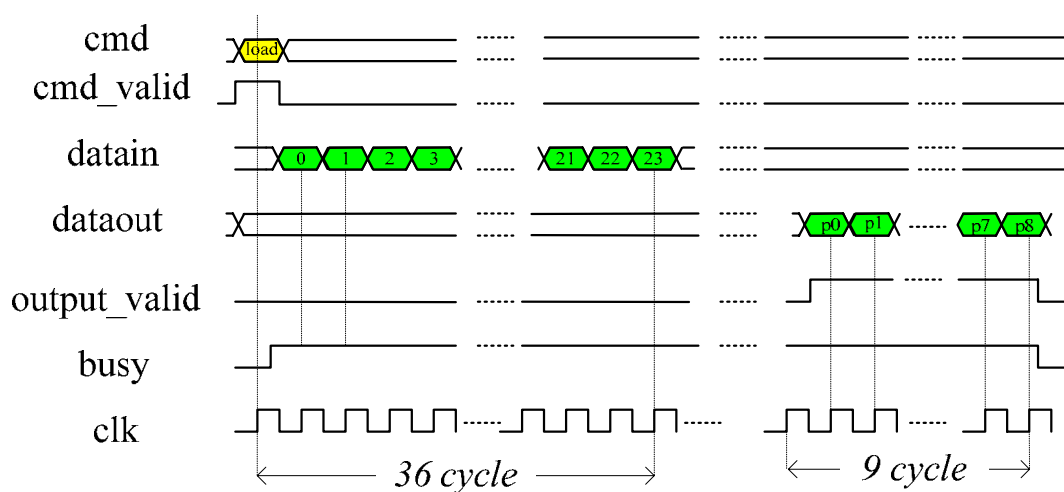
以下為影像控制器電路方塊圖，僅供參賽者作為設計之參考，參賽者亦可自行發揮創意!



圖七、影像控制器電路設計之參考方塊圖

2.4 時序規格圖

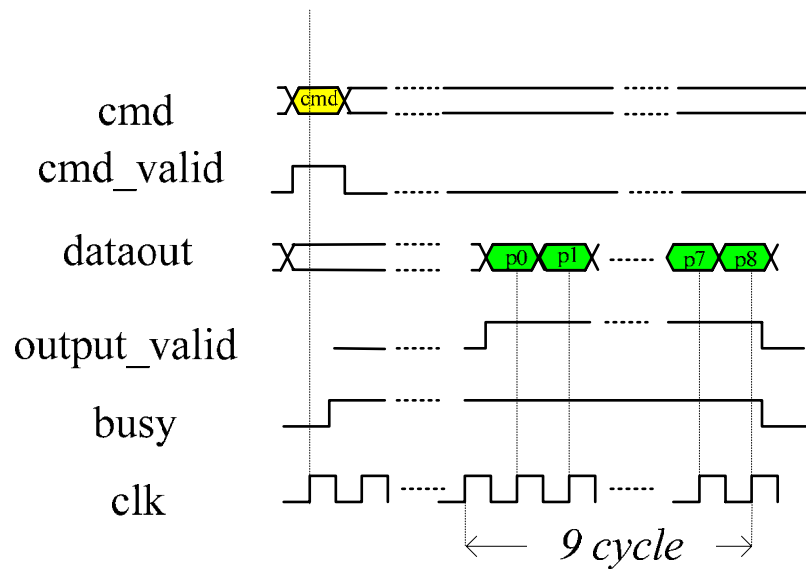
- ◆ 載入資料(Load Data)之時序規格圖，如下圖八所示。
 - ⇒ 在有效的 Load Data 指令之後，會緊接著連續輸入 36 筆影像資料
 - ⇒ 當影像顯示控制電路內部處理完成，連續輸出 9 筆顯示資料，輸出同時須將 output_valid 設為 high。
 - ⇒ 在整個處理過程中，busy 皆維持為 high。並在輸出完成後，將 busy 設回 low 以接受新指令輸入。



圖八、資料載入之時序規格圖

◆ 其它控制指令(reflash、shift right、shift left、shift up、shift down)之時序規格圖，如下圖九所示。

- ⇒ 當影像顯示控制電路內部處理完成，連續輸出 9 筆顯示資料，輸出同時須將 output_valid 設為 high。
- ⇒ 在整個處理過程中，busy 皆維持為 high。並在輸出完成後，將 busy 設回 low 以接受新指令輸入。



圖九、其它控制指令之時序規格圖

2.5 FPGA 元件選擇

請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件進行設計編譯。
請參賽者注意!! 本試題第 3 節所述的評分標準中，關於元件面積之使用率及設計效能，或選用不同之 FPGA 開發工具，並不會影響本次競賽之評分!!

表三、Altera 元件指定

Altera	
Target Family	ACEX
Target Device	EP1K100
Target Package	QC208
Target Speed	1

表四、Xilinx 元件指定

Xilinx	
Target Family	Spartan3E
Target Device	XC3S250E
Target Package	PQ208
Target Speed	5

3. 評分標準

主辦單位的評分人員將依照各組所繳交檔案進行 RTL simulation 與 gate-level simulation，並依據模擬的結果正確性、系統頻寬、以及將設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 E)的時間等...進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

若通過 gate-level 驗證的組數不足，CIC 亦會對 RTL 進行模擬驗證，在此情況下，只要模擬結果和 CIC 提供的 golden 結果相同即表示設計正確。

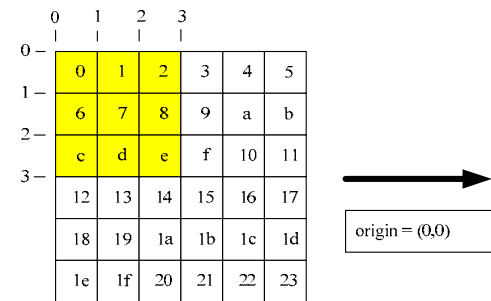
請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，且參賽者的設計結果正確，上傳時間越早者，其所得到的分數就越高。但倘若參賽者於競賽時間內無法完成設計，也請務必將設計檔案內容上傳，主辦單位亦將根據設計內容的完成度給予記分。審查成績將另擇期通知。

附錄

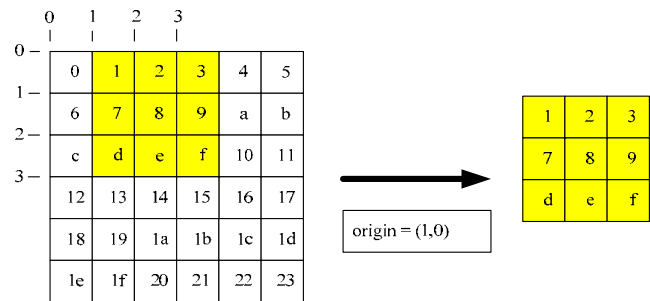
附錄 A 為顯示畫面與輸入畫面之原點相對位置參考；附錄 B 為測試樣本詳細資料；附錄 C 中說明本次競賽之軟體環境；附錄 D 為主辦單位所提供各參賽者的設計檔說明；附錄 E 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 F 則為設計檔上傳步驟說明。

附錄 A 顯示畫面與輸入畫面之原點相對位置參考

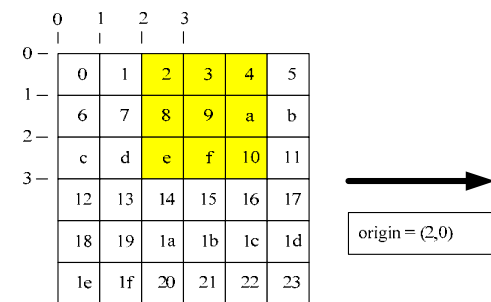
本試題中的平移功能(畫面上移、下移、左移、右移)，關於顯示畫面與輸入畫面之原點相對位置如圖十~圖二十五所示。請注意，每一次控制指令的輸入，僅能單獨使 X 軸座標值或單獨使 Y 軸座標值增加或減少一個單位。



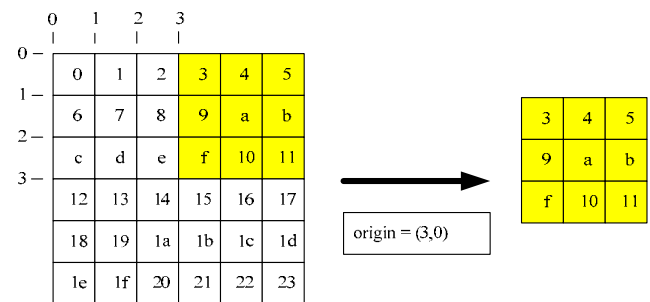
圖十、原點座標為(0,0)



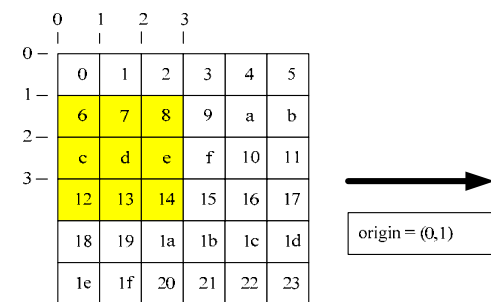
圖十一、原點座標為(1,0)



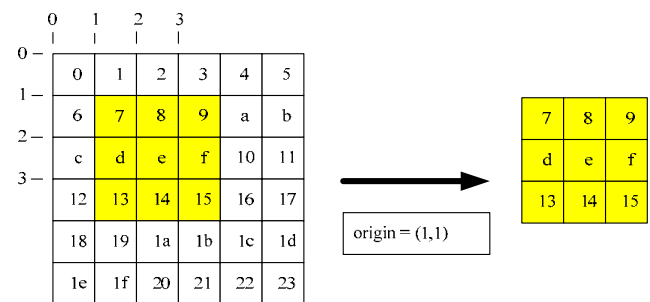
圖十二、原點座標為(2,0)



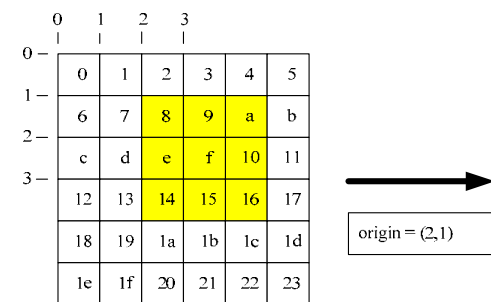
圖十三、原點座標為(3,0)



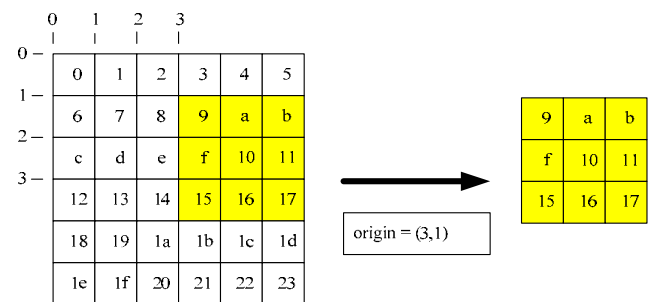
圖十四、原點座標為(0,1)



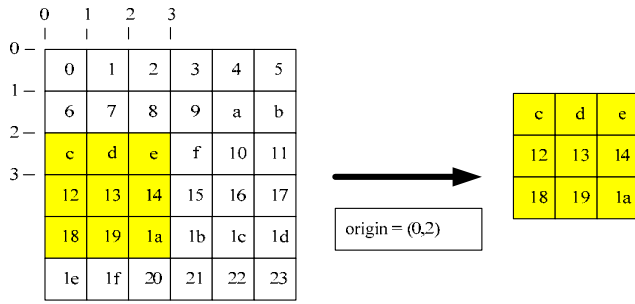
圖十五、原點座標為(1,1)



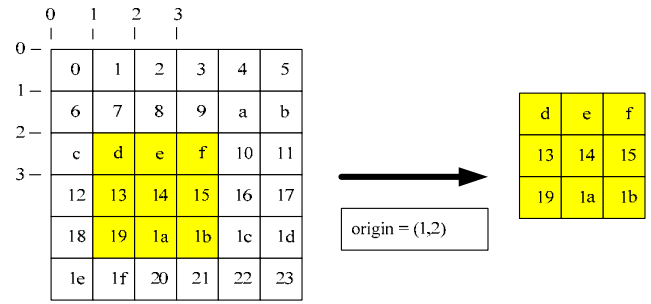
圖十六、原點座標為(2,1)



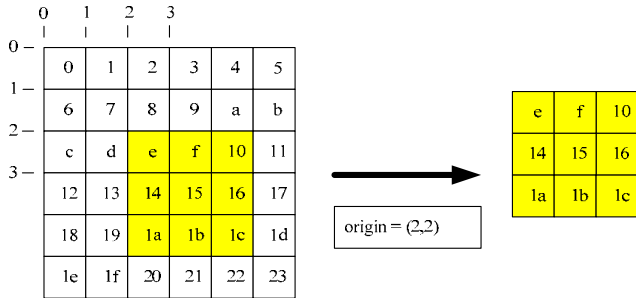
圖十七、原點座標為(3,1)



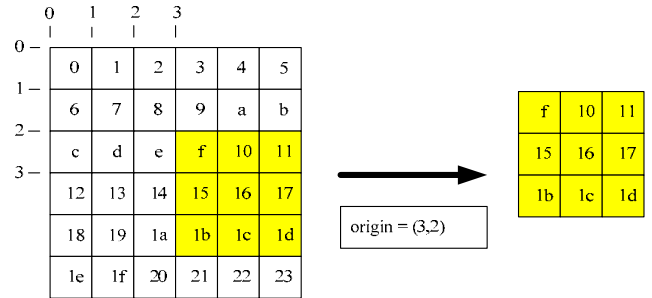
圖十八、原點座標為(0,2)



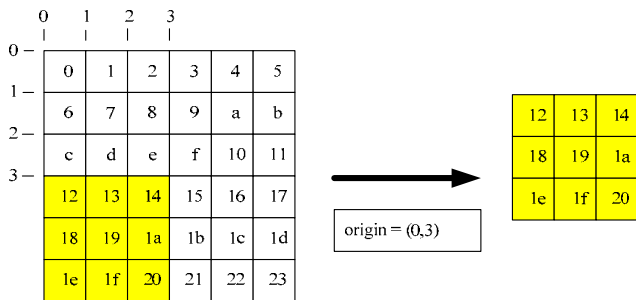
圖十九、原點座標為(1,2)



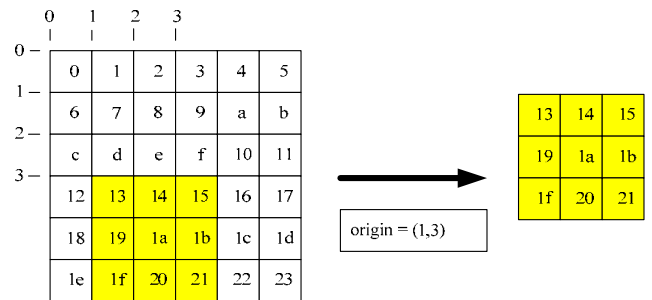
圖二十、原點座標為(2,2)



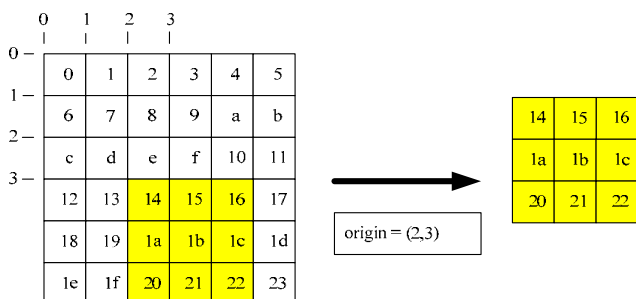
圖二十一、原點座標為(3,2)



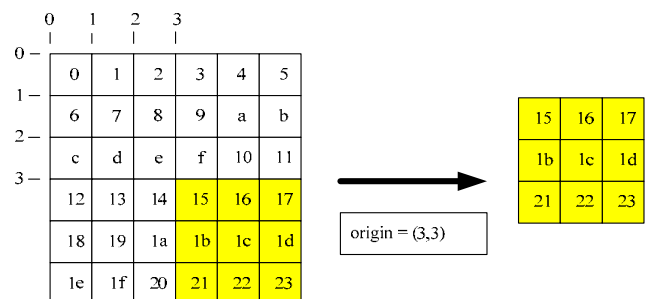
圖二十二、原點座標為(0,3)



圖二十三、原點座標為(1,3)



圖二十四、原點座標為(2,3)



圖二十五、原點座標為(3,3)

附錄 B 測試樣本

比賽共提供兩組測試樣本，為方便設計者除錯之用，將測試樣本之影像資料及指令輸入詳列如下：

◆ 測試樣本一

⇒ 相關檔案: image1.dat , cmd1.dat , out_golden1.dat

影像資料:

0	1	2	3	4	5
6	7	8	9	a	b
c	d	e	f	10	11
12	13	14	15	16	17
18	19	1a	1b	1c	1d
1e	1f	20	21	22	23

◆ 測試樣本二

⇒ 相關檔案: image2.dat , cmd2.dat , out_golden2.dat

影像資料:

20	57	30	eb	af	ec
49	93	22	67	a0	05
44	62	66	cc	76	97
28	09	ff	40	18	80
f0	e9	ea	87	dd	ed
d4	d3	bb	f4	77	52

附錄 C 軟體環境

競賽所提供的設計軟體與版本如下表五。驗證評分時，係以所列軟體及版本作為驗證依據。

表五、設計軟體版本

Functionality	Corresponding EDA tools
Design Entry	VHDL / Verilog
Logic Simulator	Mentor Graphic ModelSim
Logic Synthesizer	Mentor Graphic Precision Synthesizer
FPGA Implementation	Xilinx ISE v8.2 or Altera Quartus II v6.0

其中 ModelSim、Precision Synthesizer 為輔助性工具，並不強制各參賽隊伍使用，各隊伍可以利用 ModelSim 及 Precision Synthesizer 來檢查自己設計功能的正確性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體 Altera Quartus II v6.0 或是 Xilinx ISE v8.2 來完成這些動作，這些並不會影響評分的進行(請參考本試題第 3 節之評分標準說明)。

附錄 D 設計檔 (For Verilog or VHDL)

1. 下表六為主辦單位所提供各參賽者的設計檔。

表六、設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號
lcd_ctrl.v	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
cmd1.dat	第一組測試樣本之指令
image1.dat	第一組測試樣本使用之影像檔
out_golden1.dat	第一組測試樣本之正確結果
cmd2.dat	第二組測試樣本之指令
image2.dat	第二組測試樣本使用之影像檔
out_golden2.dat	第二組測試樣本之正確結果
reportxxx.txt	參賽隊伍之設計內容整理，以利主辦單位進行評分，reportxxx.txt 的格式請參考附錄 D

2. 請使用 **lcd_ctrl.v(vhd)**，進行影像控制器之電路設計。其模組名稱、輸出/入埠宣告如下所示：

```
module lcd_ctrl(clk, reset, datain, cmd, cmd_valid, dataout, output_valid, busy);
input          clk;
input          reset;
input  [7:0]   datain;
input  [2:0]   cmd;
input          cmd_valid;
output [7:0]   dataout;
output        output_valid;
output        busy;
endmodule
```

3. 比賽共提供二組測試樣本，請自行修改 testfixture.v 內容，以使用第二組測試樣本，修改方法如下：

```
`define IMAGE  "./image1.dat"
`define CMD    "./cmd1.dat"
`define EXPECT "./out_golden1.dat"
```


將以上三行修改為:

```
`define IMAGE “./image2.dat”  
`define CMD “./cmd2.dat”  
`define EXPECT “./out_golden2.dat”
```

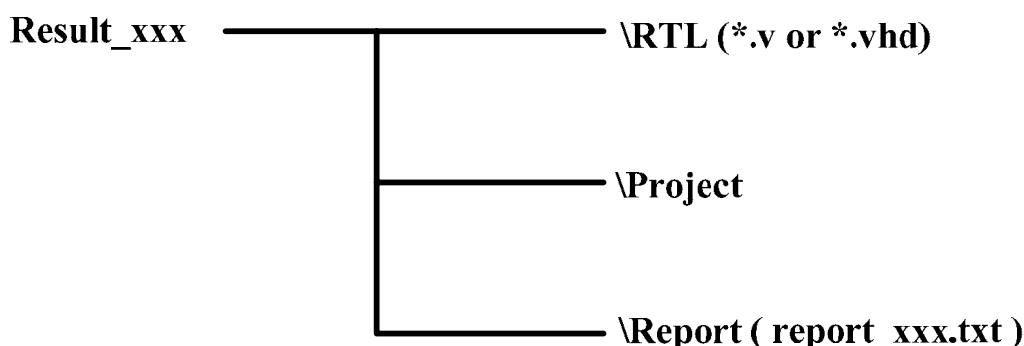
4. 請參賽隊伍使用主辦單位所提供的測試樣本(testfixture.v)，來進行設計之模擬驗證。主辦單位除了將利用本試題所提供的測試樣本進行各參賽隊伍之設計測試外，我們亦準備另一份測試樣本，進行設計之二次驗證。唯通過二次驗證且均能符合輸出結果，始能稱為無誤之設計。

測試樣本(testfixture.v) 包含 *clk*, *reset*, *datain*, *cmd*, 與 *cmd_valid* 測試信號。而於測試樣本內所定義的時脈週期參數(CYCLE)，可由參賽者依需求自行修改。

附錄 E 評分用檔案

參賽者務必將相關的結果存檔於相關目錄下，其設計輸出檔案之儲存目錄結構請參考圖二十六所示。

評分所須檔案，共為一個主目錄及三個根目錄。Result_xxx 為主目錄名稱。(xxx 的命名請參閱附錄 F)。RTL 根目錄，為各參賽隊伍對該次競賽設計的 RTL code 放置處，若設計採模組化而有多個設計檔，請務必將合成所要用的 RTL 檔置入，以免評審進行評分時，無法進行編譯；Project 根目錄，無論是使用 Altera 或是 Xilinx 作為設計工具，均有設計專案的資料夾，請務必將整體專案資料夾置入此目錄下；Repor 根目錄，參賽隊伍必須依照自己的設計內容，撰寫 report_xxx.txt 檔(xxx 的命名請參閱附錄 F)，以方便主辦單位進行評分，report_xxx.txt 的格式如圖二十七所示。



圖二十六、設計結果輸出檔案儲存之相關路徑

隊號(Team number): 999999

使用之 HDL: verilog

RTL 設計檔: *.v or *.vhd

Post-layout gate-level:

Programming: lcd_ctrl.sof (Altera) or lcd_ctrl.bit (Xilinx)

Report: report_xxx.txt

-----注意事項-----

RTL 設計檔之 Top module 為 lcd_ctrl.v or lcd_ctrl.vhd

圖二十七、report_xxx.txt 的範本

附錄 F 檔案上傳

所有包含於如附錄 E 中表格所示的檔案，均需要提交至 CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，並為*.zip 或*.rar 格式(建議以*.zip 格式為優先)**。步驟如下：

1. 建立一個 Result_xxx 資料夾。“xxx”表示第幾次上傳之編號。例如，“000”，表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推...
2. 參賽者需將試題所指定之“Table VIII-評分用檔案，且包含 report_xxx.txt”，複製於所建立的資料夾內。
3. 參賽者需依據設計內容編輯報告檔案“report_xxx.txt”(如圖二十七所示)，並應變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report_000.txt”並置於 Result_000 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，進行第二次上傳，則報告檔名應更新為“report_001.txt”並置於 Result_001 資料夾下，再連同設計檔一並上傳。亦即 Result_xxx 與 report_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result_xxx 資料夾進行壓縮成*.zip(*.rar)格式，如 Result_xxx.zip(或 Result_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳。(CIC 已於競賽當日的前 4 天，將 username 及 password 藉電子郵件，寄送於參賽者信箱)。倘若上傳設計檔過程，有任何問題，請與 CIC 接洽。

請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (成功大學)：iccftp.ee.ncku.edu.tw (140.116.156.55)

6. 再次提醒各參賽隊伍，Result_xxx 與 report_xxx.txt 之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。而評審將以最後上傳的設計檔及報告檔編號進行評分作業!
7. **建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!**

**假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com/>

B. winrar: <http://www.rarlab.com/index.htm>