



**Solution des exercices pour la  
préparation de l'examen final :  
bloc processeur  
INF3610 Systèmes Embarqués**

**Chapitre 3**

## QUESTION # 1

- a) Il y a en général 6 acteurs dans un protocole de bus tel que AMB (AHB et AXI). Les deux premiers sont le maître (initiateur) et l'esclave (la cible). Nommez et décrivez les 4 autres acteurs.

*Arbitre, pont, décodeur et adaptateur. Le rôle de chacun est présenté dans les slides.*

- b) La figure 1.1 décrit une transaction avec le protocole AHB. Décrivez cette transaction.

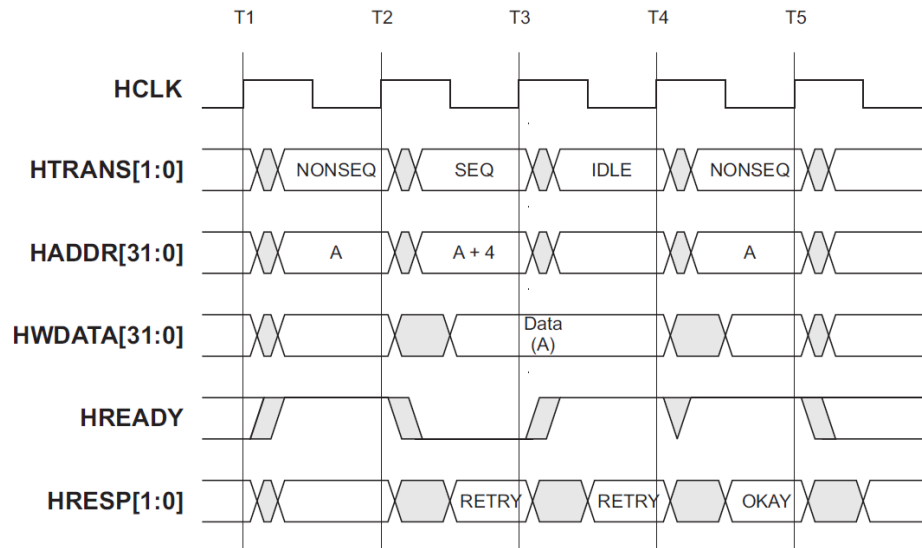


Figure 1.1

*Il s'agit d'une requête d'un maître vers un esclave (une rafale) qui conduit un esclave à répondre négativement avec retry. A été présenté en classe.*

- c) Donnez et expliquez les avantage(s)/désavantage(s) de AXI (sous sa forme standard) par rapport à AHB.

*AXI : il s'agit d'une interconnexion point à point et non un bus, donc moins de contention. Aussi AXI permet de recevoir dans le désordre et pour une rafale, seul l'adresse de départ est requis. Par contre AXI demande plus en ressource (interconnexions croît comme le carré du nombre de IPs communicant).*

## QUESTION # 2

- a) À partir du schéma de la figure 2.1, expliquez une transaction de base en lecture et une transaction de base en écriture avec le bus AHB. Divisez votre requête en 4 étapes de base.

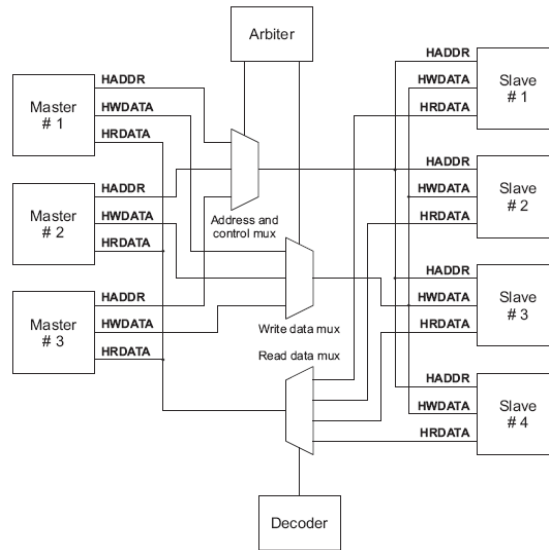


Figure 2.1

*On doit expliquer les 4 étapes suivantes (tout est dans les slides du cours du chap 3) :*

- *Demande d'accès au bus (request et grant)*
- *Envoie de la requête (signaux de contrôle et adresse)*
- *Traitement de la requête (réponse lorsque ça finit bien) et*
- *Traitement des erreurs (lorsque ça finit mal)*

- b) Décrivez ce que représente la transaction AHB de la figure 2.2 en décrivant chacune des étapes (T1 à T5). Également, expliquez la différence entre SPLIT et ERROR au niveau du signal HRESP.

*Il faut expliquer ce qu'est une transaction différée (tout est dans les slides du cours du chap 3)*

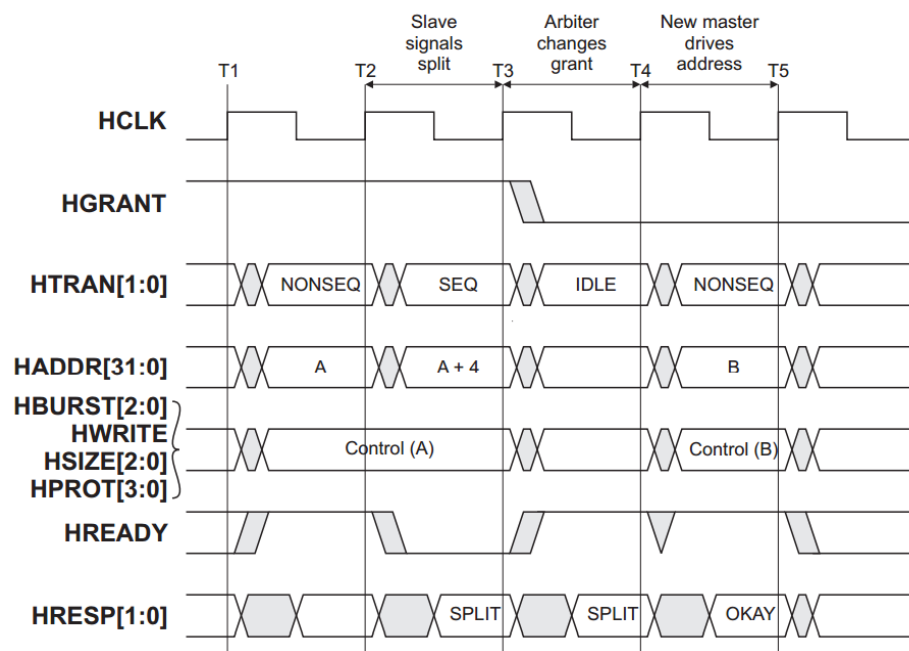
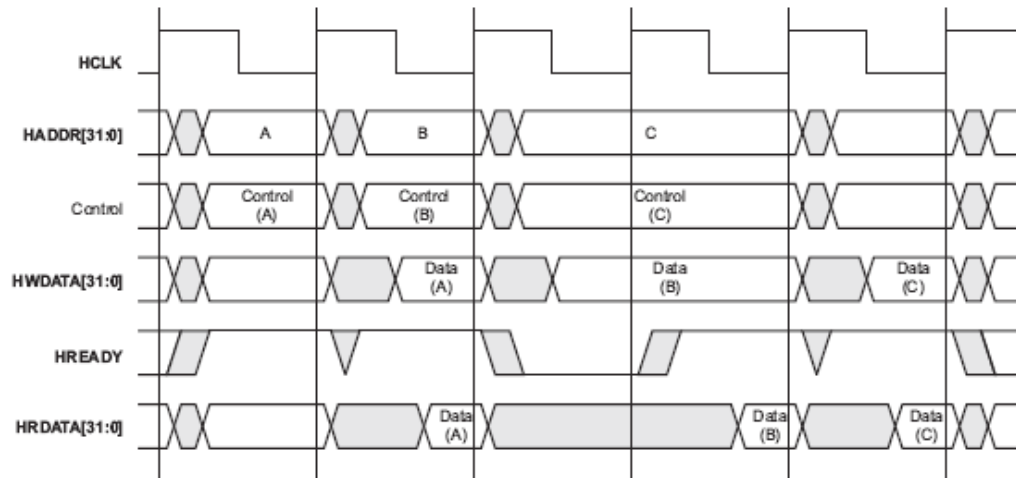


Figure 2.2

**QUESTION # 3**

a) À quel standard de bus appartient cette transaction? Justifiez bien votre réponse.



*Il s'agit d'une transaction de bus AMBA AHB qui a deux niveau de pipeline :*

*Phase A: Au premier cycle, on capture l'adresse si le cycle précédent est sur le point de finir ( $HREADY = 1$ )*

*Phase D: La donnée est saisie lorsque  $HREADY = 1$*

b) Qu'est-ce qu'une transaction différée (en anglais split transaction)

*C'est lorsque le périphérique interrompt la transmission, plutôt que de recommencer à zéro, on reprend où on s'est arrêté.*

#### QUESTION #4

Soit les acronymes suivants qui sont des standards commerciaux d'interconnexions : AHB, AXI, AXILite et AXISstream.

- a) Groupez ces acronymes en 2 classes : protocole de bus simple et protocole bus haute performance.

*Bus simple : AXILite*

*Bus haute performance : le reste*

- b) Lequel (ou lesquels) de ces acronymes permet de pipeliner les transactions.

*AHB*

- c) Dans un mode rafale (burst), lequel (ou lesquels) de ces acronymes permet d'envoyer uniquement la première adresse?

*AXI et AXI Stream*

- d) Toujours dans un mode rafale, lequel (ou lesquels) de ces acronymes peut recevoir les résultats de transactions dans un ordre différent de l'envoi des transactions (Out of order transaction).

*AXI*

- e) Lequel (ou lesquels) de ces acronymes permet la transaction différée (split transaction)?

*AHB*

- f) Lequel (ou lesquels) de ces acronymes peuvent servir d'éléments de commutateur à barres croisées (en anglais crossbar).

*AXI*

### QUESTION #5

- a) À partir du schéma de la figure 5.1, expliquez une transaction de base en lecture et une transaction de base en écriture avec le bus AHB.

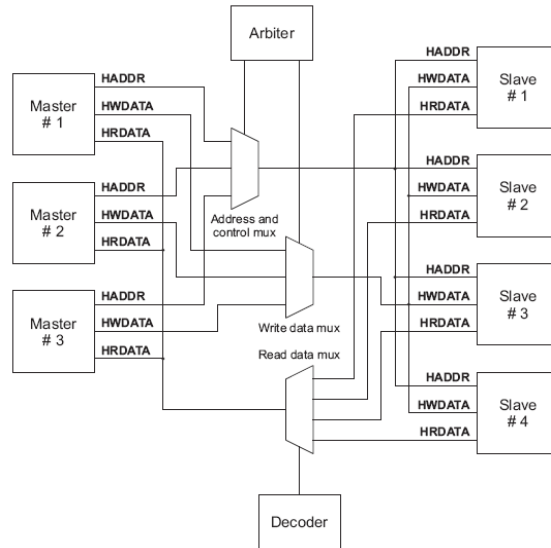
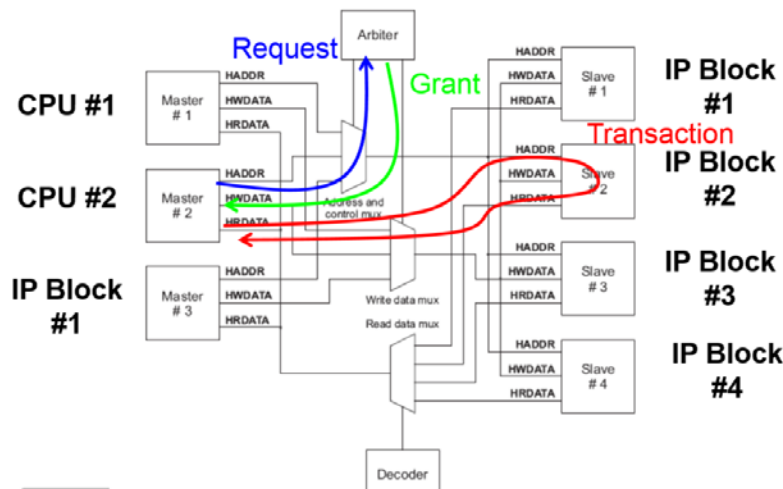


Figure 5.1



- b) Présentez les interconnexions AXILite, AXI et AXISstream. Expliquez d'abord pourquoi on les nomme interconnexion plutôt que bus et donnez les différences entre chacune des interconnexions (en termes de performance, surface, consommation, etc.).

AMBA 3.0 AXI	AMBA 2.0 AHB
Channel-based specification, with five separate channels for read address, read data, write address, write data, and write response enabling flexibility in implementation.	Explicit bus-based specification, with single shared address bus and separate read and write data buses.
Burst mode requires transmitting address of only first data item on the bus.	Requires transmitting address of every data item transmitted on the bus.
OO transaction completion provides native support for multiple, outstanding transactions.	Simpler SPLIT transaction scheme provides limited and rudimentary outstanding transaction completion.
Fixed burst mode for memory mapped I/O peripherals.	No fixed burst mode.
Exclusive data access (semaphore operation) support.	No exclusive access support.
Advanced security and cache hint support.	Simple protection and cache hint support.
Register slice support for timing isolation.	No inherent support for timing isolation.
Native low-power clock control interface.	No low-power interface.
Default bus matrix topology support.	Default hierarchical bus topology support.

Interface	Applicability	Features	Replaces
AXI4	High-performance memory-mapped requirements	<ul style="list-style-type: none"> <li>Traditional memory mapped address/data interface</li> <li>Data burst support</li> </ul>	<ul style="list-style-type: none"> <li>PLBv3.4/v4.6</li> <li>OPB</li> <li>NPI</li> <li>XCL</li> </ul>
AXI4-Lite	Simple, low-throughput memory-mapped communication	<ul style="list-style-type: none"> <li>Traditional memory mapped address/data interface</li> <li>Single data cycle only</li> </ul>	<ul style="list-style-type: none"> <li>PLBv4.6 (singles only)</li> <li>DCR</li> <li>DRP</li> </ul>
AXI4-Stream	High-speed streaming data	<ul style="list-style-type: none"> <li>Data-only burst</li> </ul>	<ul style="list-style-type: none"> <li>Local-Link</li> <li>DSP</li> <li>TRN (used in PCIe)</li> <li>FSL</li> </ul>