

Final INF1500 - Hiver 2021

Génération pour le matricule: 2000000 | 31/8/2021 @ 10:41:10

ID unique: -1449450318

Vous pourrez régénérer autant de fois cette page que voulu, les exercices seront les mêmes.

Durée de l'examen: 2h. Vous avez 30 minutes supplémentaires pour soumettre votre rendu.

Si quelque chose n'est pas clair, écrivez vos hypothèses et justifiez vos choix. Pour toutes questions, veuillez vous adresser aux chargés ou à la professeure.

Lisez bien toutes les consignes avant de commencer à répondre aux questions.

Sauvegardez cette page dans un fichier pdf et déposez la immédiatement dans le conteneur "Réponses examen final".

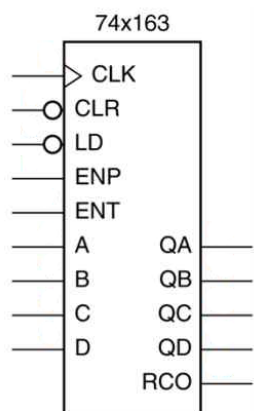
Sauvegarder le PDF

Exercice 1 (7pt)

Vous pouvez utiliser un convertisseur en ligne: [convertisseur en ligne](#).

(4pt) a) Réalisez un montage en utilisant de(s) compteur(s) 74x163 (voir figure ci-dessous) ou (74LS163) pour obtenir un circuit qui compte entre **1** et **6**. Il est important de montrer l'initialisation de votre circuit et les connexions nécessaires pour ses signaux de contrôle afin de respecter le fonctionnement demandé.

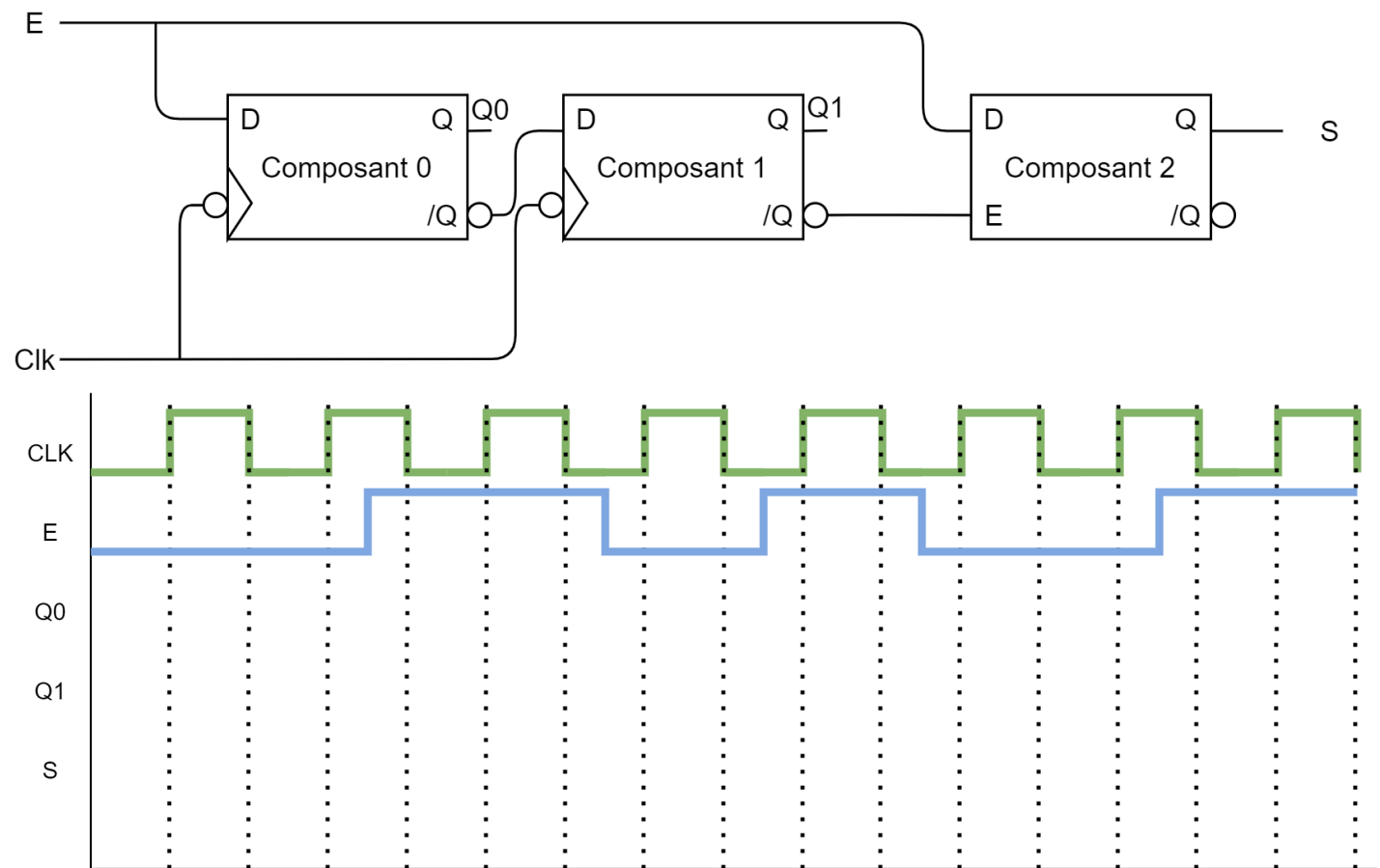
(3pt) b) Réalisez un montage en utilisant de(s) compteur(s) 74x163 (voir figure ci-dessous) ou (74LS163) pour obtenir un circuit qui compte entre **67** et **2097**. Il est important de montrer l'initialisation de votre circuit et les connexions nécessaires pour ses signaux de contrôle afin de respecter le fonctionnement demandé.



Exercice 2 (5pt)

(0.5pt) a) Considérez la figure suivante. Pour chaque composante mémoire, donnez son type/nom et **justifiez votre réponse**.

(4.5pt) b) Complétez le chronogramme du circuit suivant en considérant les composantes mémoire vues en classe.



Exercice 3 (20pt)

La table suivante représente la table des transitions d'une machine à état finis.

État présent	Entrée	État prochain	Sortie
Etat 0	0	Etat 5	0
	1	Etat 2	0
Etat 1	0	Etat 2	0
	1	Etat 4	0
Etat 2	0	Etat 3	0
	1	Etat 2	0
Etat 3	0	Etat 2	1
	1	Etat 5	1

Etat 4	0	Etat 5	1
	1	Etat 2	1
Etat 5	0	Etat 3	0
	1	Etat 1	0

(1pt) a) Est-ce une machine de Moore ou Mealy, justifiez.

(4pt) b) Donner la table des états codés. Utilisez le type d'assignation de votre choix (Simplest, One Hot, Almost One Hot, Decomposed) et **justifiez votre choix**.

(15pt) c) Synthétisez la machine en utilisant le nombre minimal de portes. Détaillez vos étapes.

Exercice 4 (5pt)

Donnez la machine à état (graphe état-transition) permettant de détecter chaque bit, de gauche à droite, la séquence suivante: **11110111**.

Vous pouvez utiliser une machine de Moore ou Mealy.

Exercice 5 (3pt)

(1.5pt) a) Dites quel est le circuit implémenté par ce code VHDL.

(1.5pt) b) Ce circuit est-il réactif au front montant, front descendant, à l'état haut ou à l'état bas de l'entrée C?

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity CIRCUIT is
5      Port ( D : in STD_LOGIC;
6            C : in STD_LOGIC;
7            Q : out STD_LOGIC;
8            reset : in STD_LOGIC);
9  end CIRCUIT;
10
11  architecture Behavioral of CIRCUIT is
12
13  begin
14      process(C,reset)
15      begin
16          if(reset = '1') then
17              Q <= '0';
18          elsif(C'event and C = '1') then
19              Q <= D;
20          end if;
21      end process;
22
23  end Behavioral;

```