



ΑΡΙΣΤΟΤΕΛΕΙΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΟΝΙΚΗΣ
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ &
ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΣΧΕΔΙΑΣΗ & ΠΡΟΣΟΜΟΙΩΣΗ ΕΝΟΣ ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΟΥ ΑΜΕΣΟΥ ΨΗΦΙΑΚΟΥ ΣΥΝΘΕΤΗ 12-BIT, 2.8 GHz ΣΕ ΤΕΧΝΟΛΟΓΙΑ 65 nm

DESIGN & IMPLEMENTATION OF A PROGRAMMABLE 12-BIT 2.8 GHz DIRECT DIGITAL SYNTHESIZER IN 65 NM TECHNOLOGY

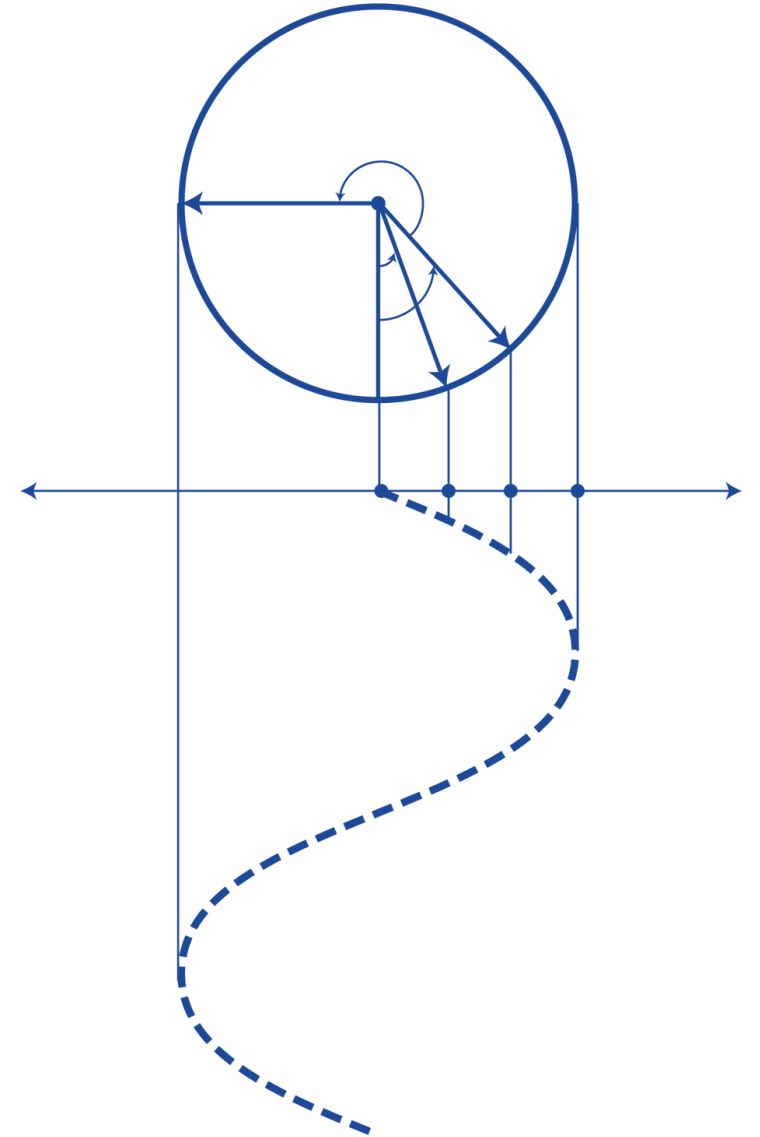
ΕΠΙΒΛΕΠΩΝ ΚΑΘΗΓΗΤΗΣ:
ΑΛΚΙΒΙΑΔΗΣ ΧΑΤΖΟΠΟΥΛΟΣ

ΘΕΟΦΙΛΟΣ ΣΠΥΡΟΥ 8583

ΘΕΣΣΑΛΟΝΙΚΗ 2019

Διάρθρωση Παρουσίασης

- Θεωρία Άμεσης Ψηφιακής Σύνθεσης
 - Χαρακτηριστικά
 - Αρχιτεκτονική συστήματος
 - Ανεπιθύμητα φαινόμενα και απαλοιφή τους
- Ψηφιακή σχεδίαση σε Verilog
 - Προδιαγραφές & Ιεραρχία σχεδίασης
 - Ανάλυση μονάδων (modules) συστήματος
- Cadence Genus Synthesis Solution
 - Σύνθεση κυκλώματος
- Cadence Innovus Implementation System
 - Σχεδίαση σε φυσικό επίπεδο

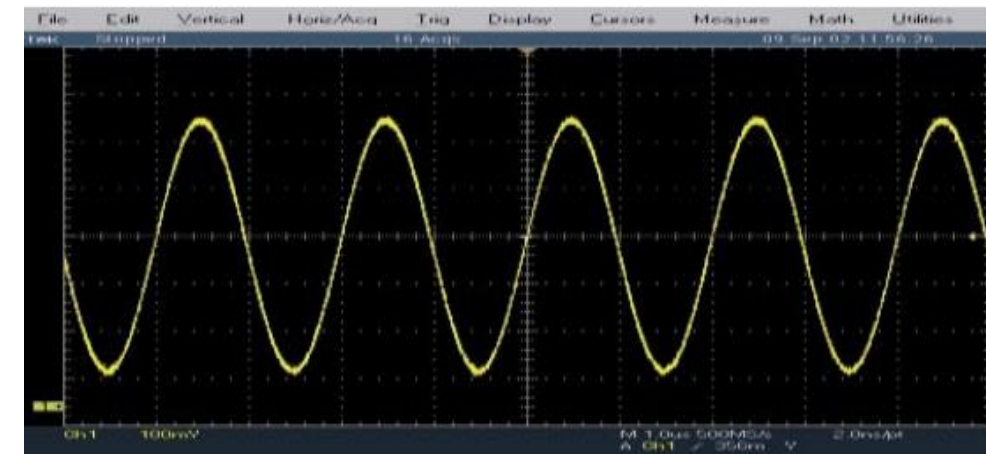
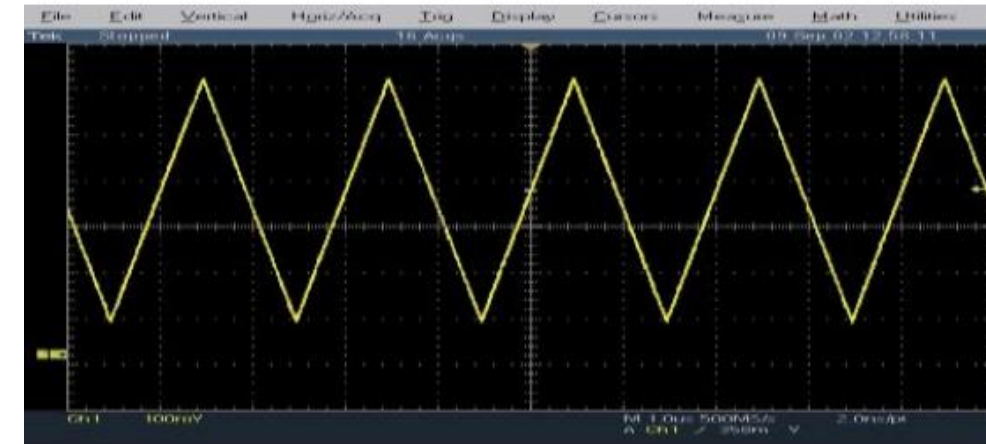
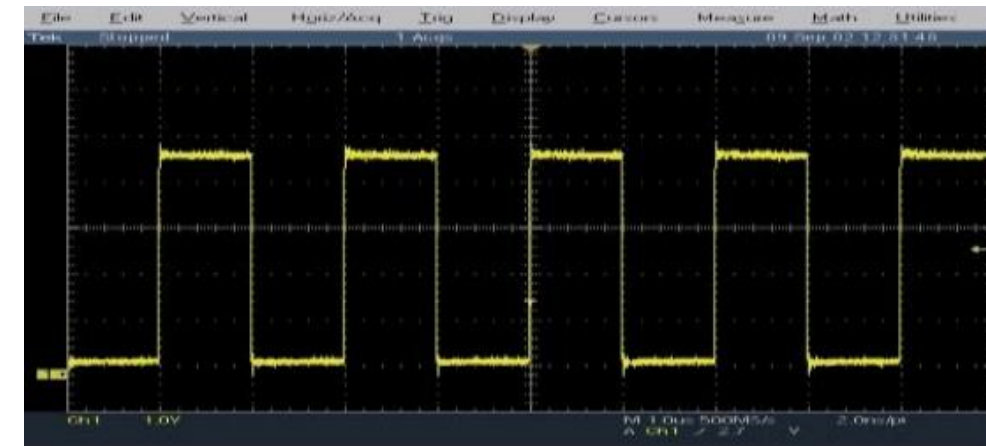


Άμεση Ψηφιακή Σύνθεση

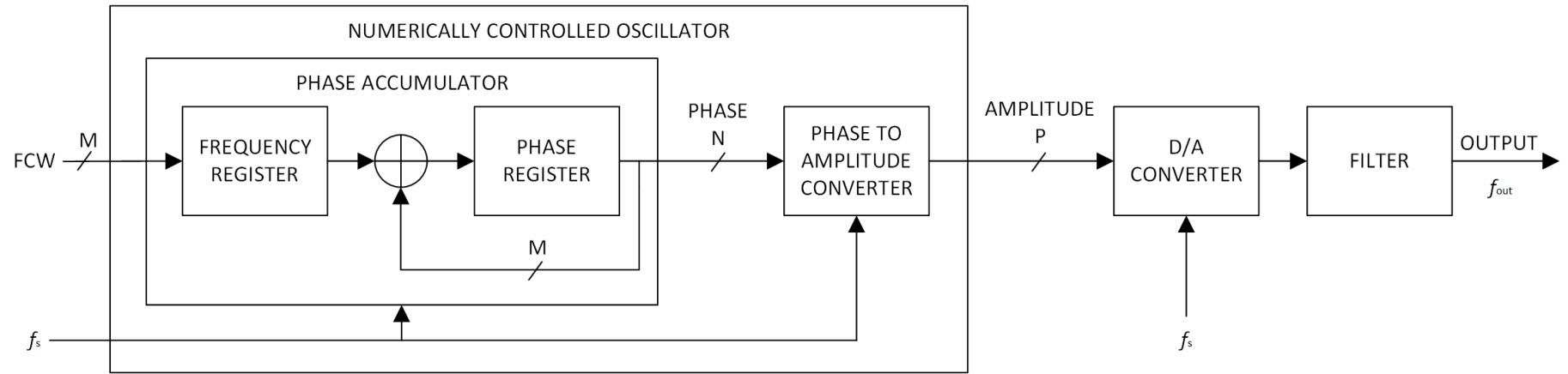
- Μέθοδος (ανα)παραγωγής σημάτων
- Τετραγωνικά, τριγωνικά, ημιτονοειδή
- Αυθαίρετες κυματομορφές

Χαρακτηριστικά

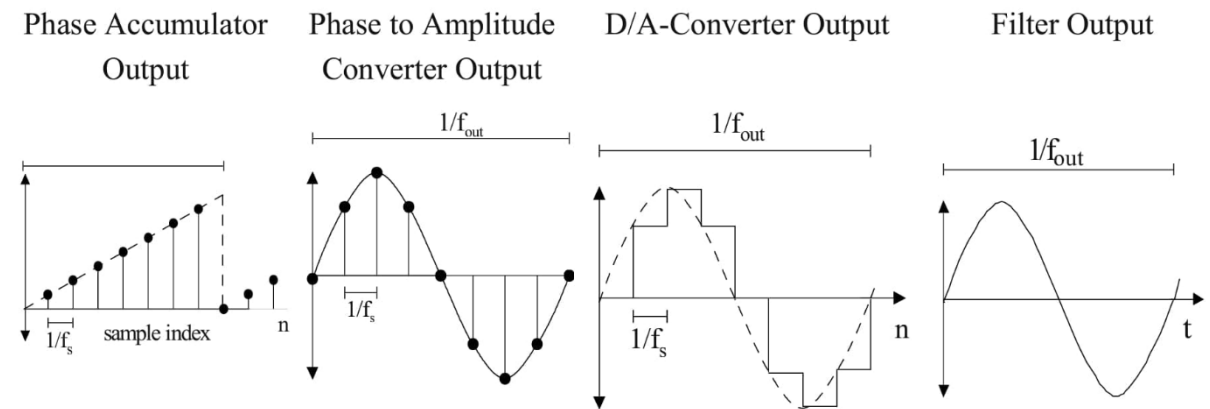
- Αναλογική ή ψηφιακή έξοδος
- Ψηφιακά ελεγχόμενη συχνότητα
- Ταχεία εναλλαγή συχνοτήτων
- Δυνατότητα προγραμματισμού
- Απομακρυσμένος έλεγχος



Αρχιτεκτονική συστήματος

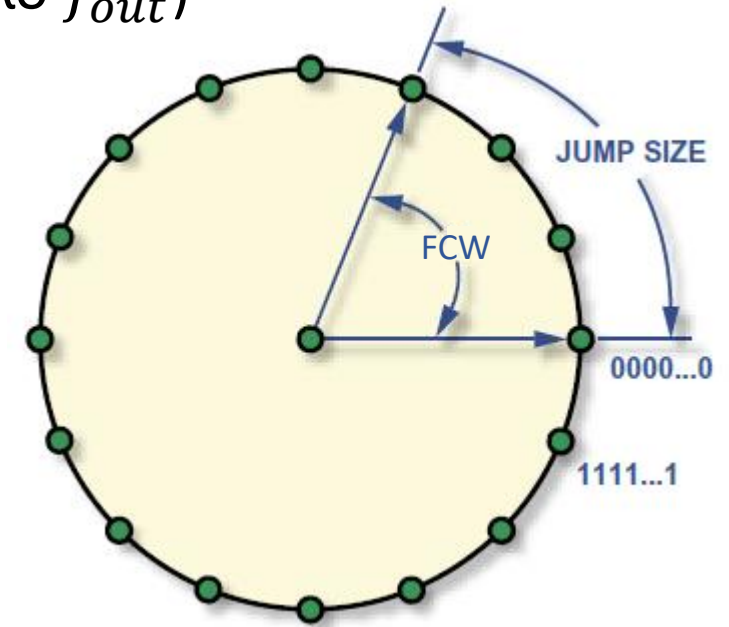


- Συσσωρευτής Φάσης (PA)
- Μετατροπέας Φάσης σε Πλάτος (PAC)
- Αριθμητικώς Ελεγχόμενος Ταλαντωτής (NCO)
- Μετατροπέας Ψηφιακού σε Αναλογικό (DAC)



Ανεπιθύμητα φαινόμενα

- Σφάλμα εκ περικοπής φάσης
 - Χρήση λιγότερων από τα διαθέσιμα σημεία (μεγάλο f_{out})
 - Επανάληψη διαδοχικών σημείων (μικρό f_{out})
- Σφάλμα εκ περικοπής πλάτους
 - Διακριτές τιμές πλάτους
 - Περιορισμένη ακρίβεια πλάτους P bit

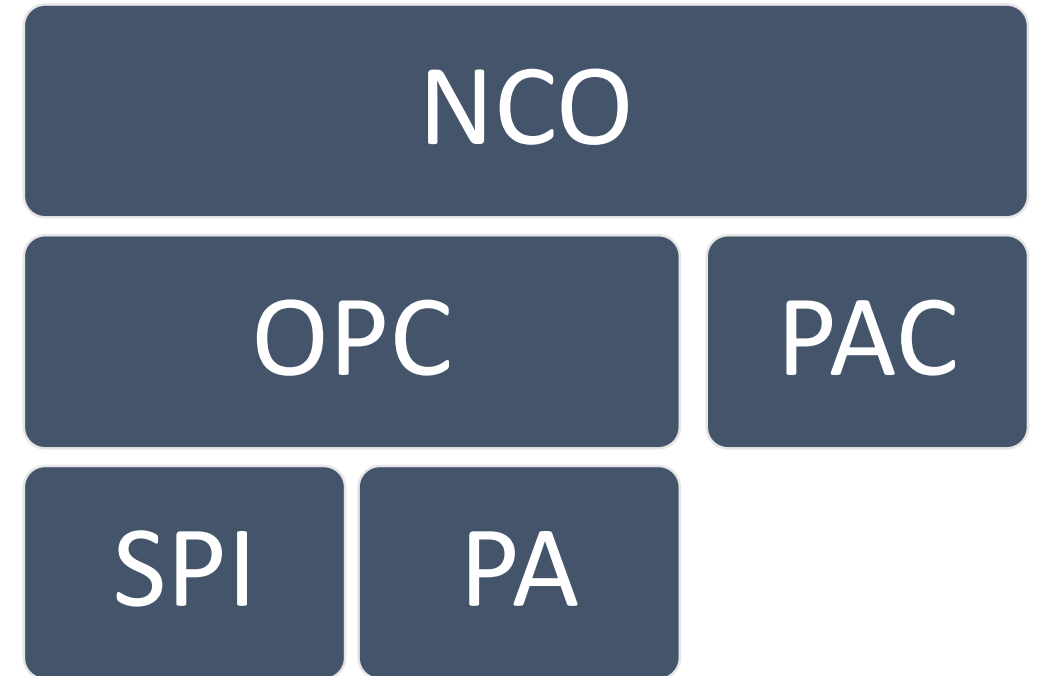


Απαλοιφή σφαλμάτων

- Ορισμός $FCW = 2^N \rightarrow$ ισοδύναμο με $FCW = 1$ και $M = N$
- Αύξηση ακρίβειας P \rightarrow μεγαλύτερη μνήμη PAC, περιορισμένη ταχύτητα DAC
- Προσθήκη dither noise

Προδιαγραφές & Ιεραρχία σχεδίασης

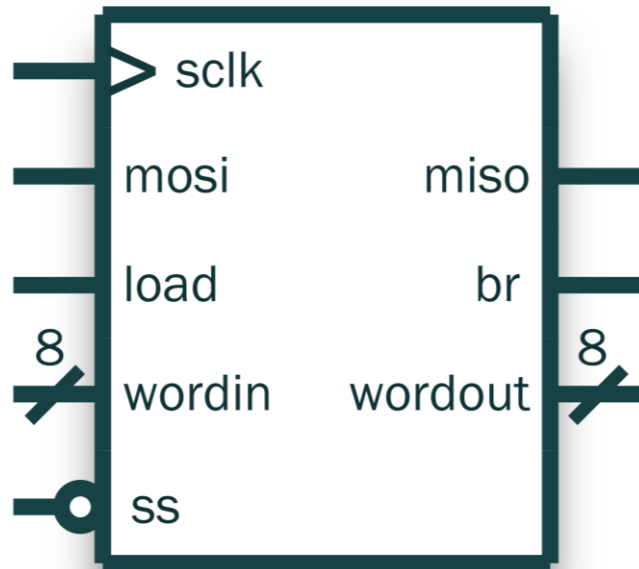
Ταχύτητα	2,8 <i>GSPS</i>
Ανάλυση συχνότητας	10 μ Hz
Λέξη ελέγχου συχνότητας	48 <i>bits</i>
Ανάλυση φάσης	14 <i>bits</i>
Ακρίβεια πλάτους	12 <i>bits</i>
Τάση τροφοδοσίας	1 – 1,1 <i>V</i>
Παραγόμενο σήμα	ημιτονοειδές
Δυνατότητα προγραμματισμού	σειριακός



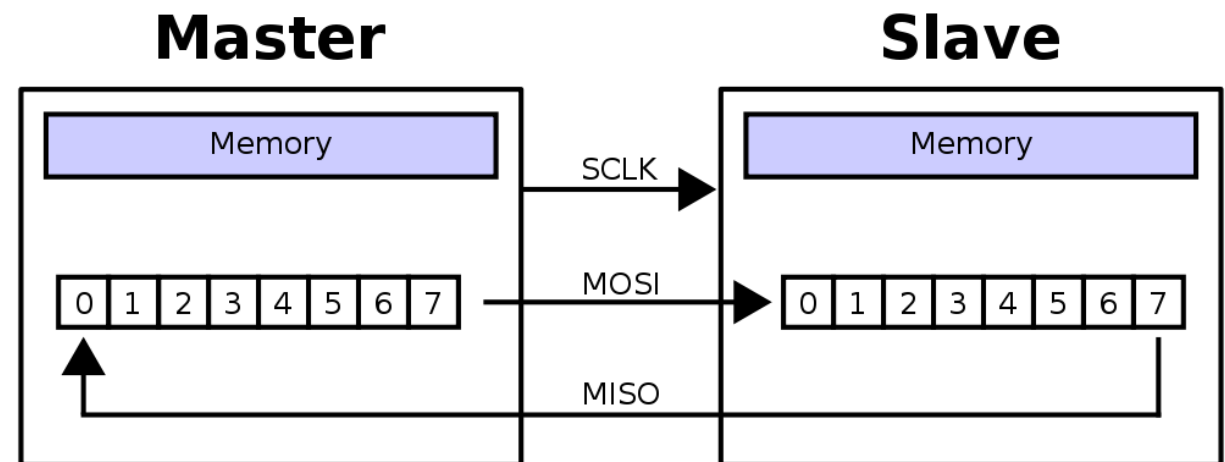
- Σειριακή Περιφερειακή Διασύνδεση (SPI)
- Ρυθμιστής Προφίλ Λειτουργίας (OPC)

Σειριακή Περιφερειακή Διασύνδεση

SPI



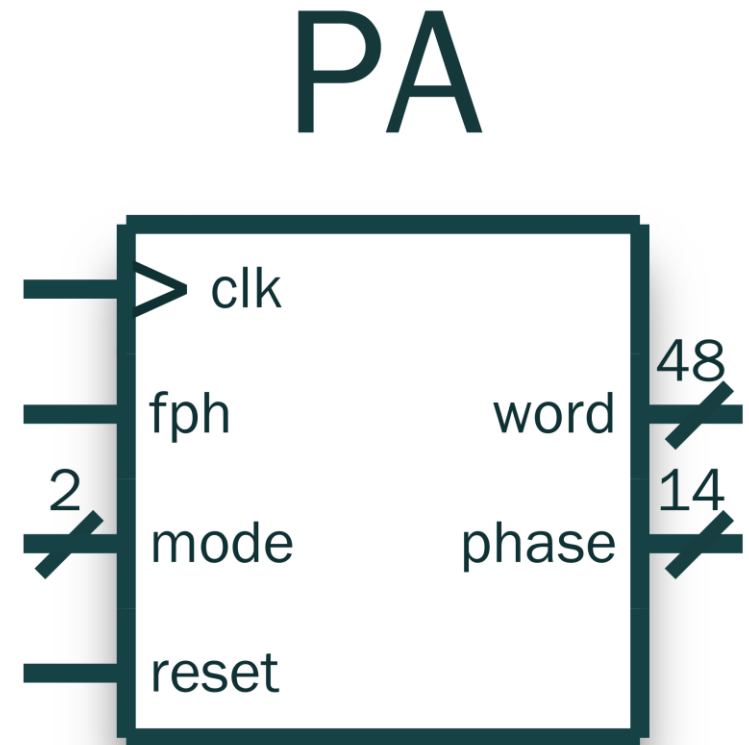
- Full Duplex επικοινωνία
- Συμβατό με πληθώρα μικροελεγκτών
- Ταχύτητα έως 25 MHz
- Λέξεις 1 byte
- Δυνατότητα παράλληλης ανάγνωσης / εγγραφής δεδομένων



Συσσωρευτής Φάσης

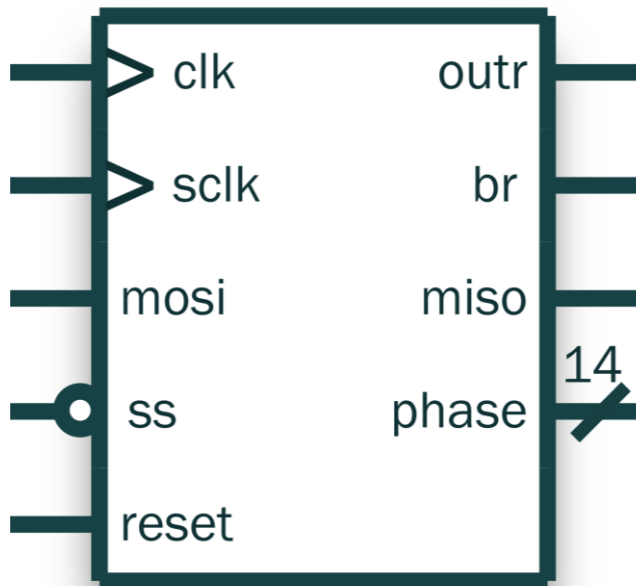
- Ασύγχρονο reset
- Μήκος συσσωρευτή: 48 bit
- $f_{res} = \frac{f_s}{2^M} = \frac{(2,8 \cdot 10^9)}{2^{48}} \cong 10 \mu\text{Hz}$
- Αν $acc + freq < 2^{M-N} = 2^{34}$,
τότε το phase παραμένει ίδιο
- 4 υποστηριζόμενα modes:

<div><div>mode</div><div><div>1</div><div>0</div></div></div>	00	Κανονική λειτουργία
	01	Λειτουργία αδράνειας
	10	Λειτουργία ανάγνωσης
	11	Λειτουργία εγγραφής



Ρυθμιστής Προφίλ Λειτουργίας

OPC



- Προφίλ λειτουργίας (operation profile): Ρύθμιση frequency και phase registers
- Ορισμός συχνότητας εξόδου (FCW) και μετατόπισης φάσης (phase offset)
- Λειτουργία με το σειριακό ρολόι
- Έλεγχος της λειτουργίας του PA και συνεπώς του DDS
- Μεταφορά δεδομένων από / προς τον συσσωρευτή φάσης

Προγραμματισμός (instruction byte)

7	6	5	4	3	2	1	0
\overline{OP}	\overline{R} / W	\overline{PH} / F	H	X	X	X	X

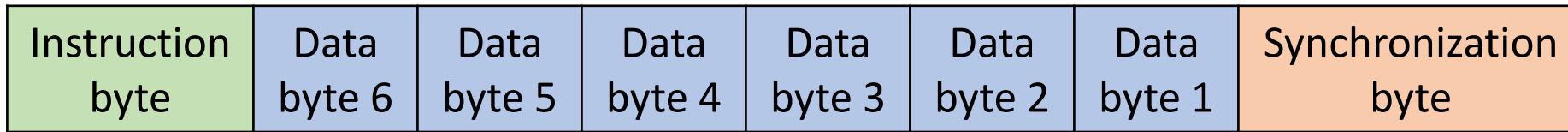
Bit #	Bit usage	Bit status
7	Operation bit	0: Normal / Halt mode 1: Read / Write mode
6	Read / Write select bit (used only when $\overline{OP} = 1$)	0: Read 1: Write
5	Frequency / Phase register select bit (used only when $\overline{OP} = 1$)	0: Phase select 1: Frequency select
4	Halt bit (used only when $\overline{OP} = 0$)	0: Normal mode 1: Halt
3 - 0	Not used	-

Προγραμματισμός

Σε όλη τη διάρκεια του προγραμματισμού πρέπει **ss = LOW**

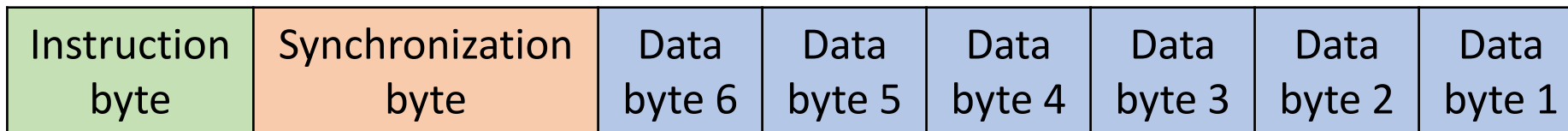
- Εγγραφή operation profile:

- Instruction byte 11FXXXXX → Data bytes LSB to MSB → Synchronization



- Ανάγνωση operation profile:

- Instruction byte 10FXXXXX → Synchronization → Data bytes LSB to MSB



- Έναρξη / Παύση DDS:

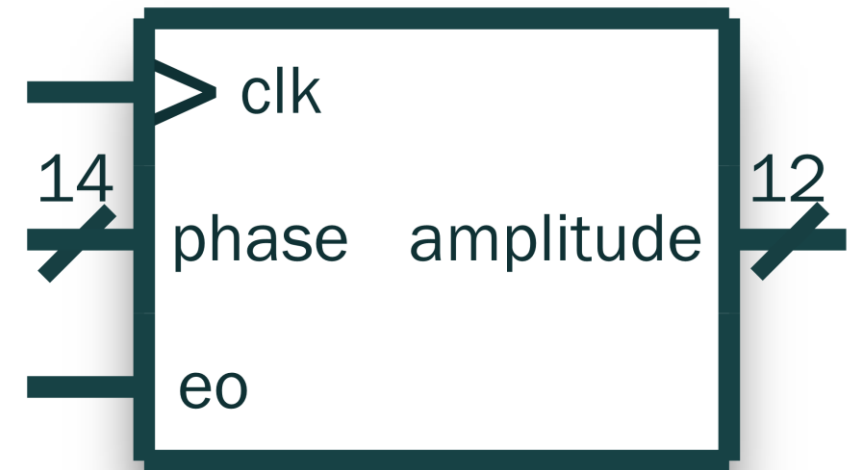
- Instruction byte 0XXHXXXX

Μετατροπέας Φάσης σε Πλάτος

- Αποθήκευση 2^{N-2} τιμών ημιτόνου
- Μνήμη τύπου ROM
- Δυνατότητα αποκοπής εξόδου
- Διεύθυνση $\rightarrow N - 2$ LSB φάσης
- Ανακατασκευή ημιτόνου με βάση το 1^ο τεταρτημόριο:

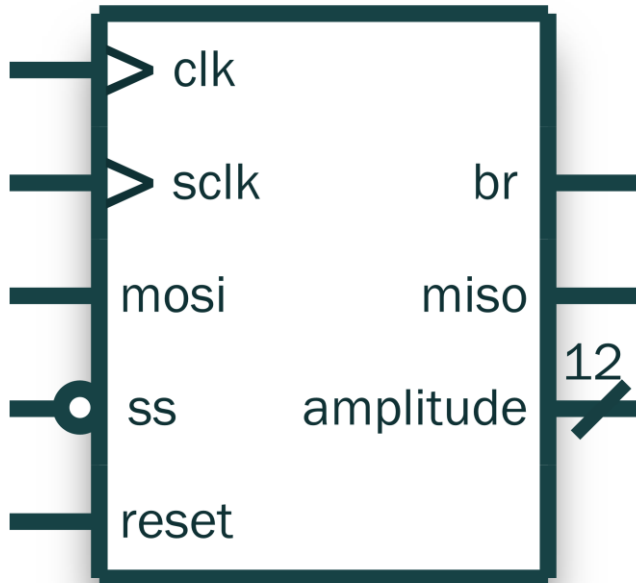
		MATLAB	Verilog
Τεταρτημόριο	1 ^ο	<i>data</i>	<i>data</i>
	2 ^ο	<i>data(end : -1 : 1)</i>	<i>data(~address)</i>
	3 ^ο	$2^P - 1 - data$	$\sim data$
	4 ^ο	$2^P - 1 - data(end : -1 : 1)$	$\sim data(\sim address)$

PAC



Αριθμητικώς Ελεγχόμενος Ταλαντωτής

NCO



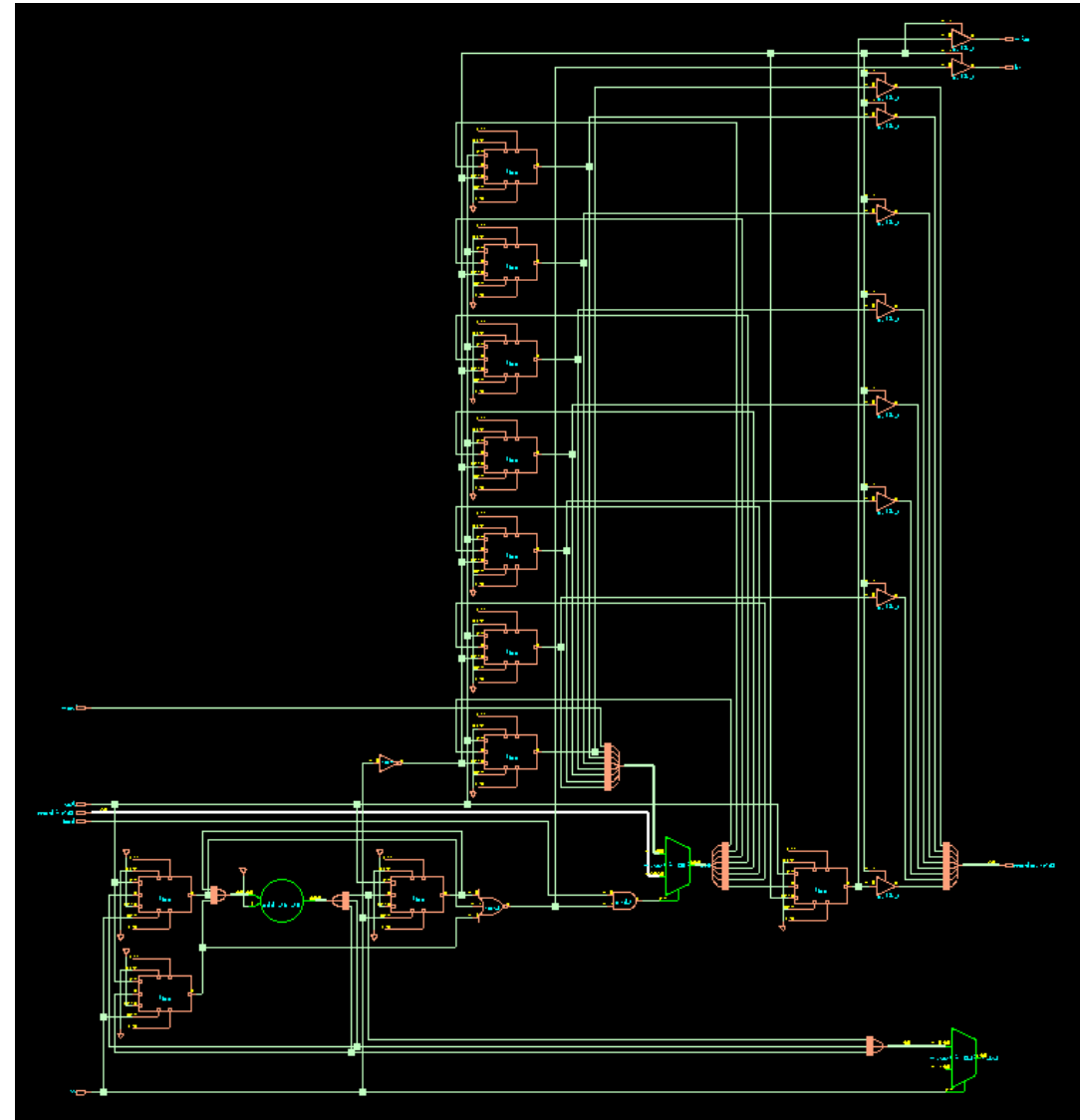
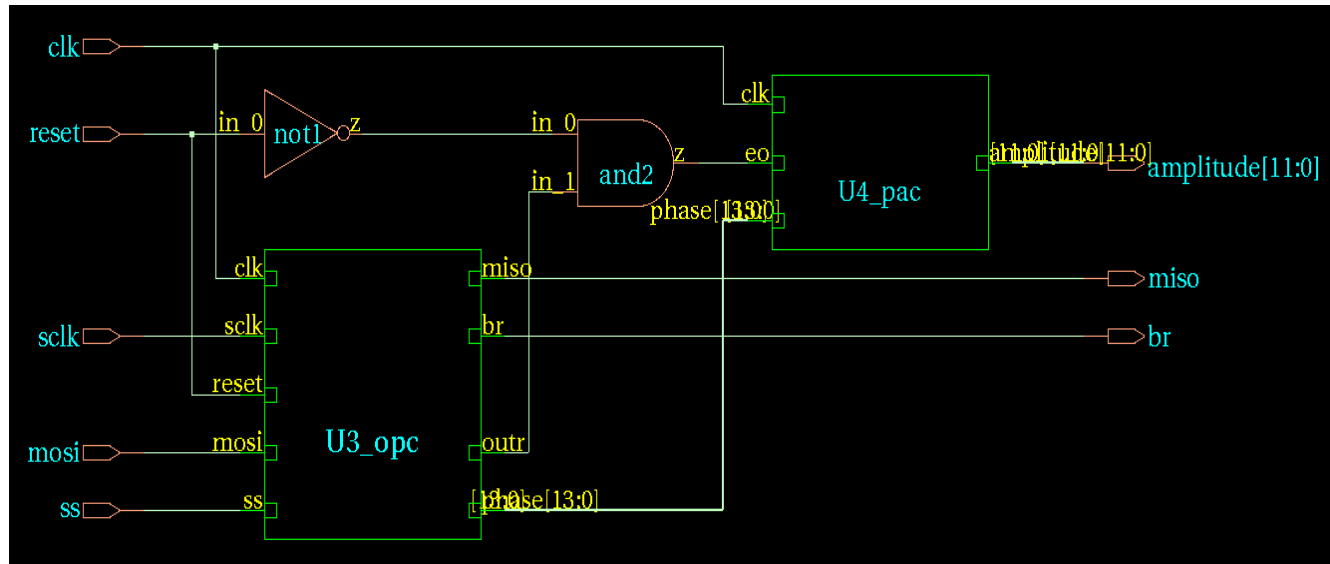
- Ενοποίηση όλων των μονάδων
- Συνολικό κύκλωμα DDS
- Είσοδοι / Έξοδοι εμφανείς σε εξωτερικά κυκλώματα

Cadence Genus: Προετοιμασία

Script σε γλώσσα TCL:

1. Προετοιμασία

- Ορισμός βιβλιοθηκών τεχνολογίας
- Ανάγνωση αρχείων Verilog
- Elaboration

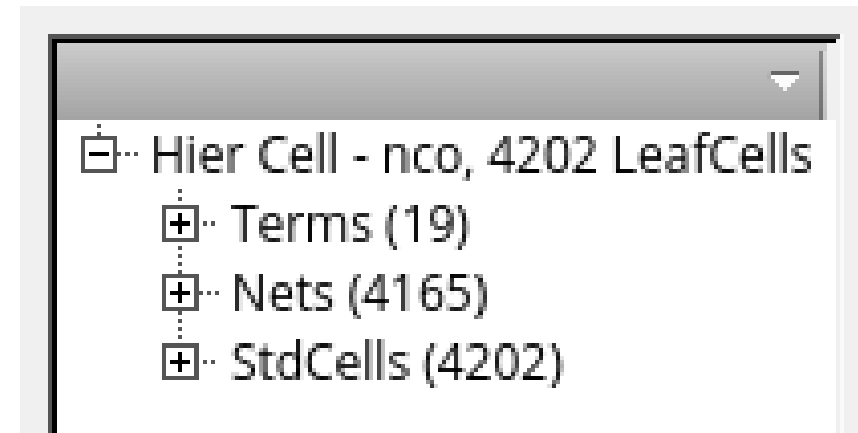
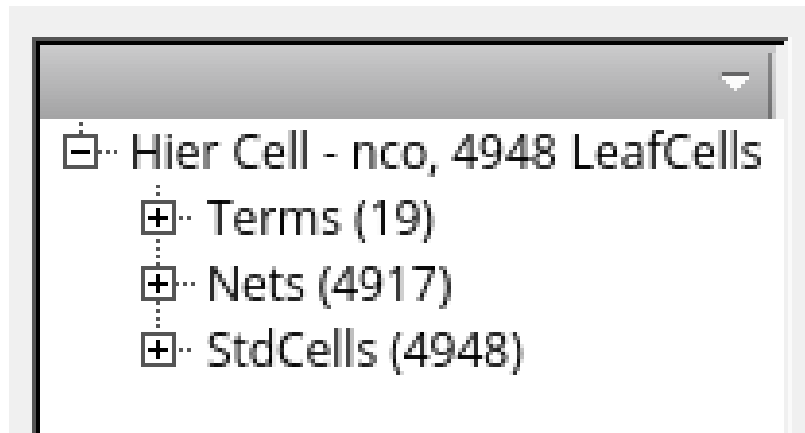
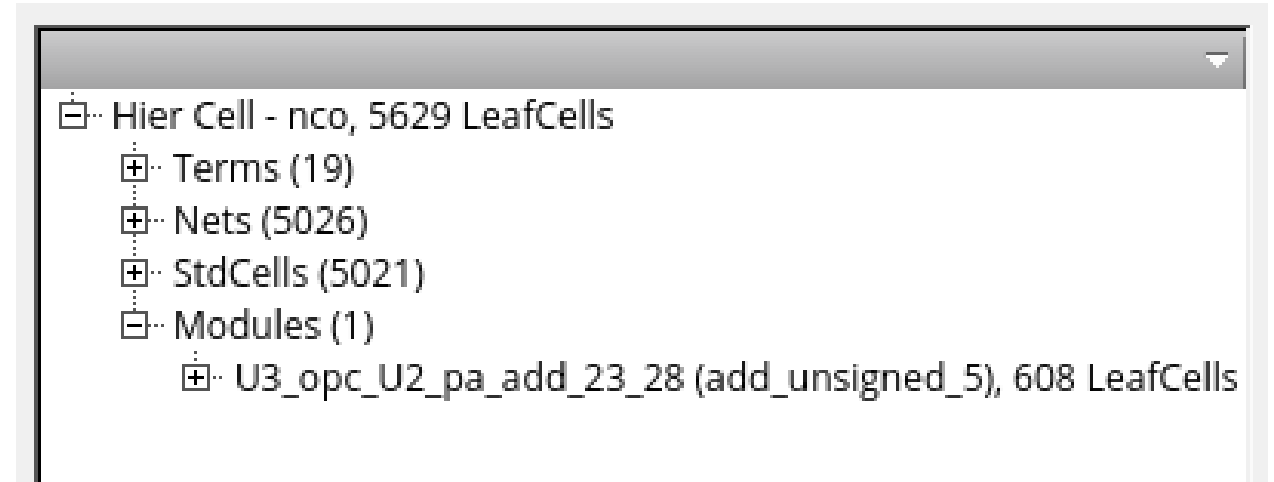


Cadence Genus: Σύνθεση

Script σε γλώσσα TCL:

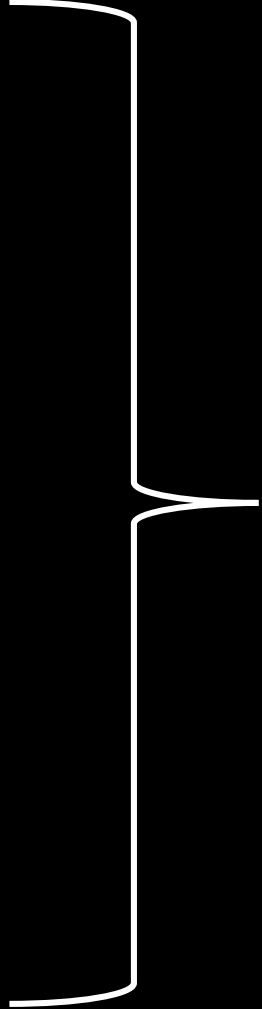
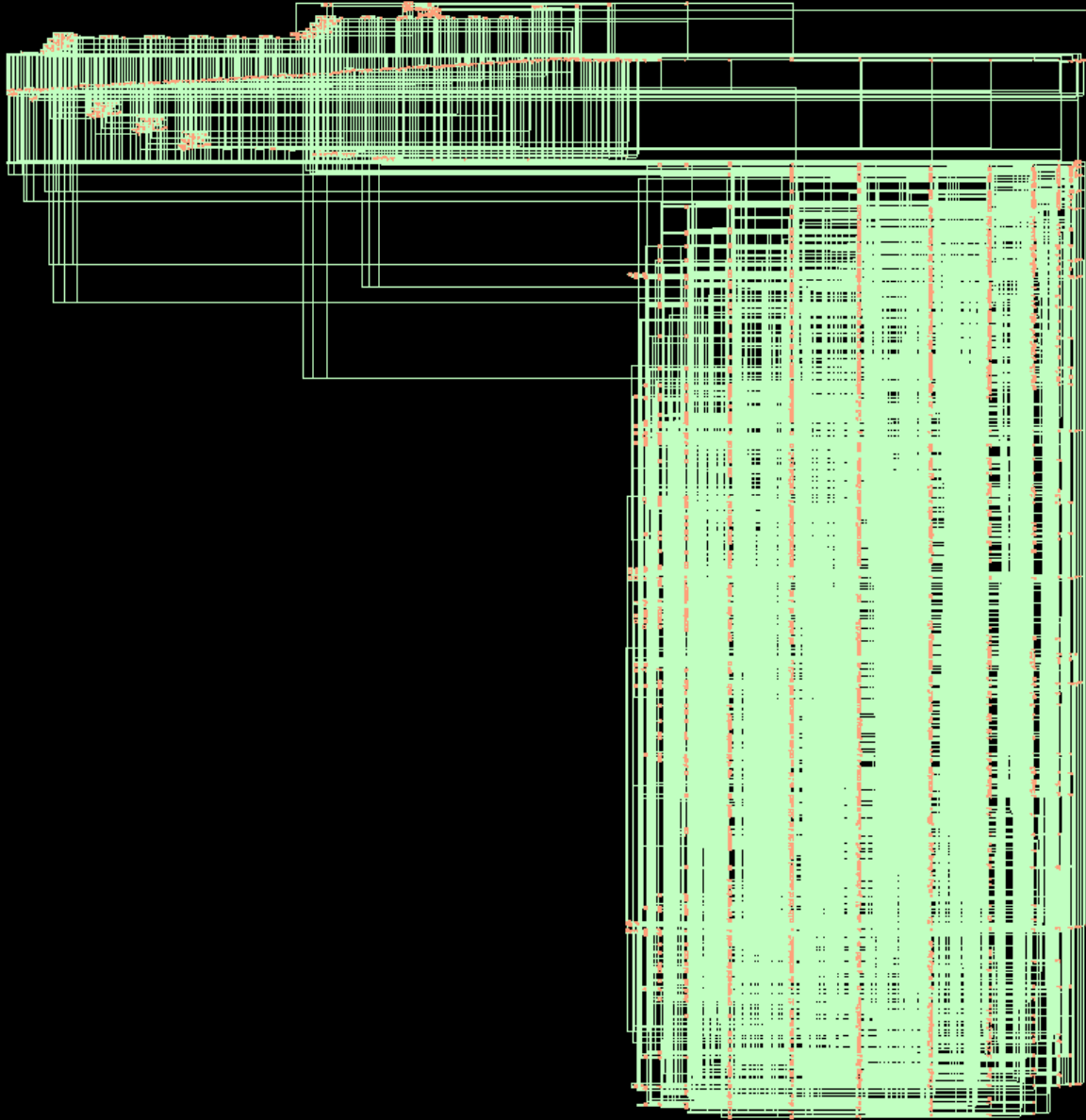
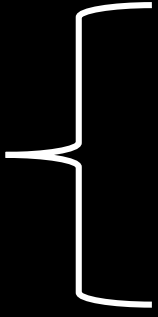
2. Ungrouped σύνθεση

- Γενική (generic)
- Αντιστοιχισμένη (mapped)
- Βέλτιστη (optimized)



Σχηματικό ungrouped NCO

OPC



PAC

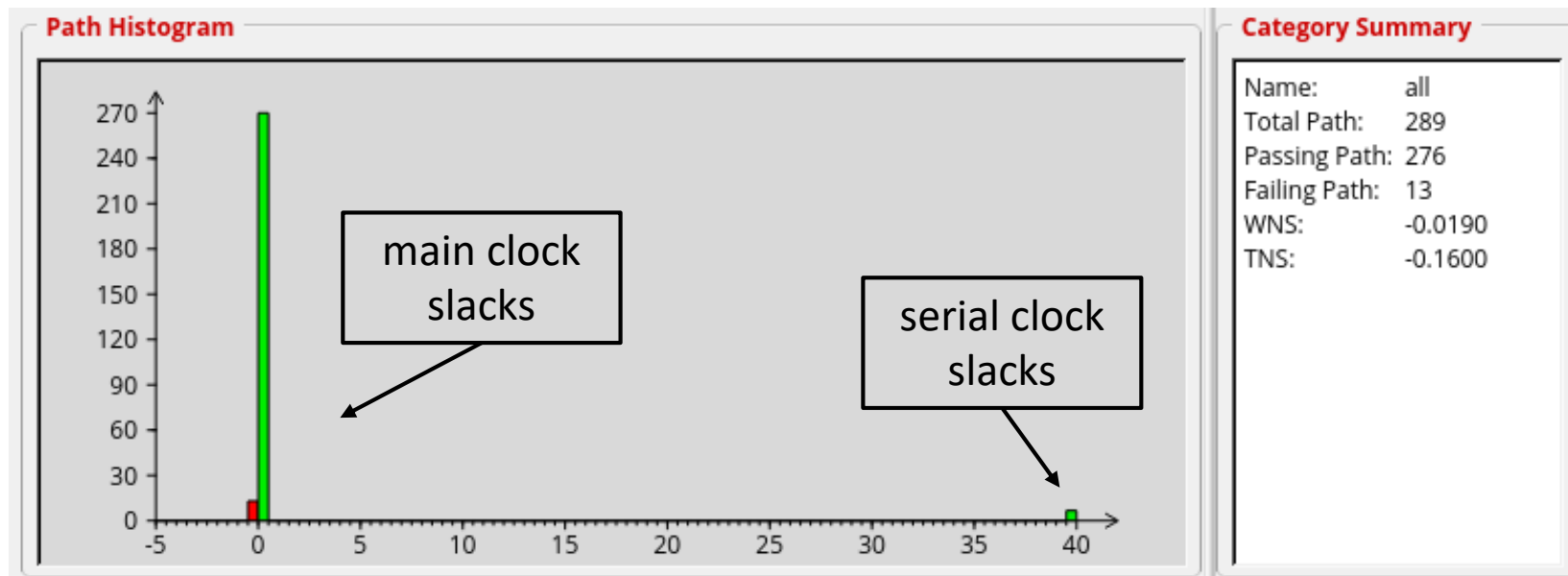
Cadence Genus: Αποτελέσματα

Area Report

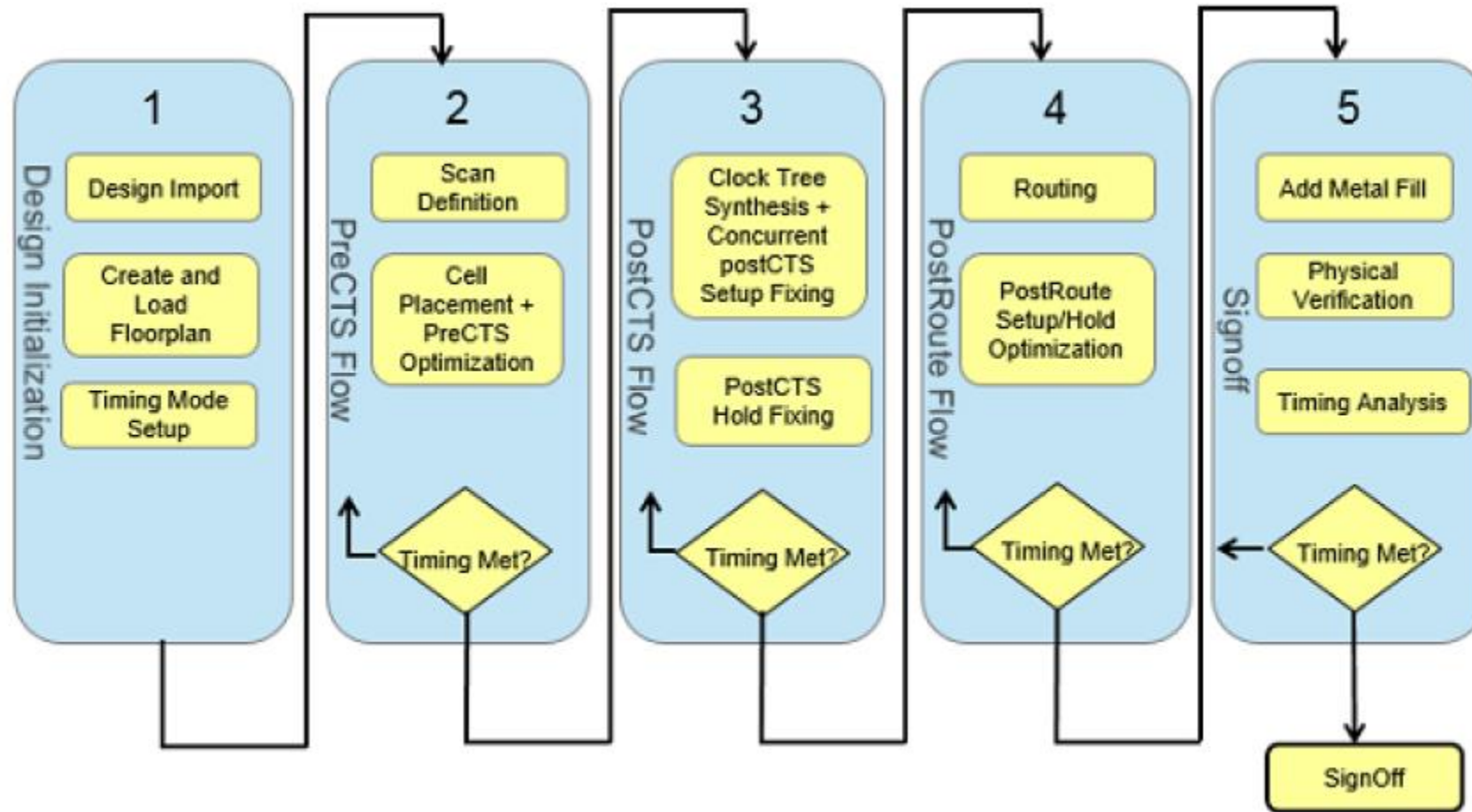
Cell Area	18.570,60
Net Area	9.721,37
Total Area	28.291,97

Power Report (nW)

Leakage Power	581.937,89
Dynamic Power	30.205.026,14
Total Power	30.786.964,03



Cadence Innovus: Implementation flow



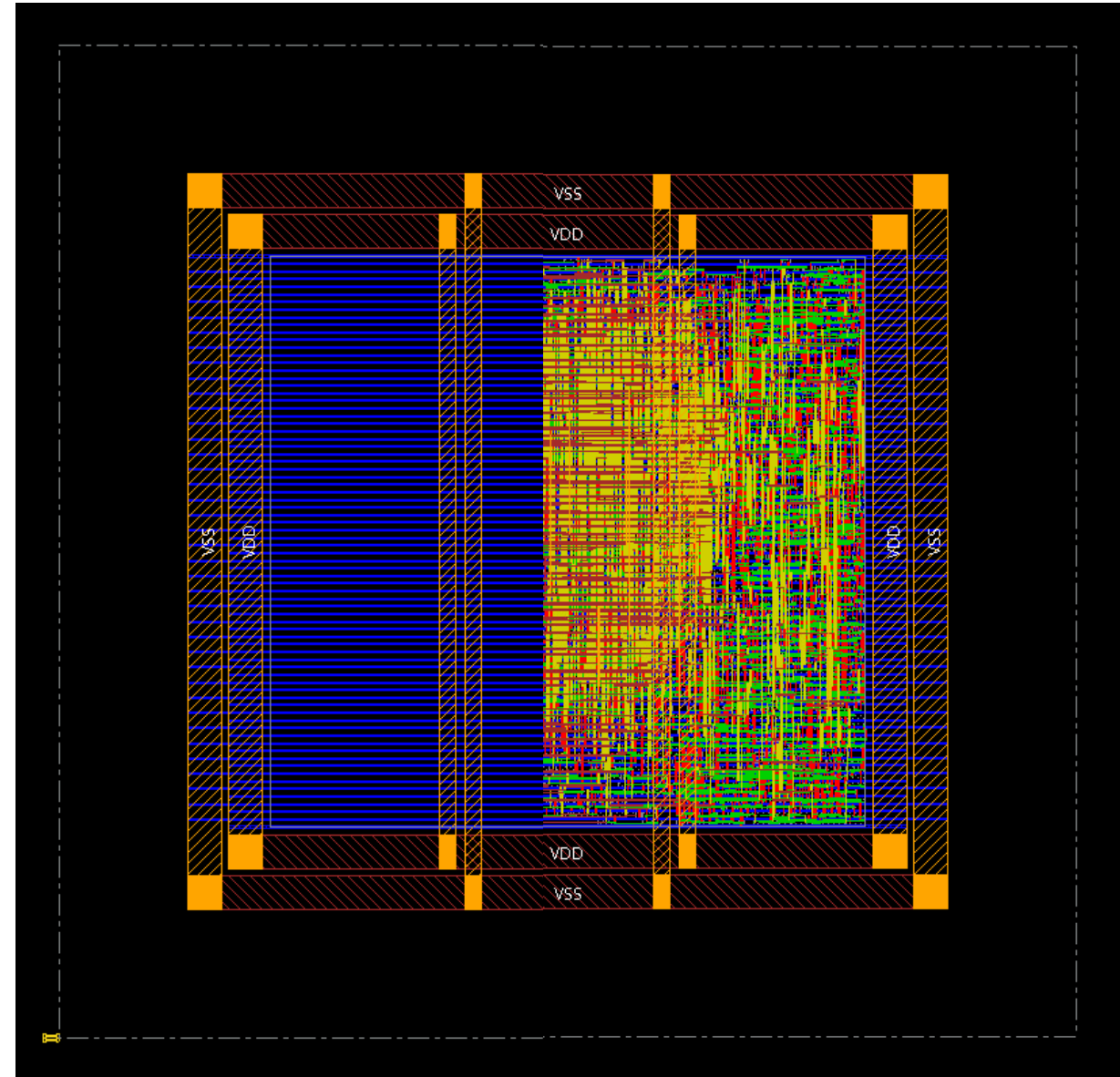
Συνεχείς χρονικές αναλύσεις με το time_design

Cadence Innovus: PrePlace, PreCTS

- Floorplanning
- Σχεδίαση ενέργειας (Power planning)
 - Δαχτυλίδι τροφοδοσίας (Power ring)
 - Ραβδώσεις τροφοδοσίας (Power stripes)

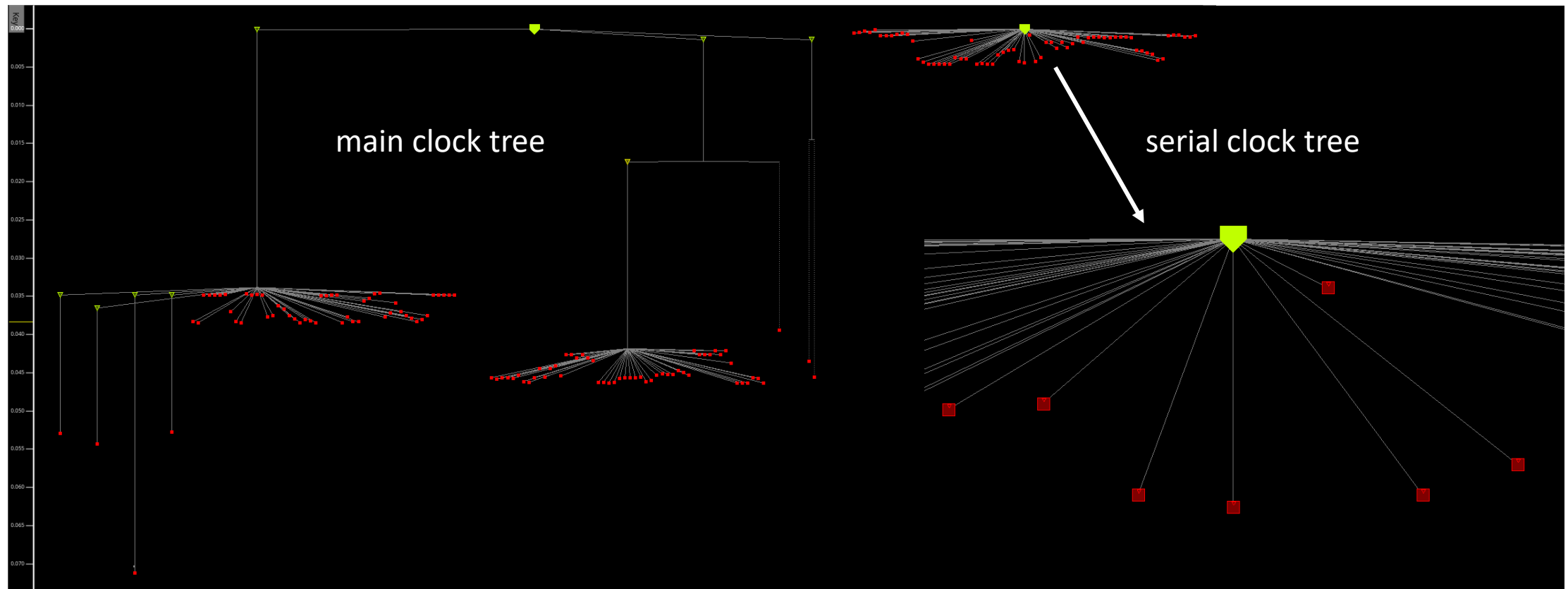
$$w_e = \frac{w_c - N_s \cdot (2 \cdot w_n + s_n)}{N_s + 1}$$

- Τοποθέτηση στοιχείων (Placement)

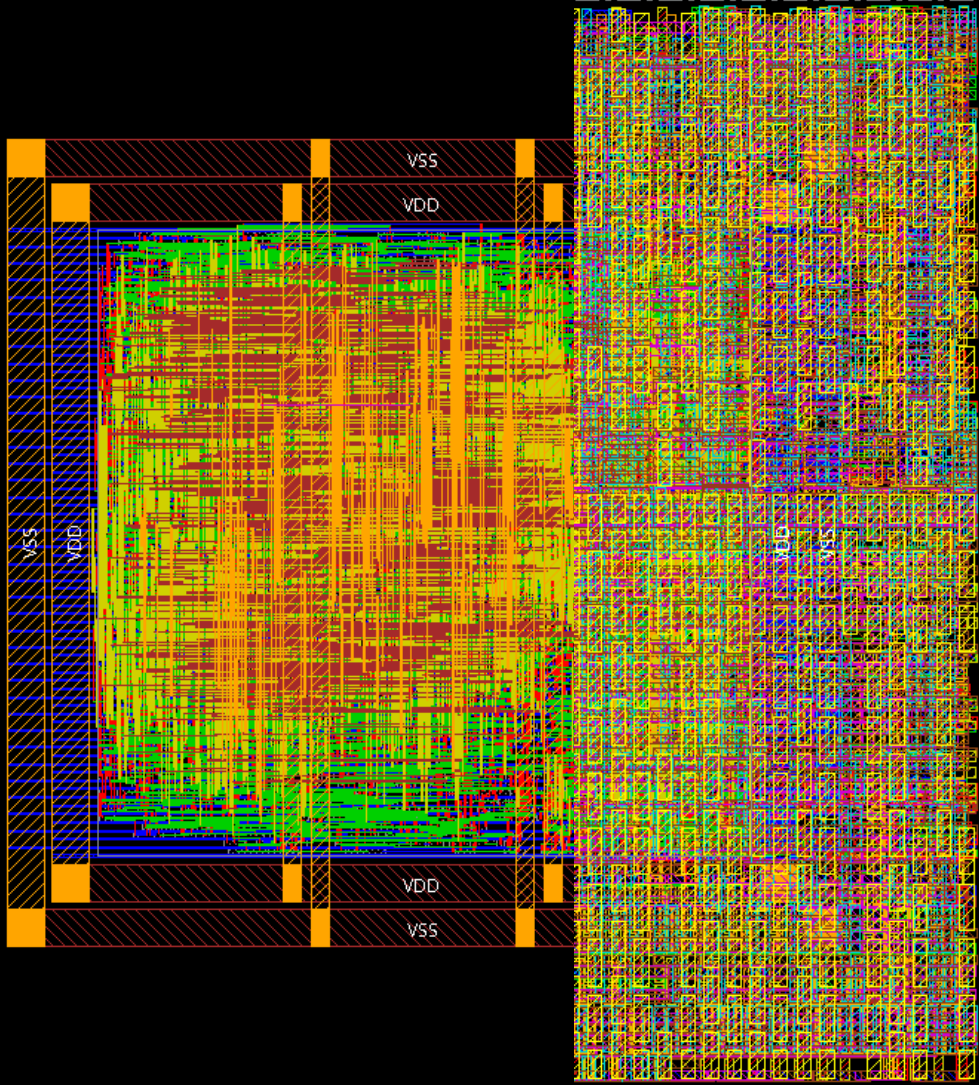


Cadence Innovus: PostCTS

- Δημιουργία Δέντρου Ρολογιού (Clock Tree Synthesis, CTS)
 - Βελτιστοποίηση με βάση τα δέντρα ρολογιών (Clock Concurrent Optimization)
 - Επιπλέον βελτιστοποιήσεις (`opt_design -post_cts -setup -hold`)



Cadence Innovus: PostRoute, SignOff



- Διασύνδεση (Routing)
- Συμπλήρωση μετάλλου (Metal fill)
- Επαλήθευση (Verification)
 - Γεωμετρία
 - Πυκνότητα μετάλλων
 - Συνδεσιμότητα

Βιβλιογραφία

1. N. H. E. Weste, D. M. Harris, «Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI» 4^η έκδοση, Εκδόσεις Παπασωτηρίου, 2011
2. Σ. Ι. Σουραβλάς, Μάνος Ρουμελιώτης, «Ψηφιακά Συστήματα, Μοντελοποίηση & Προσομοίωση με τη γλώσσα VHDL», Εκδόσεις Τζιόλα, 2012
3. Ν. Ι. Μάργαρης, «Μη γραμμική θεωρία του αναλογικού PLL», Εκδόσεις Τζιόλα, Αύγουστος 2000
4. E. Murphy, C. Slattery, “All About Direct Digital Synthesis”, Analog Dialogue 38-08, August 2004
5. Analog Devices, “AD9914 Data Sheet: 3.5 GSPS Direct Digital Synthesizer with 12-Bit DAC”, 2012
6. Λ. Κατσέλας, «Σχεδίαση Ψηφιακού Κυκλώματος Συστήματος Συγκομιδής Ενέργειας», διπλωματική εργασία τμήματος ηλεκτρολόγων μηχανικών και μηχανικών υπολογιστών, Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης, 2014
7. Cadence, “Genus User Guide”, 2019
8. Cadence, “Innovus User Guide”, 2019
9. T. Finateu, F. Badets, Y. Deval, JB Begueret, D. Belot, “A 65nm CMOS 2.4 GHz Phase Shifter based Direct Digital Synthesizer”, IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, October 2012
10. H. Omran, K. Sharaf, M. Ibrahim, “An All-Digital Direct Digital Synthesizer Fully Implemented on FPGA”, 4th International Design and Test Workshop (IDT), November 2009
11. R. O. R. Cardoso, J. A. J. Ribeiro, M. Silveira, “Direct Digital Synthesizer Using FPGA”, Global Congress on Engineering and Technology Education, March 2005

Διαδικτυακές πηγές

1. en.wikipedia.org/wiki/Moore%27s_law
2. en.wikipedia.org/wiki/VHDL
3. en.wikipedia.org/wiki/Verilog
4. en.wikipedia.org/wiki/NCSim
5. www.edaboard.com/showthread.php?341462-moved-RTL-Compiler-elaboration-command
6. en.wikipedia.org/wiki/AND-OR-Invert
7. en.wikipedia.org/wiki/Numerically_controlled_oscillator
8. en.wikipedia.org/wiki/Serial_Peripheral_Interface
9. only-vlsi.blogspot.com/2008/04/setup-and-hold-time.html?m=1



Ευχαριστώ!