| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |
| --- | --- |

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**ОТЧЕТ**

| **по лабораторной работе № 2** |
| --- |



Дешифраторы

**Дисциплина:** Архитектура ЭВМ

| Студент | ИУ7-42Б |  |  | Н.В. Ляпина |
| --- | --- | --- | --- | --- |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | С.В.Ибрагимов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2022

**1. Цель работы**

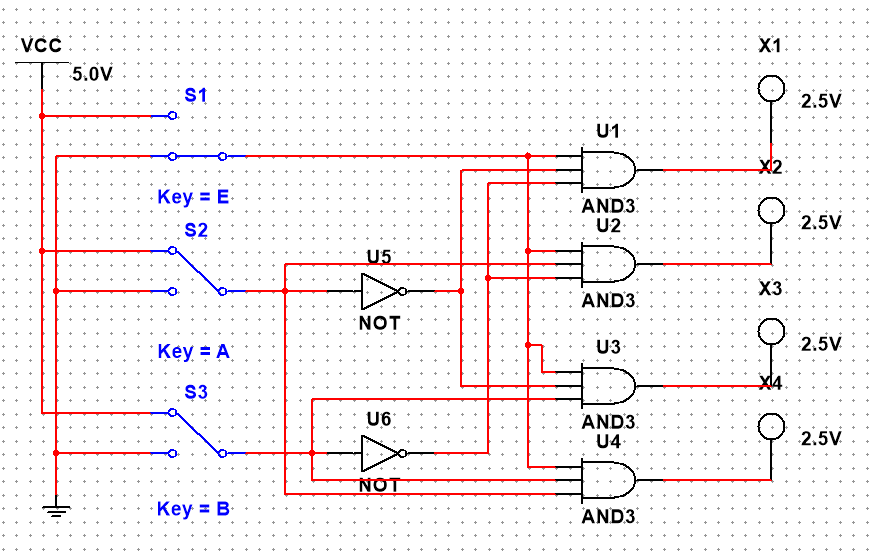
Изучить принципы построения и методы синтеза дешифраторов; осуществить макетирование и экспериментальное исследование дешифраторов.

**2. Ход выполнения работы**

**Задание №1**

Исследовать линейный двухвходовый дешифратор с инверсными выходами:

* собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A0 A1 , задать в выходов Q0 Q1, четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
* подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);
* подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
* определить амплитуду помех, вызванных гонками, на выходах дешифратора;
* снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);
* опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками

  
Рис. 1 – Схема линейного стробируемого дешифратора на элементах 3И-НЕ с двумя входами

Таб. 1 – Таблица переходов линейного стробируемого дешифратора на элементах 3И-НЕ с двумя входами

| E |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 0 |  |  | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

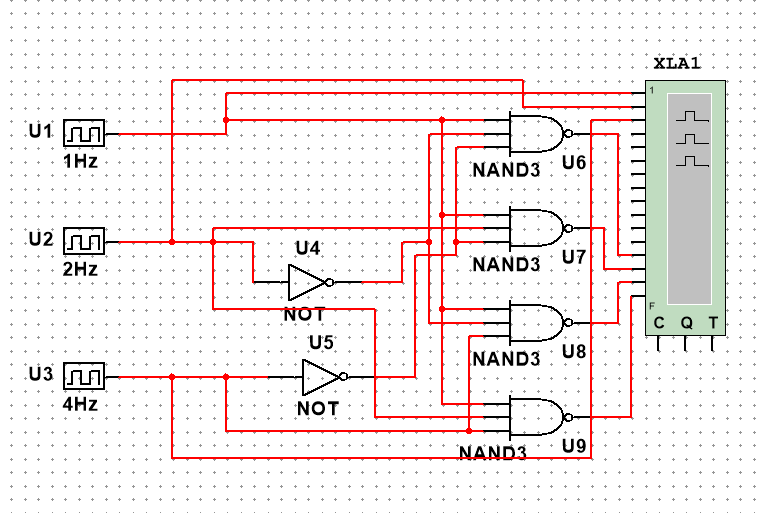
****

Рис.2 Схема линейного двухвходового дешифратора с логическим анализатором

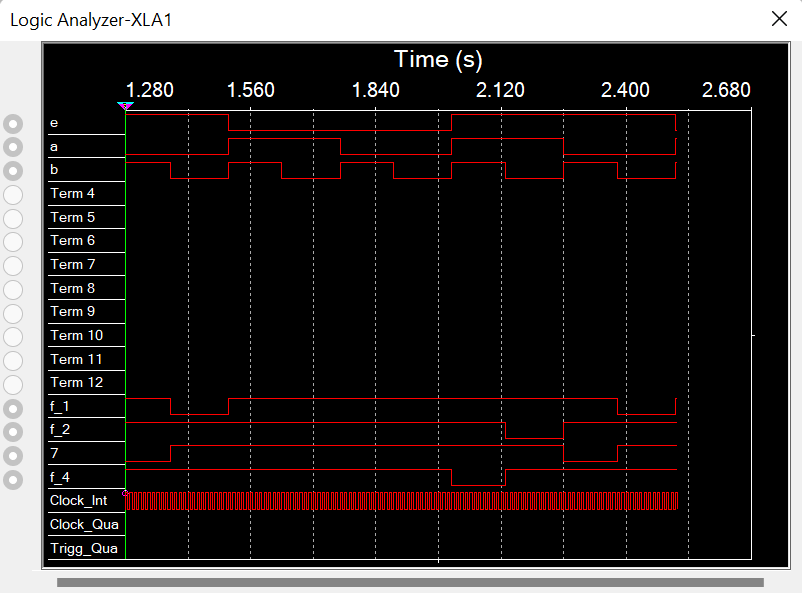
****

Рис. 3 - Результат работы анализатора

**Вывод:** Так как мы моделируем в компьютере (не в реальной жизни), устранять гонки сигналов не обязательно. Чтобы их не было в реально жизни, нужно чтобы стобирующий сигнал не был равен единице во время переключения сигналов. Тут получается среднее время задержки равно сумме средних времен сигнала через НЕ и И-НЕ.

**Задание №2**

Исследовать работу дешифраторов ИС К155ИД4 (74LS155). Для этого нужно:

* снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы и выходов счетчика, а на стробирующие входы и – импульсы генератора , задержанные линией задержки;
* определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
* собрать схему трехвходового дешифратора на основе дешифратора К155ИД4
* задавая входные сигналы ,, с выходов ,, счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности

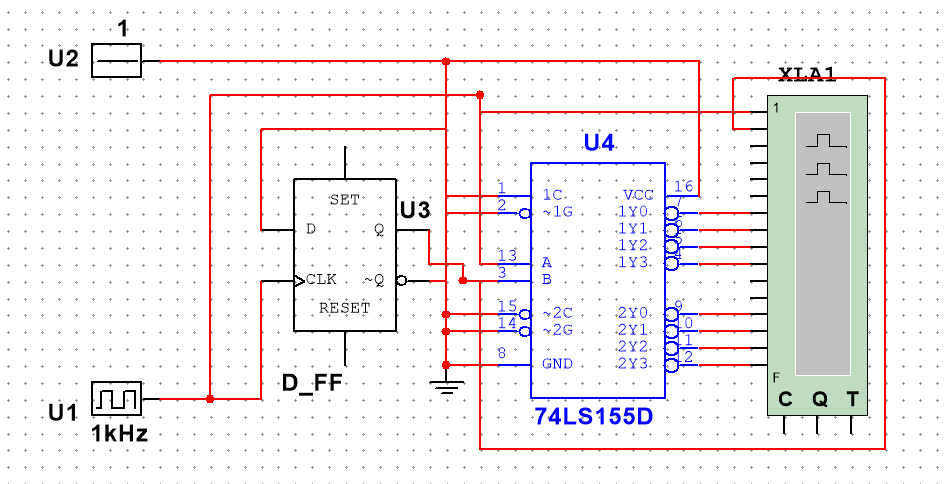
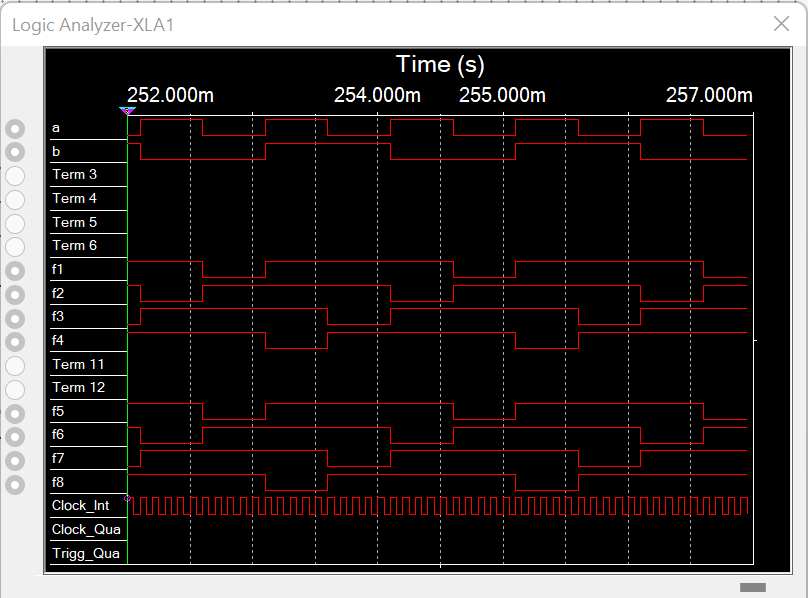


Рис. 4 - Двухвходовый дешифратор ИС К155ИД4

  
Рис. 5 - Результат работы анализатора

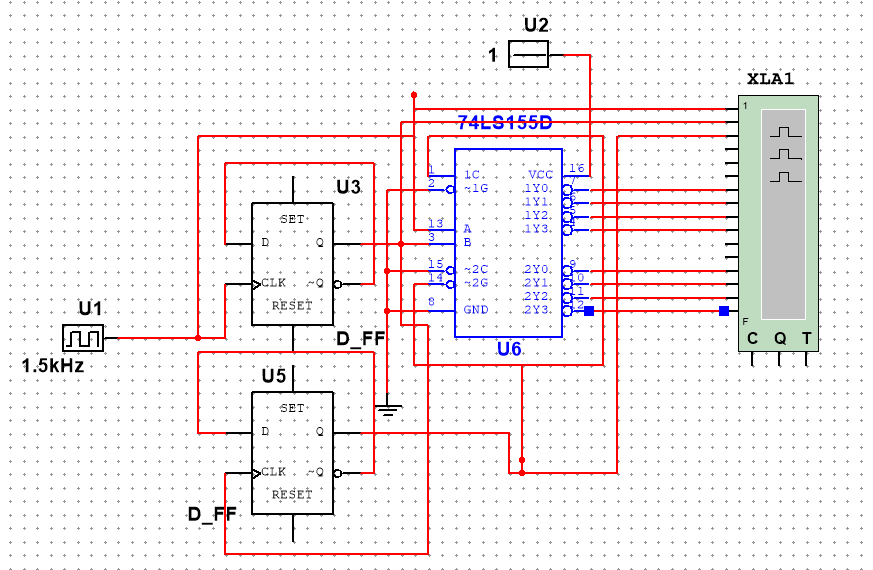


Рис.6 - Трехвходовый дешифратор ИС К155ИД4

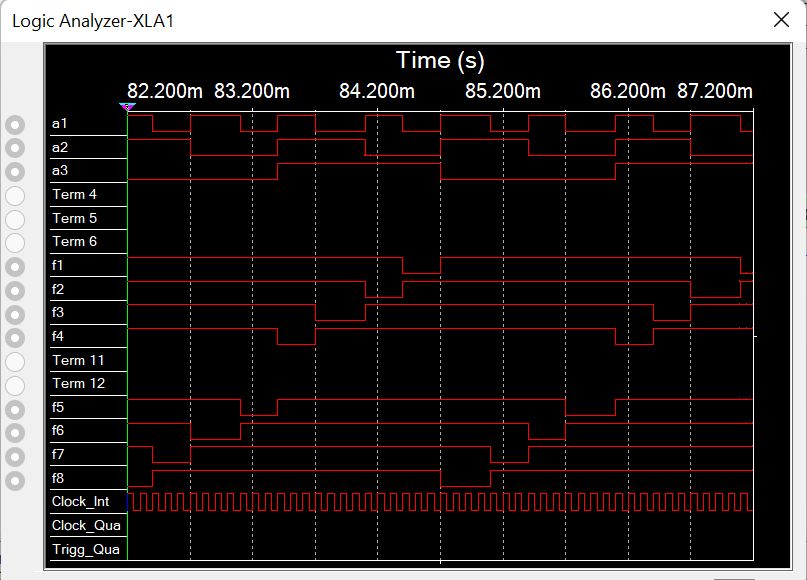


Рис.7 - Результат работы анализатора

Таб. 2 – Таблица переходов трехвходового дешифратора ИС К155ИД4

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

**Задание №3**

Исследовать работу дешифраторов ИС КР531ИД14 (74LS139)

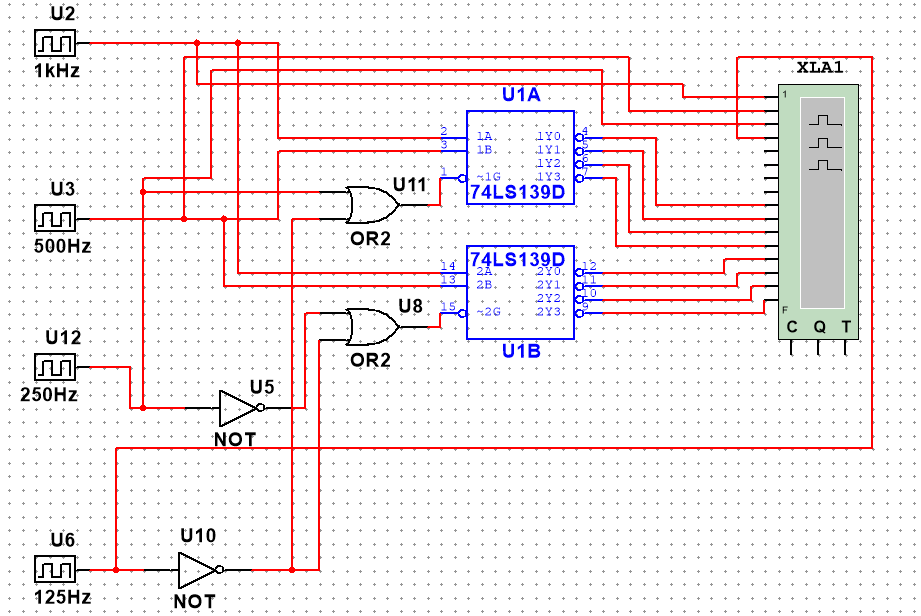
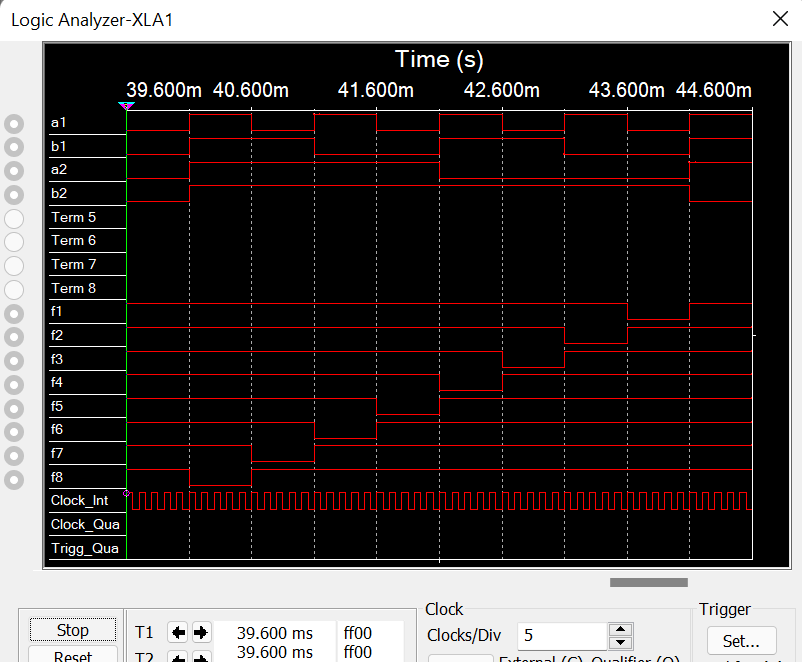


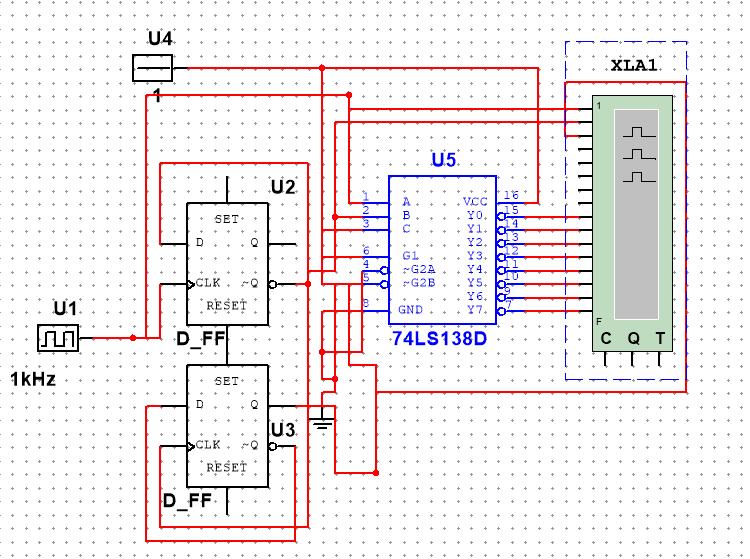
Рис. 8 - Схема дешифратора ИС КР531ИД14

  
Рис. 9 – Результат работы анализатора

**Задание №4**

Исследовать работоспособность дешифраторов ИС 533ИД7. Для этого необходимо:

* а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы , , с выходов счетчика, а на входы разрешения ,, - сигналы лог. 1, 0, 0 - соответственно;
* собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы , , , c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета;

  
Рис. 10 – схема дешифратора ИС 533ИД7

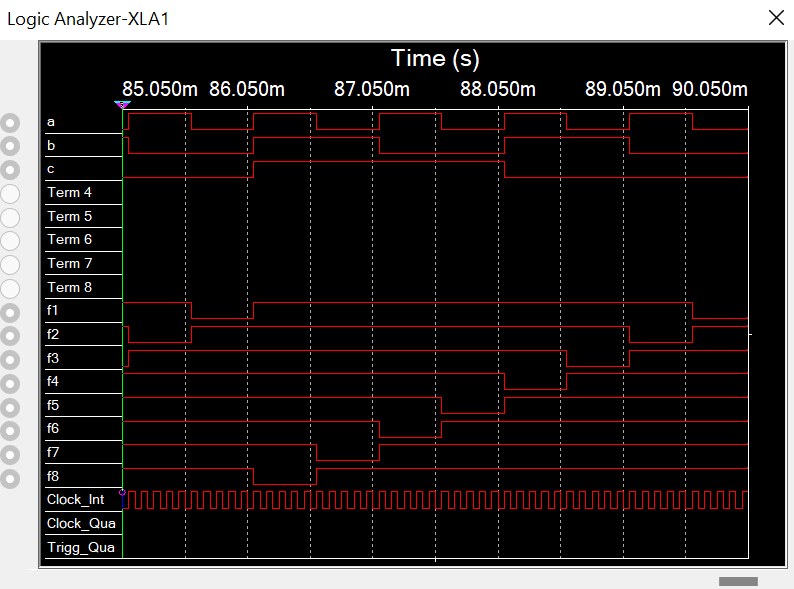


Рис. 11 – Результат работы анализатора

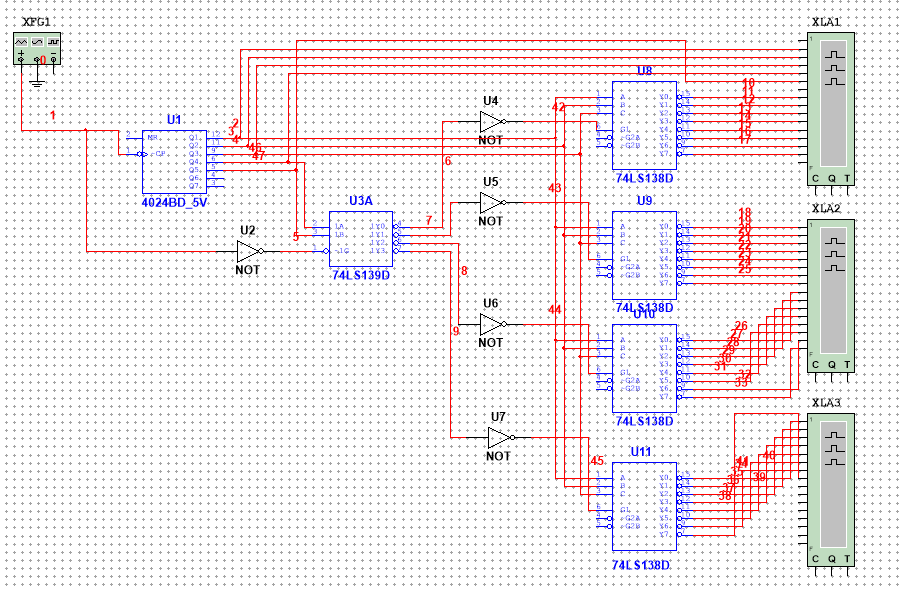


Рис. 12 – схема дешифратора DC 5-32

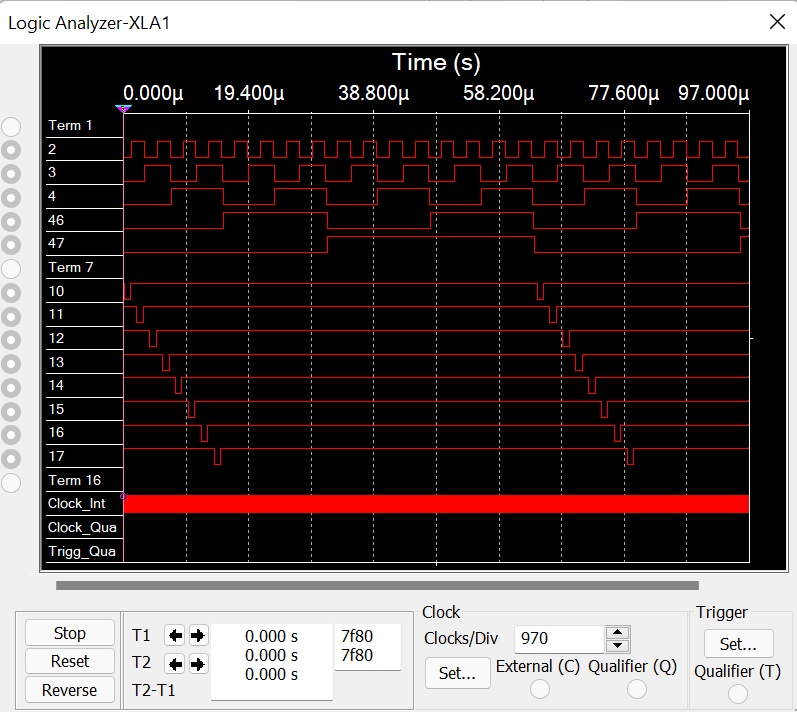


Рис. 13 – результат работы анализатора 1

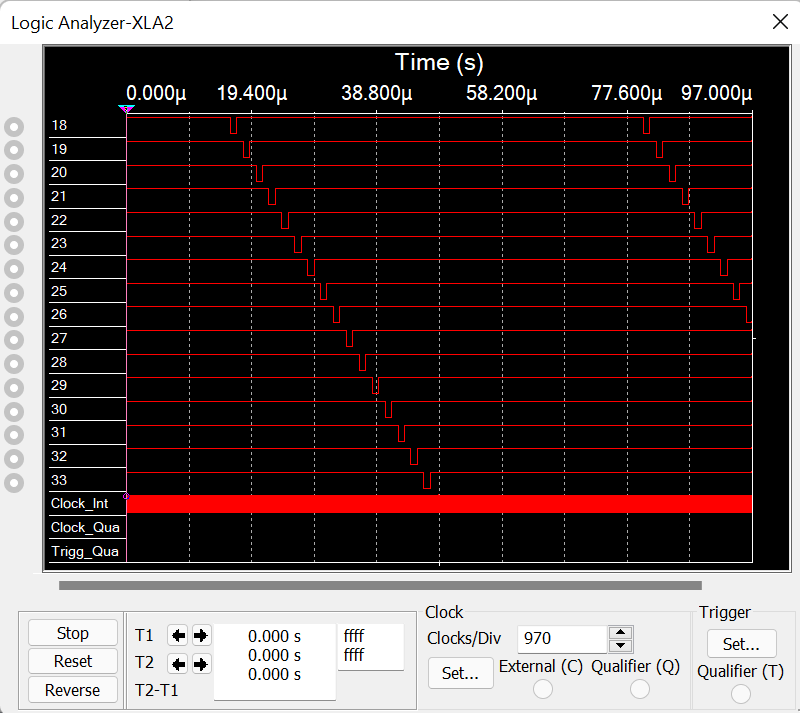


Рис. 14 – результат работы анализатора 2

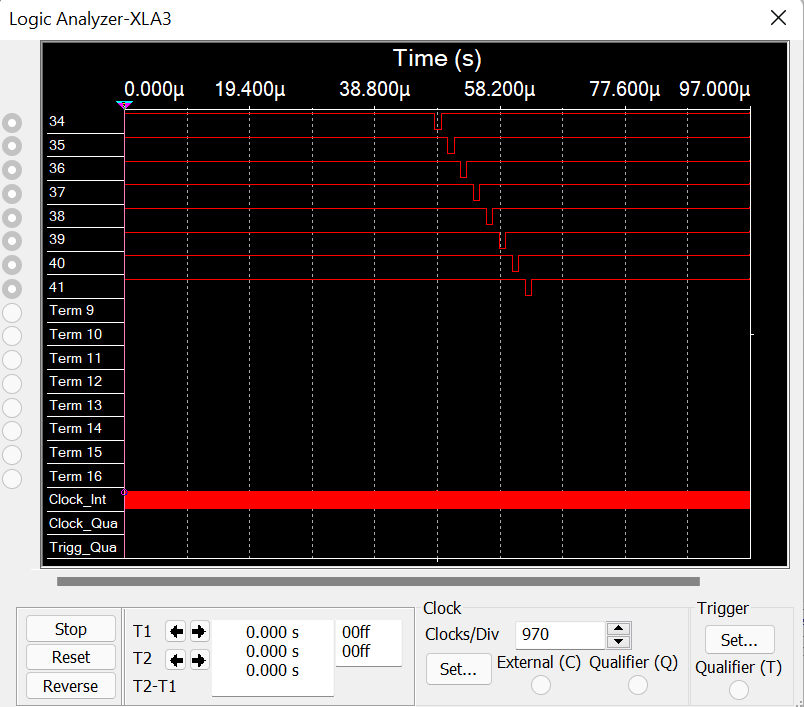


Рис. 15 – результат работы анализатора 3

**3. Вывод**

При выполнении этой лабораторной работы были изучены принципы построения и методы синтеза дешифраторов, при этом экспериментально изучены дешифраторы.

**4. Контрольные вопросы**

**1. Что называется дешифратором?**

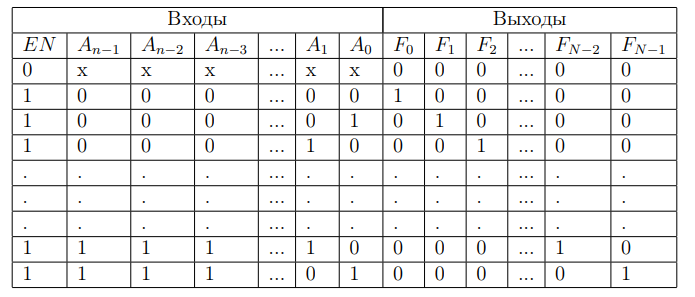
*Дешифратор –* комбинационный узел с 𝑛 входами и 𝑁 выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору

**2. Какой дешифратор называется полным (неполным)?**

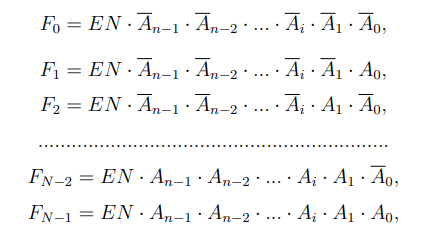
Дешифратор, имеющий 2𝑛 выходов, называется полным, при меньшем числе выходов – неполным.

**3. . Определите закон функционирования дешифратора аналитически и таблично.**

Функционирование дешифратора 𝐷𝐶 𝑛 − 𝑁 определяется таблицей истинности:



Аналитически описать дешифратор можно совокупностью логических функций в СДНФ:



**4. Поясните основные способы построения дешифраторов.**

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой конъюнкторов или логических элементов ИЛИ-НЕ с 𝑛-входами каждый при отсутствии стробирования и с 𝑛 + 1 входами - при его наличии.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. *На первом* этапе реализуются конъюнкции двух переменных. *На втором* – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

**5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?**

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование(выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе

**6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?**

Пусть для построения сложного дешифратора 𝐷𝐶 𝑛 − 𝑁 используются простые дешифраторы 𝐷𝐶 𝑛1 − 𝑁1, причем 𝑛1 << 𝑛, следовательно и 𝑁1 << 𝑁.

1. Число каскадов равно = . Если К – целое число, то во всех каскадах используются полные дешифраторы 𝐷𝐶 𝑛1 − 𝑁1. Если – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор 𝐷𝐶 𝑛1 − 𝑁1

2. Количество простых дешифраторов 𝐷𝐶 𝑛1 − 𝑁1 в выходном каскаде равно , в предвыходном - , в предпривыходном - и т.д.; во входном каскаде - . Если – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифруются n1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифруется полная или неполная группа старших разрядов адреса. Поэтому 𝑛1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие 𝑛1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратор

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов припредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.