



İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA MÜHENDİSLİK FAKÜLTESİ BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ

LOJİK DEVRE TASARIMI LABORATUVARI DENEY RAPORU

DENEY NO :
DENEYİN ADI : SAYISAL ARİTMETİK DEVRELER
DENEY TARİHİ : 13.03.2023
RAPOR TESLİM TARİHİ : 10.04.2024
GRUP NO :
DENEYİ YAPANLAR :

No	Adı	Soyadı	İmza
1306220012	Muhammet Talha ODABAŞI		
1306220047	Eda	ERER	
1306210007	Baran	UYGUN	

Öğretim Üyesi: Dr. Öğr. Üyesi Muhammed Erdem İSENKUL

Asistanlar: Araş.Gör. Ümmet OCAK – Araş.Gör. Mustafa ŞİRİN

1. DENEYİN AMACI

- ① Kombinezonsal Lojik Devreleri (KLD)
- ② Temel Sayısal Aritmetik Devreleri
 - Yarı Toplayıcı
 - Tam Toplayıcı
 - Paralel İkili Toplayıcı
 - Toplayıcı/Çıkarıcı Devreleri

tasarımlarını laboratuvar ortamında gerçeklemek ve KLD yapılarının daha iyi kavranabilmesini sağlamak.

2. DENEY ÖNCESİ ÇALIŞMALAR

1. Temel aritmetik devreleri Yarı Toplayıcı (Half Adder) ve Tam Toplayıcı (Full Adder) devrelerini içerir. Yarı Toplayıcı devreleri XOR ve AND kapısı kullanılarak elde edilebilirken Tam Toplayıcı bu devreye XOR, AND ve OR kapıları eklenerek elde edilir.
2. Deneyde Tam Toplayıcı, Yarı Toplayıcı ve İkili Paralel Toplayıcı (4 bitlik) devreleri oluşturulacaktır.

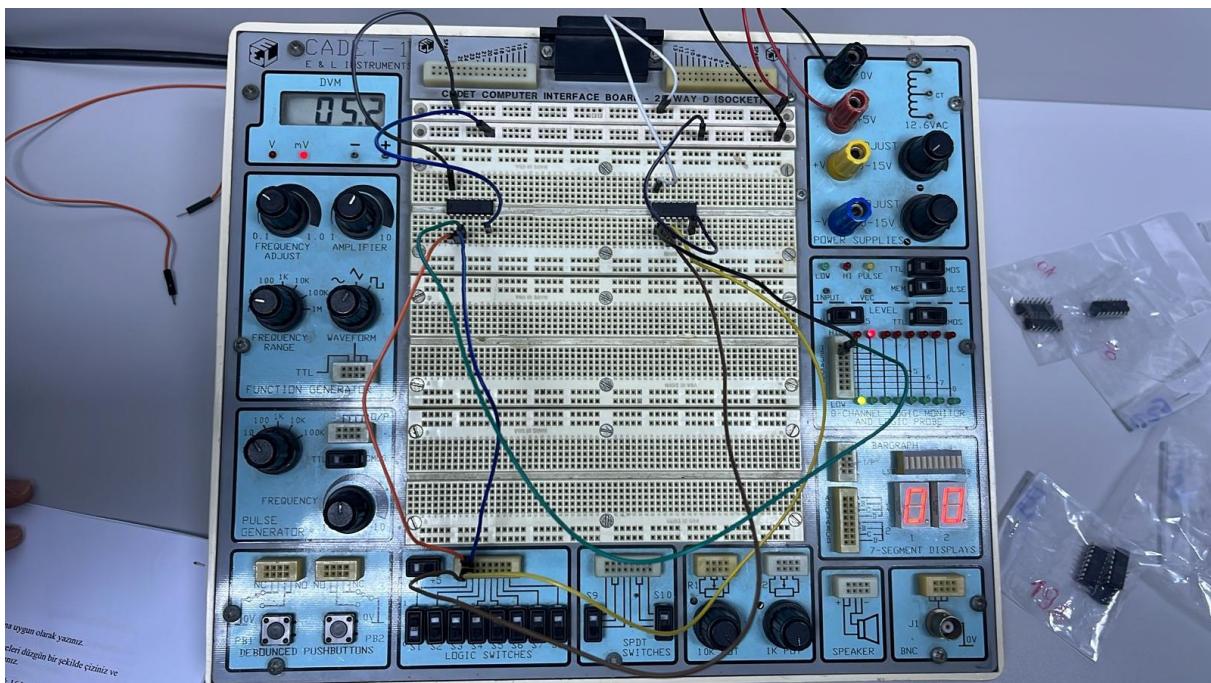
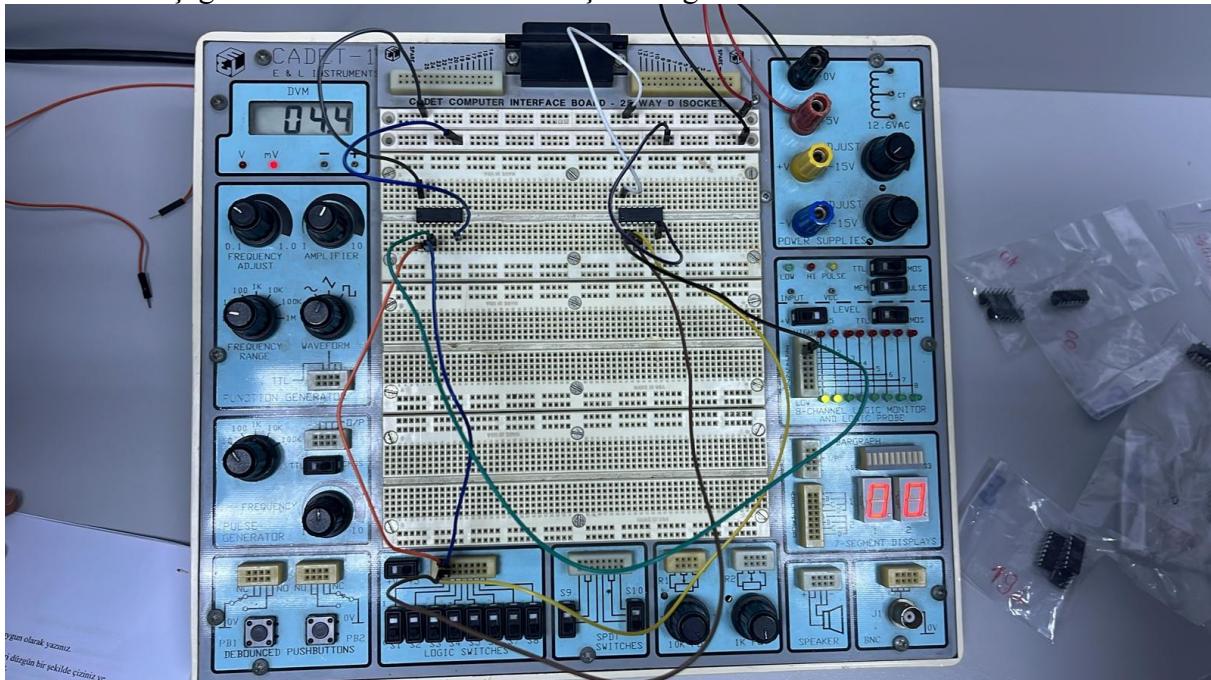
3. DENEYDE KULLANILAN ELEMANLAR

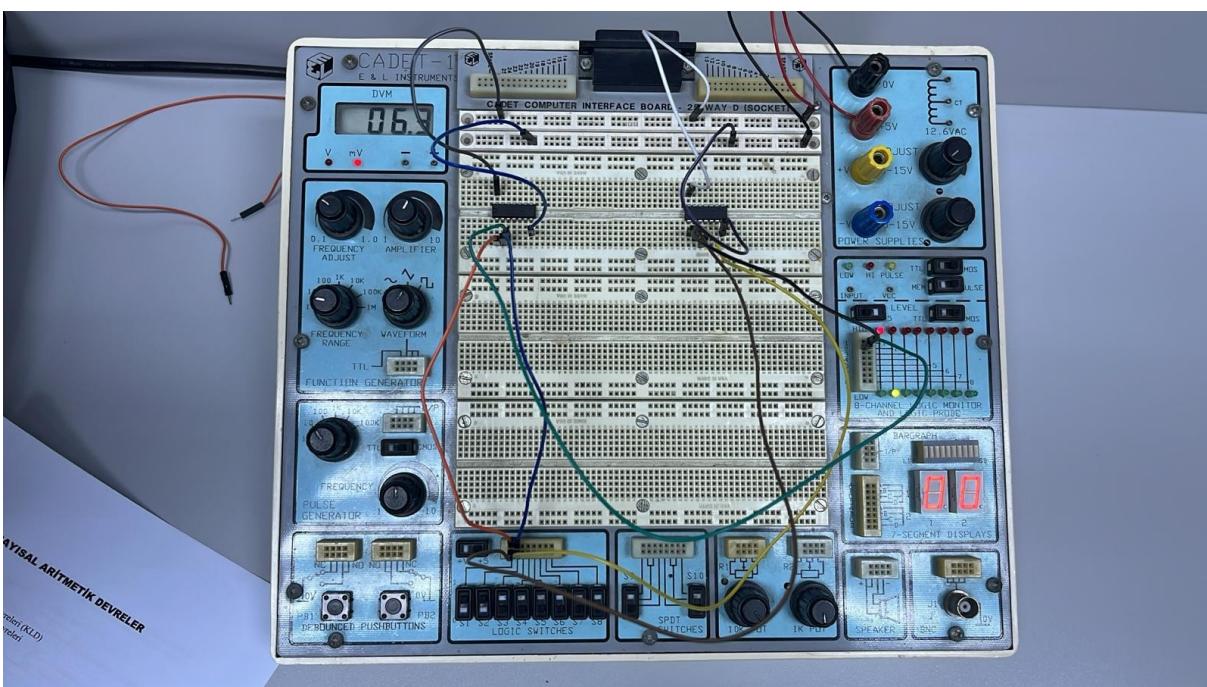
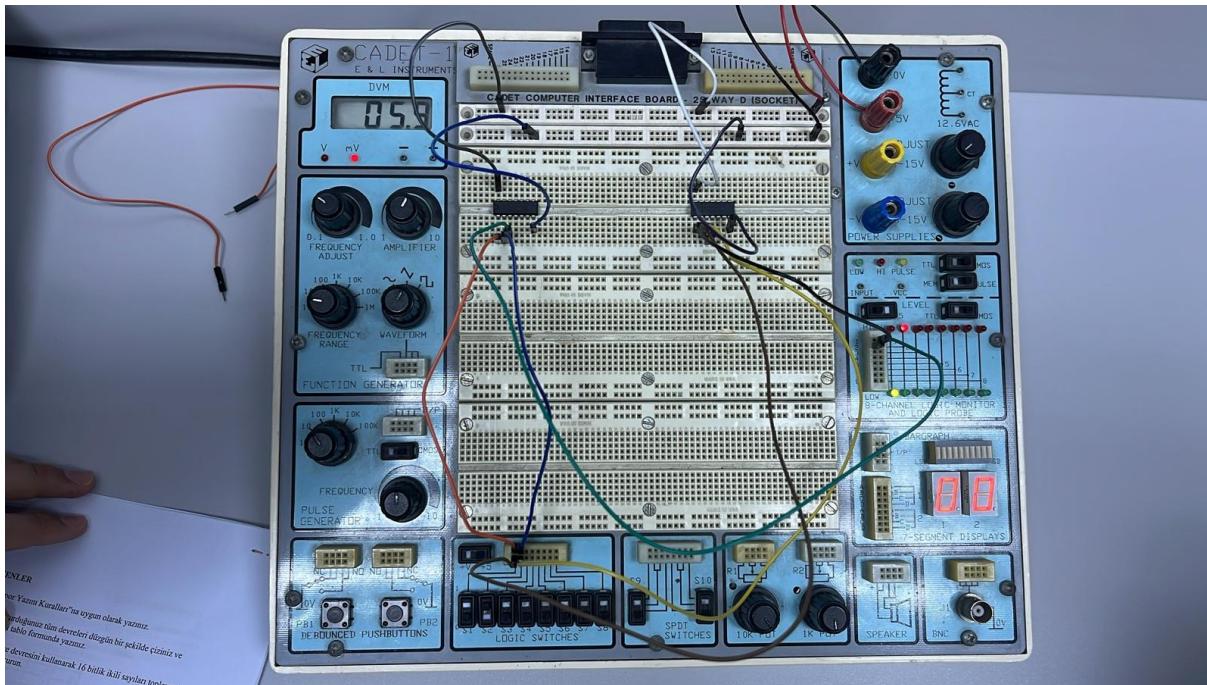
- ① CADET
- ① 74LS08 (AND kapısı)
- ① 74LS42 (OR kapısı)
- ① 74LS86 (XOR kapısı)
- ① 74LS283

4. ÖLÇME SONUCLARI

YARI TOPLAYICI:

Yarı Toplayıcı devresi 2 bit giriş kullanılarak 0, 1 ve 2 çıktılarını veren 2 bitlik toplama devresidir. Aşağıda lab ortamında hazırlanmış devre gösterilmektedir:

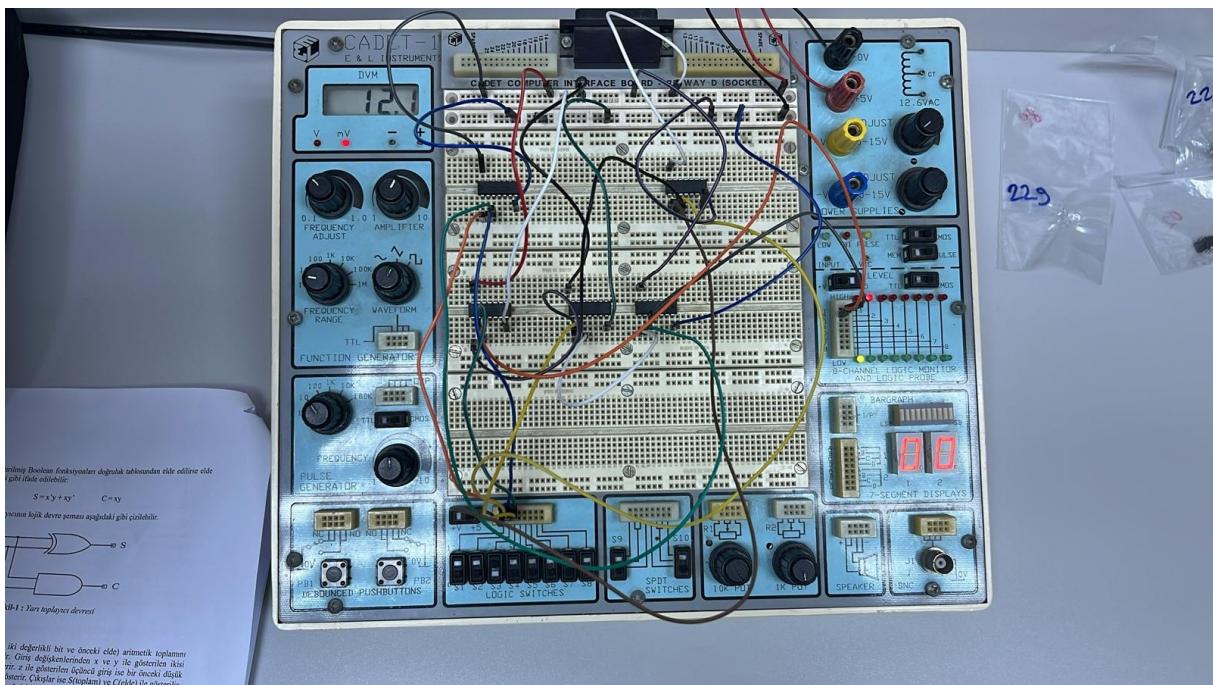
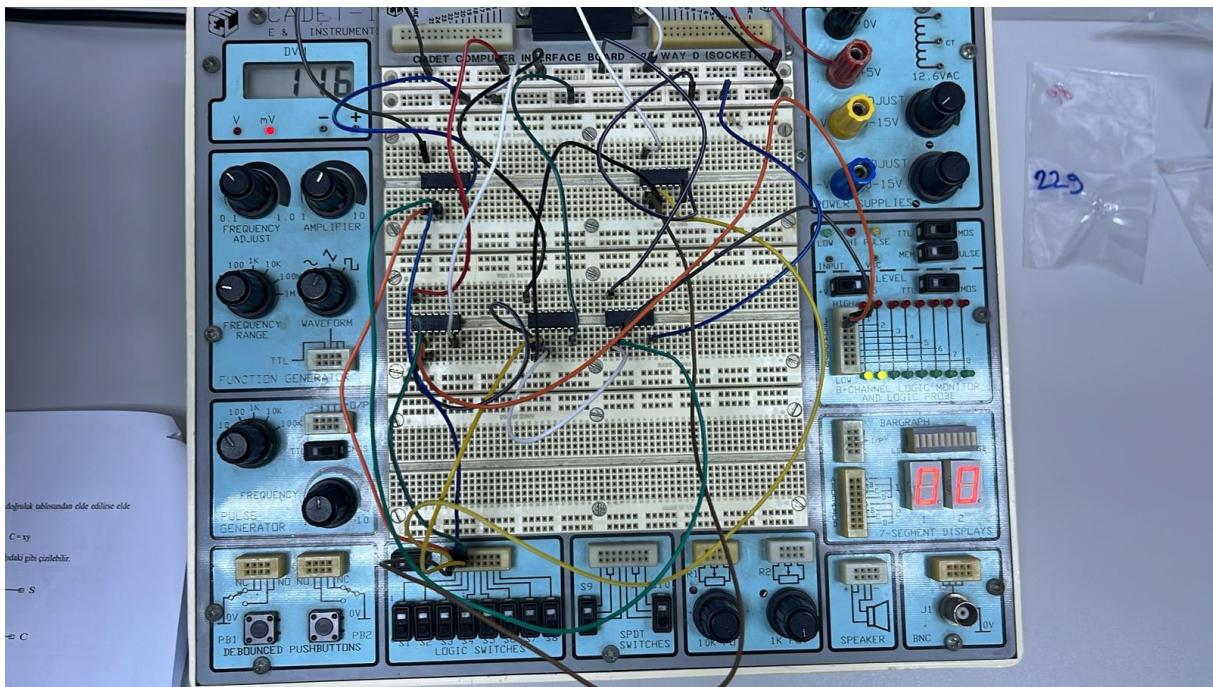


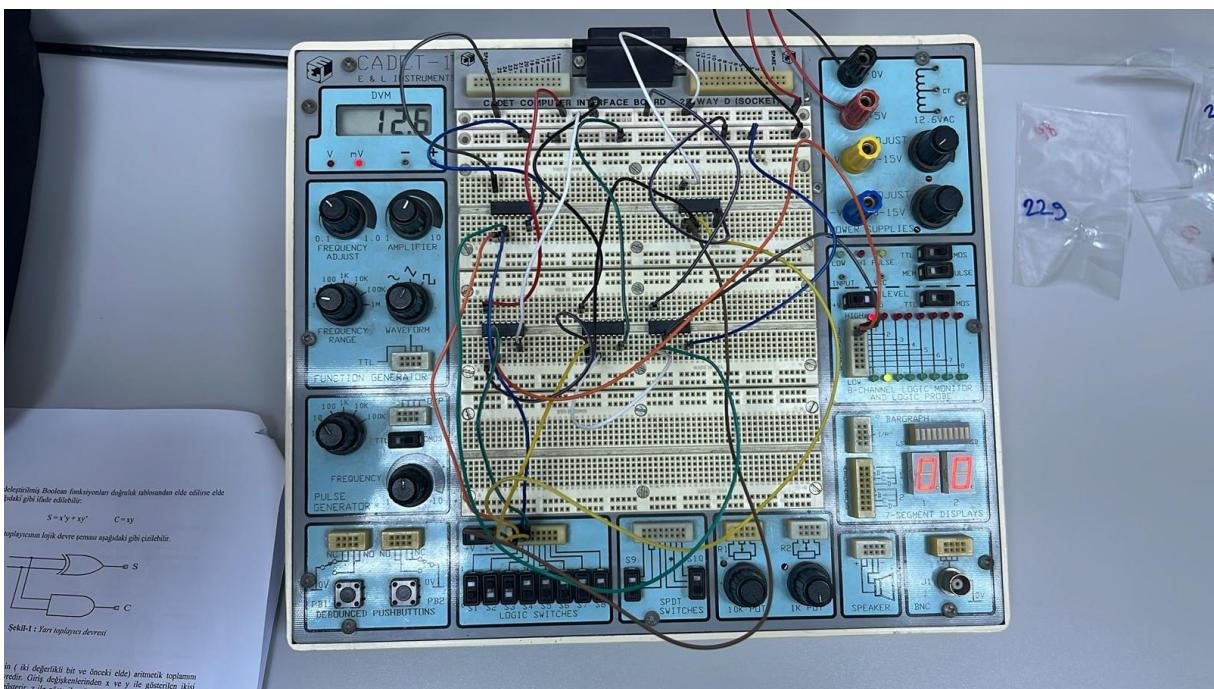
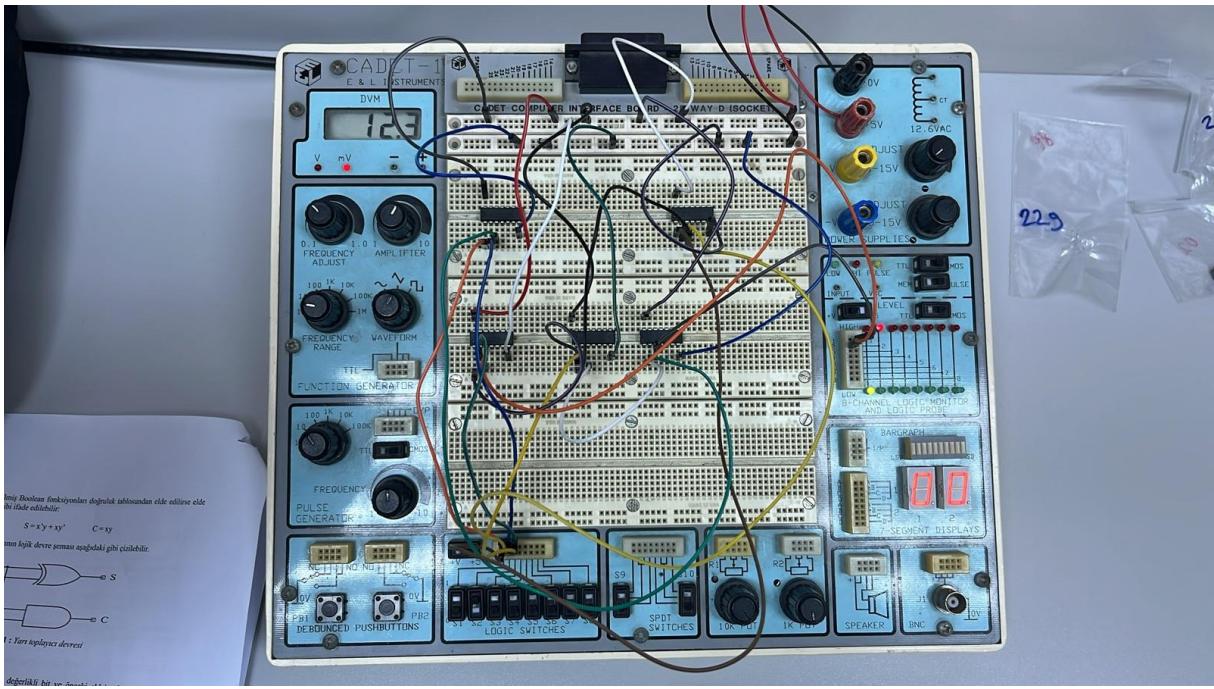


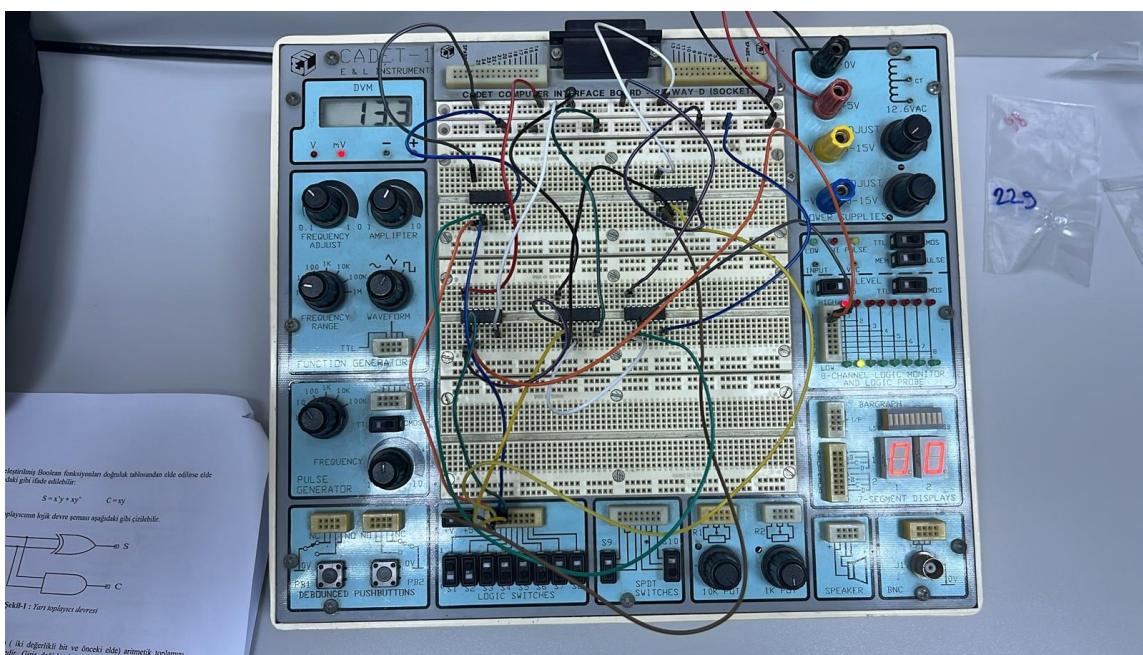
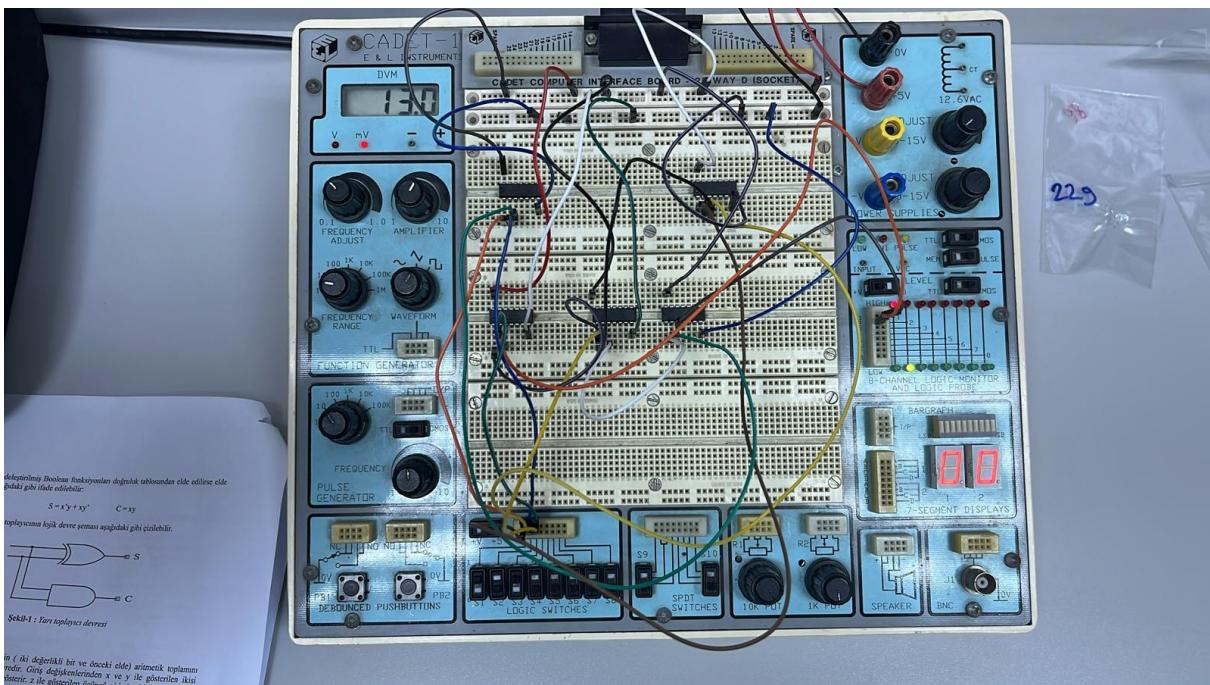
x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

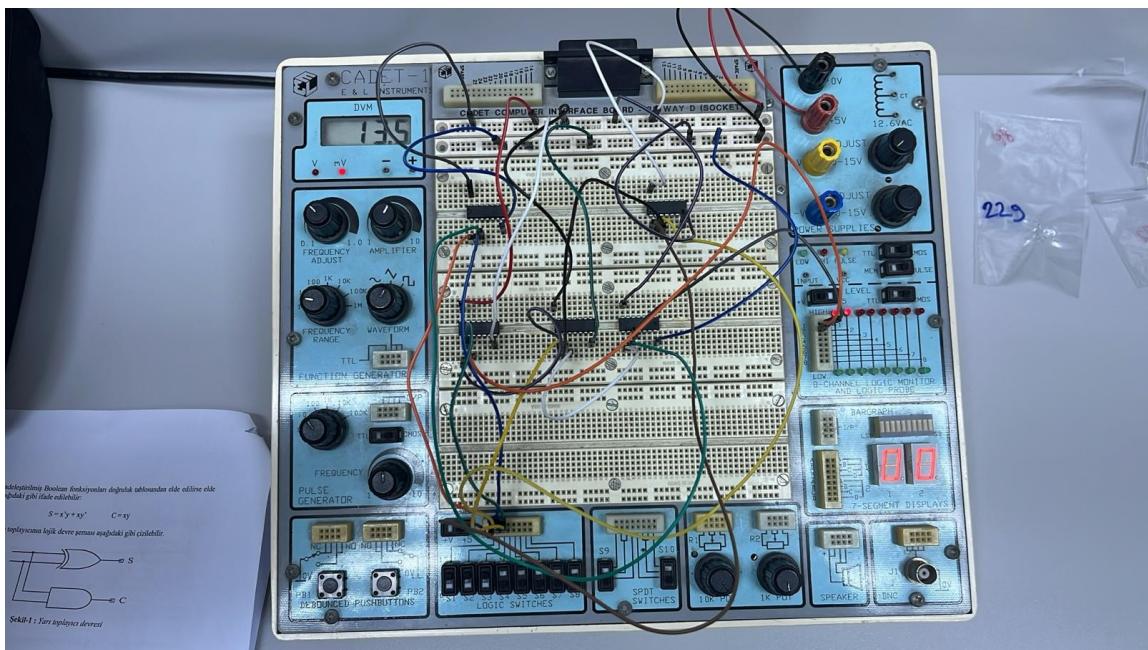
TAM TOPLAYICI:

Tam Toplayıcı 3 bit giriş kullanılarak 0, 1, 2 ve 3 çıkışlarını veren toplama devresidir. Lab Ortamında yapılan gerçekleme aşağıda gösterilmiştir:





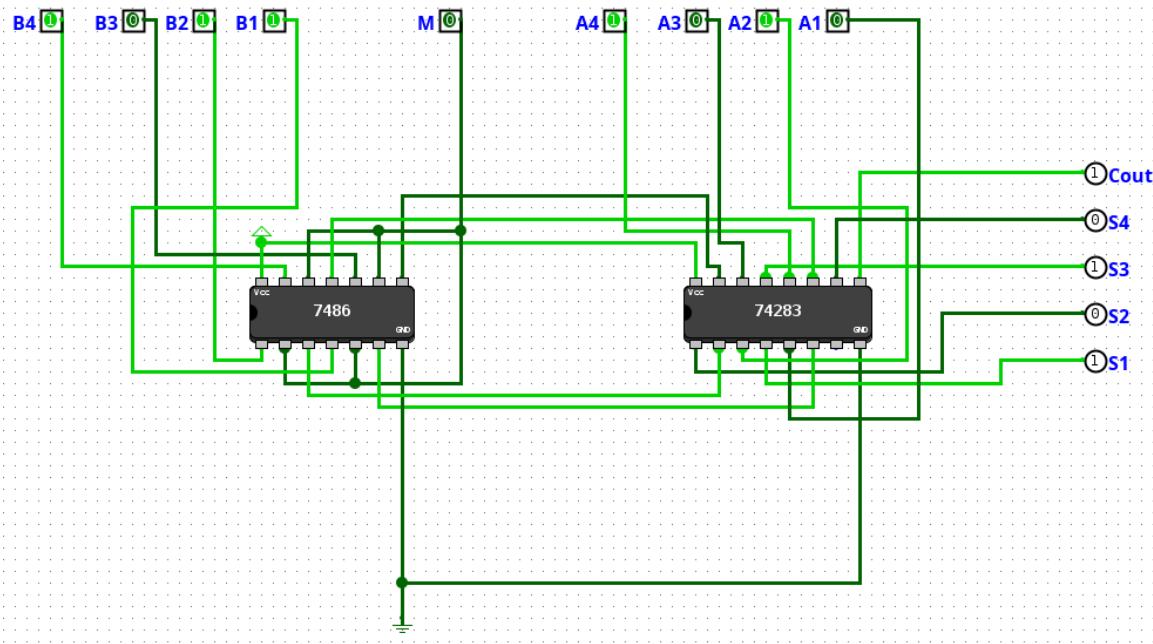
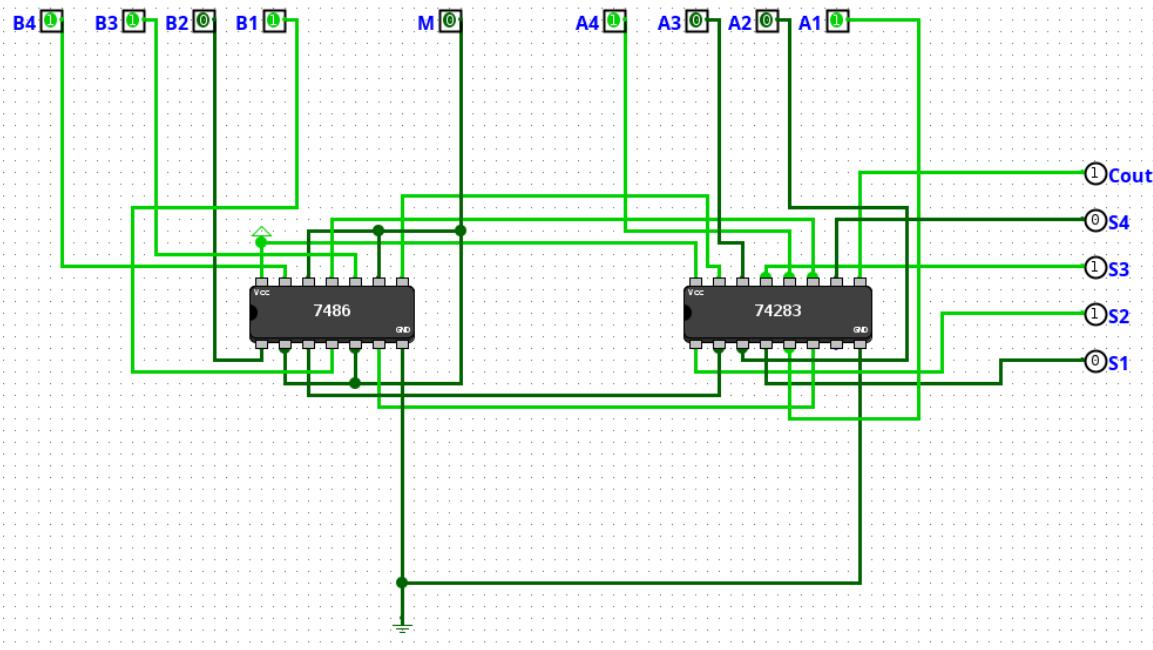


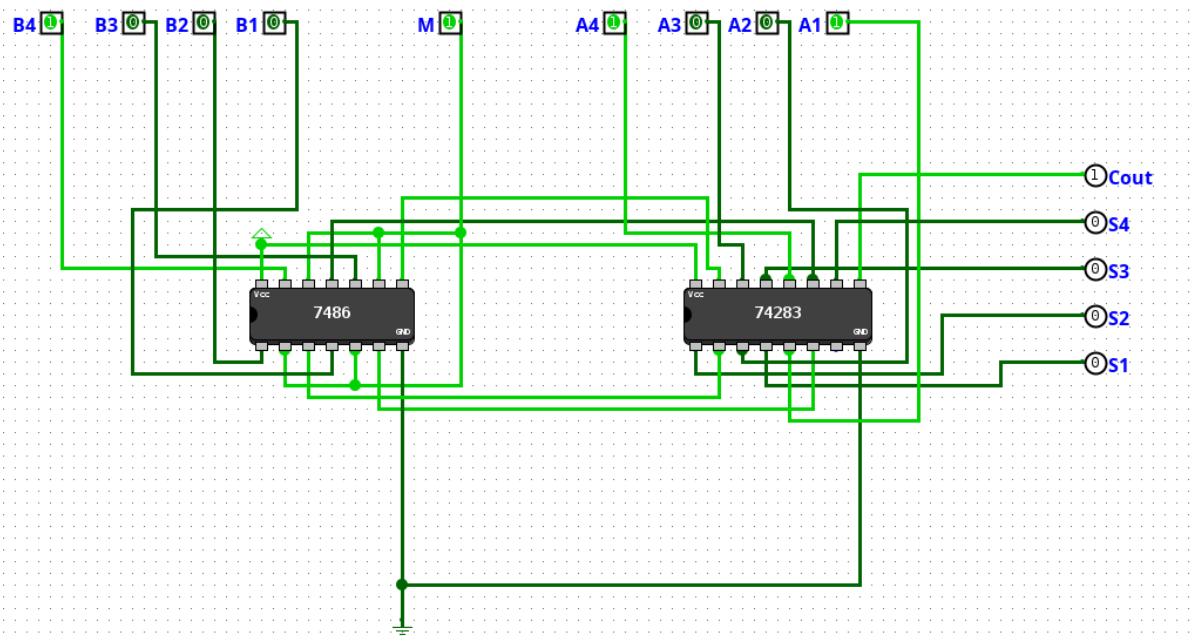
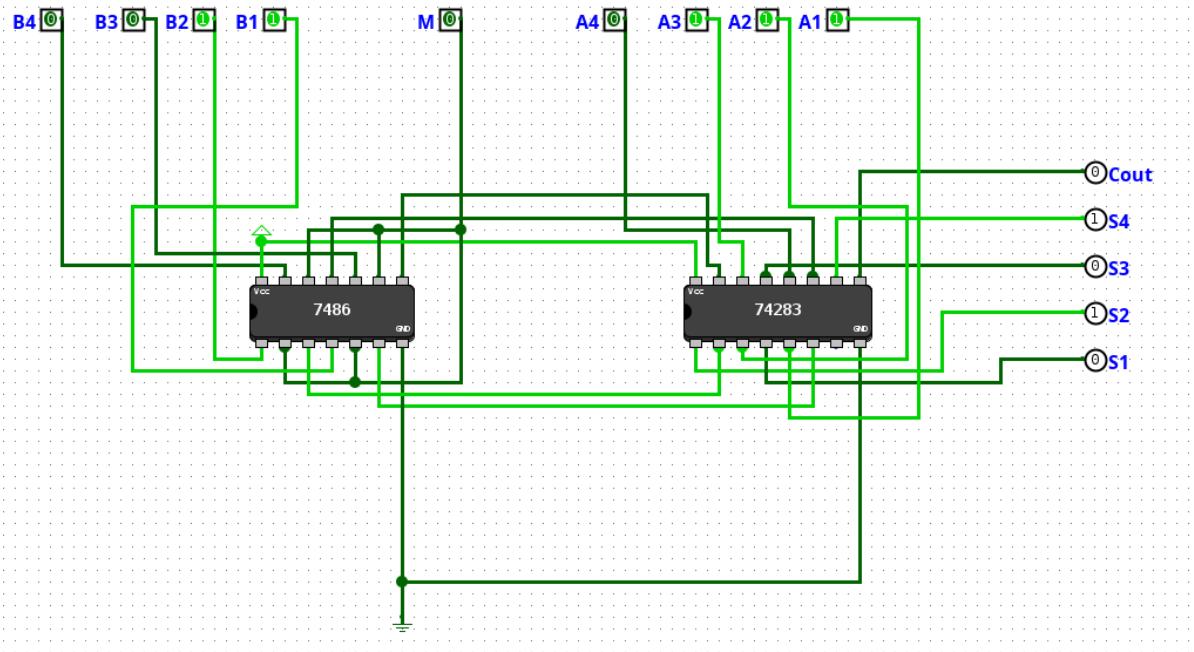


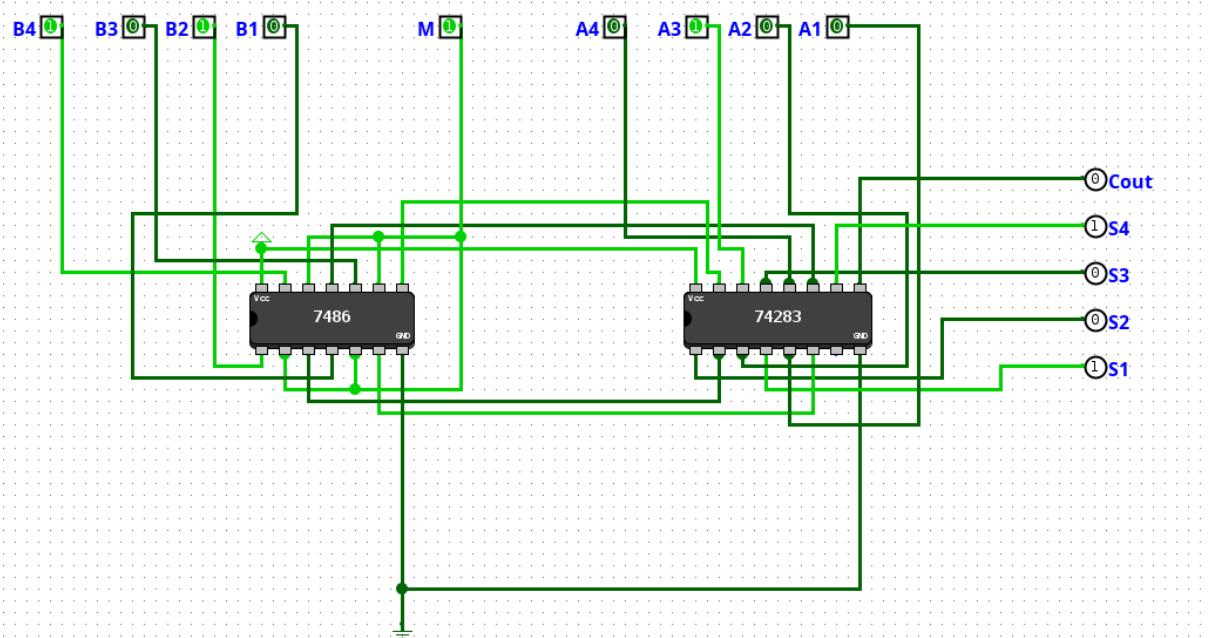
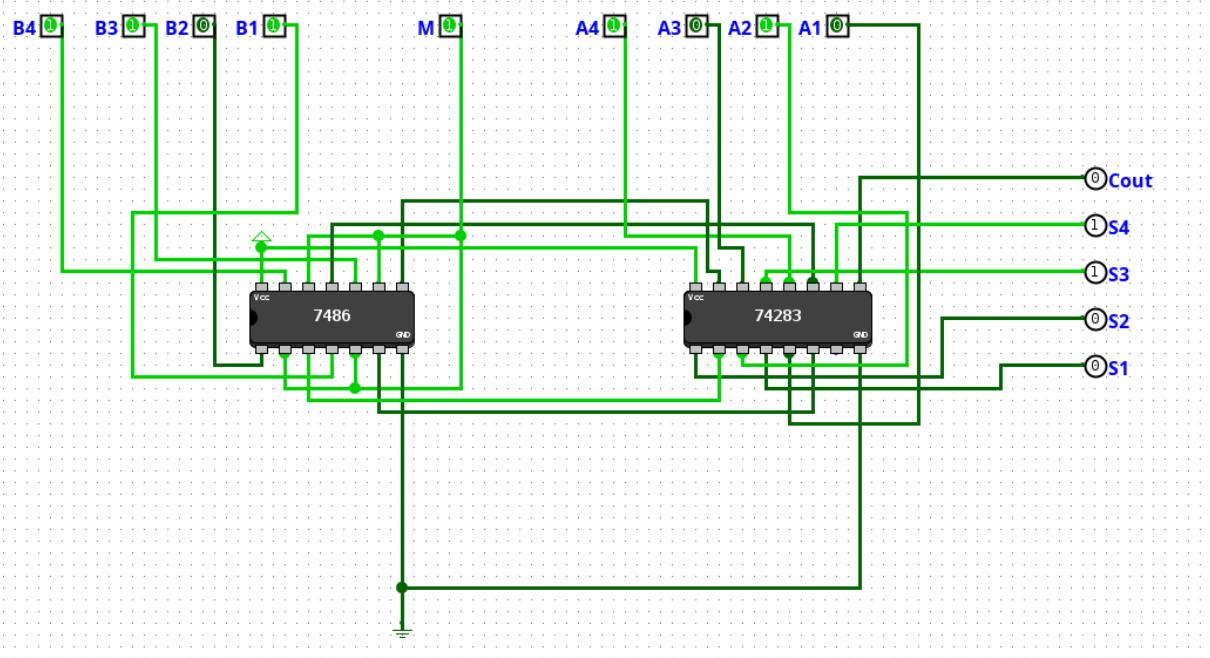
x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

4 BİTLİK TOPLAYICI - ÇIKARICI:

Lab süresi içerisinde yetiştiremediğimiz için bu devreyi logisim ile gerçekleyeceğiz.



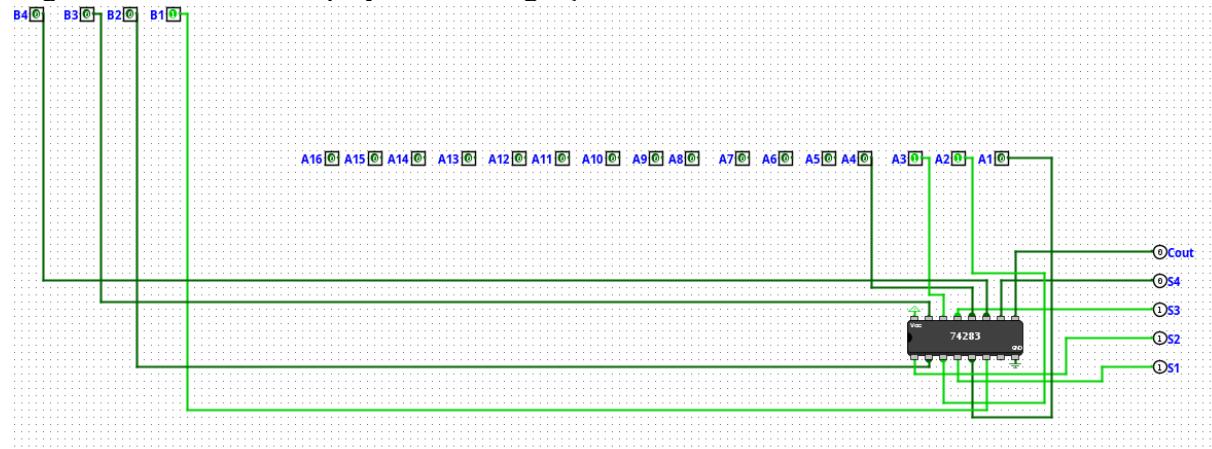




M	A1	A2	A3	A4	B1	B2	B3	B4	S1	S2	S3	S4	Cout
0	1	0	0	1	1	0	1	1	0	1	1	0	1
0	0	1	0	1	1	1	0	1	1	0	1	0	1
0	1	1	1	0	1	1	0	0	0	1	0	1	0
1	1	0	0	1	0	0	0	1	0	0	0	0	1
1	0	1	0	1	1	0	1	1	0	0	1	1	0
1	0	0	1	0	0	1	0	1	1	0	0	1	0

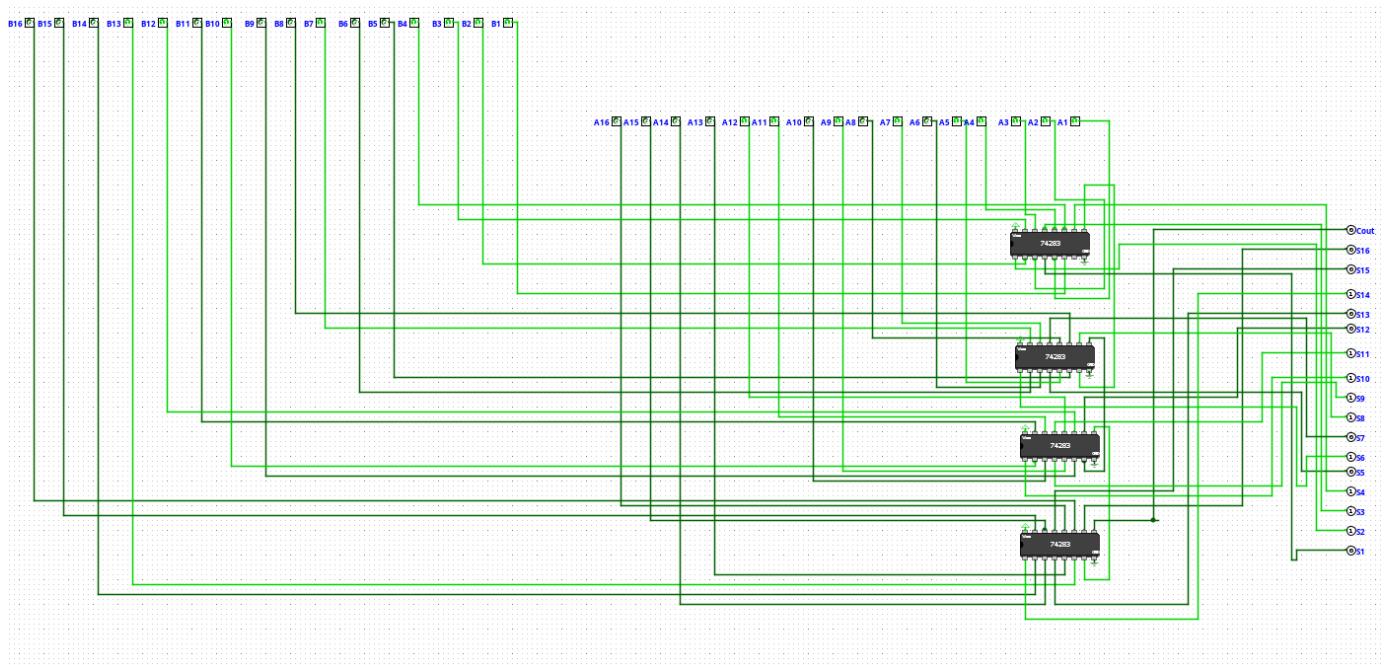
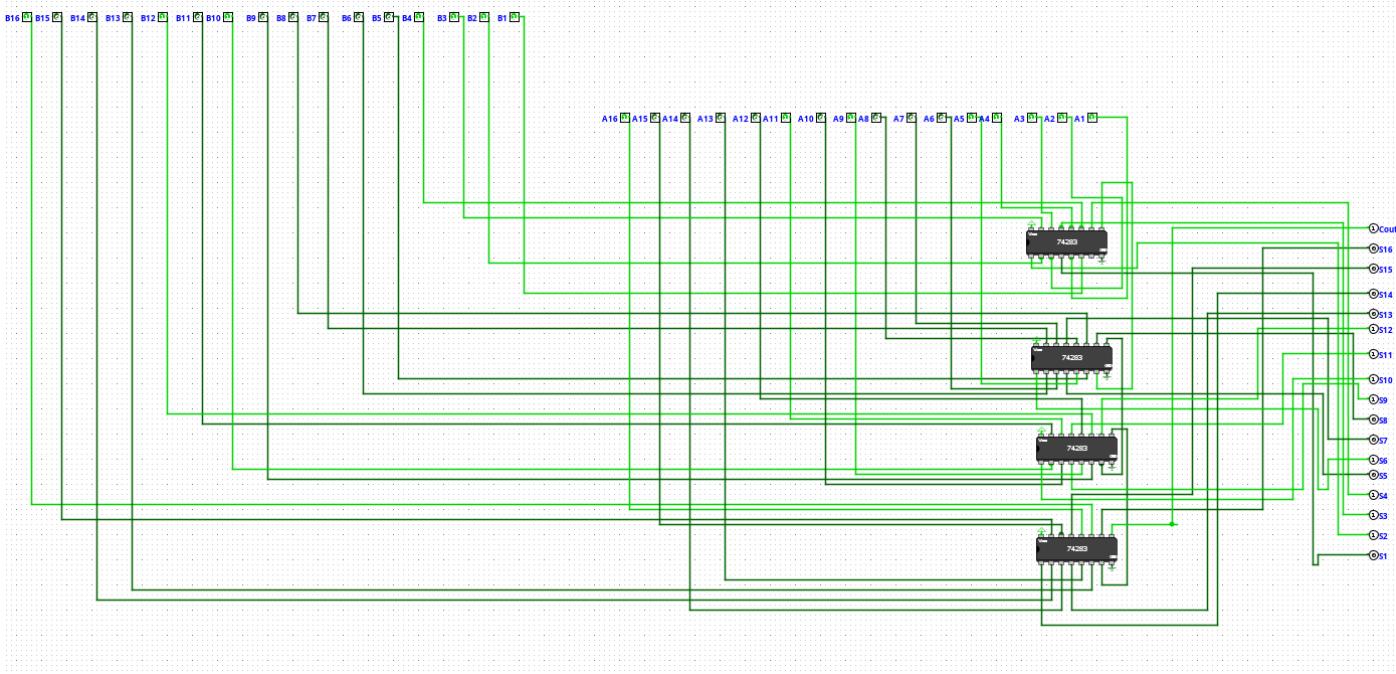
5. DENEY SONU SORULARI

Deney sonunda bizden 74xx83 veya 74xx283 devresini kullanarak 16 bitlik toplayıcı yapmamızı istemiş. Yapılması gereken tek şey 4 bitlik toplayıcının elde çıkışından gelen değeri sonraki 4 bitlik toplayıcının elde girişine vererek devam etmek:



Resimde görüldüğü üzere 4 bitlik toplayıcı devresi bulunmaktadır. Elde girişine kablo bağlanmamış ve elde çıkışı Cout olarak verilmiştir. 16 bit toplayıcı devreyi elde etmemiz için yapmamız gerek Cout çıkışını sonraki 4 bitlik toplayıcı devresinin elde girişine vermek ve son 4 bitlik toplayıcının çıkışını Cout olarak belirtmek.

Bu devreyi gerçekleştikten sonra aşağıdaki şekillerde görüldüğü gibi belirli örnekler oluşturduk:



6. SONUÇ VE YORUMLAR

- ① Tam toplayıcı devresi Yarı Toplayıcı devresinin genişletilmiş versiyonudur. Lab ortamında Yarı Toplayıcıyı yaptıktan sonra 2 adet entegre ekleyip Tam Toplayıcıya çevirebildik.
- ② 74xx283 entegresini kullanarak karmaşık toplama ve çıkarma işlemleri yapılabilir.