



中国科学技术大学
University of Science and Technology of China

模拟与数字电路实验 **课程介绍**

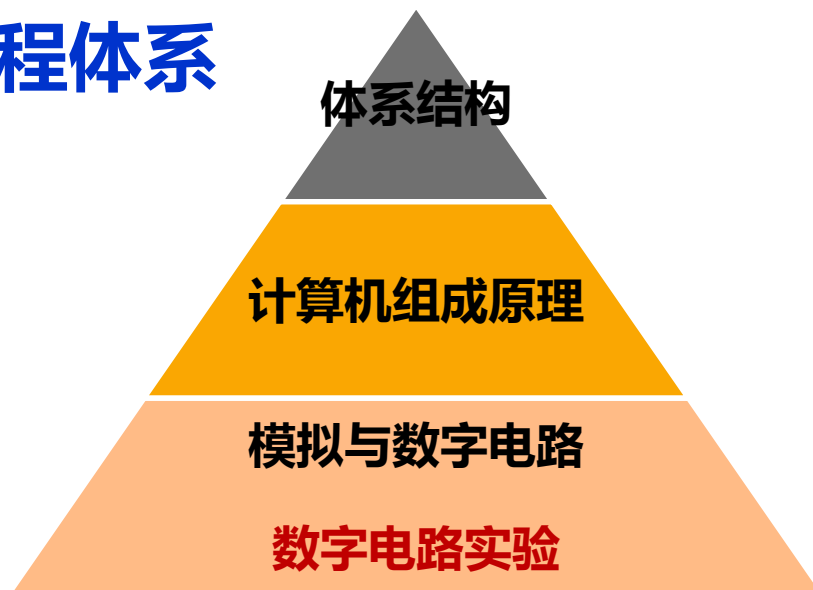
卢建良

计算机科学与技术学院

2020-10-16

课程介绍

- **数字电路实验**是面向计算机专业学生的一门专业基础课，课程以数字电路理论为基础，利用理论课中的原理性知识，由易到难、由浅入深逐步完成一系列功能电路的分析、验证、设计工作。本课程的系列实验涵盖了验证型、设计型、创新型等不同层次的实验内容
- 是计算机专业所有硬件类课程的基础
- 构建系统能力培养统一实验课程体系
 - **数字电路实验**：部件设计
 - **组成原理实验**：片上系统
 - **体系结构实验**：优化加速



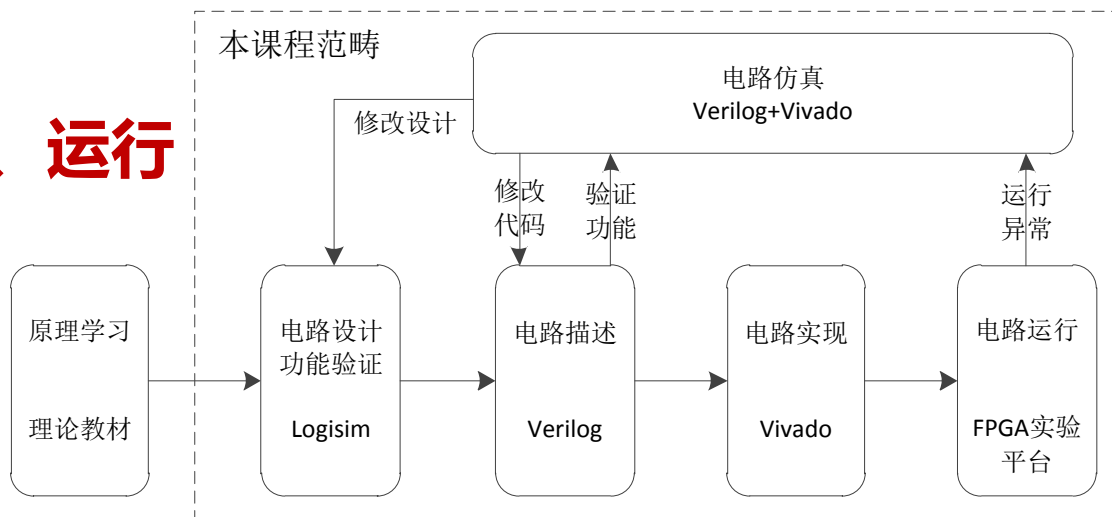
范畴及目标

■ 课程范畴

■ 设计、编码、仿真、运行

■ 课程目标

■ 理论、工具、语言



理论

• 理解、掌握并设计出理论课中讲到的各类功能电路

工具

• 熟练使用数字电路设计流程中相关的各种EDA工具

语言

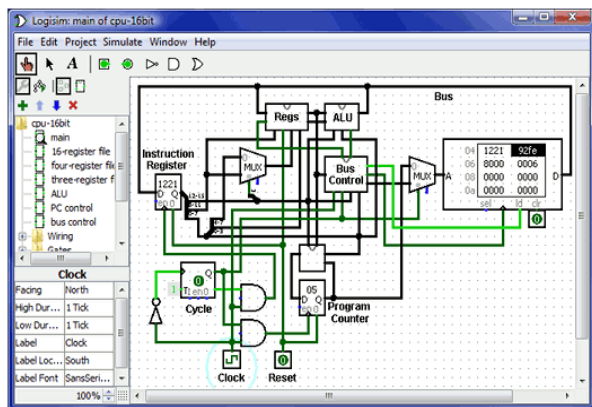
• 熟练掌握业界主流的硬件描述语言——Verilog HDL

实验流程

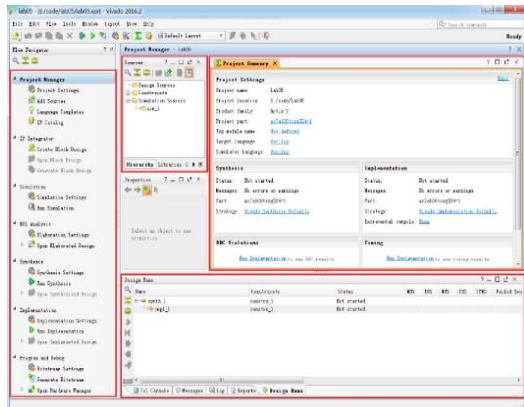
1. 电路分析

2. 编码综合

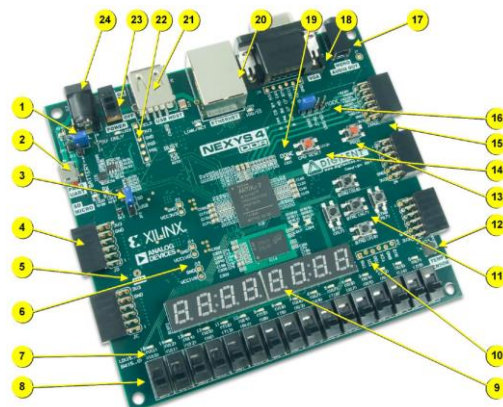
3. 运行调试



图形化电路仿真软件
——Logisim



集成式EDA开发软件
——Vivado



可编程硬件实验平台
——FPGA开发板

■ 面临不足

- 软件下载安装费时费力、系统兼容性差（20GB+）
- 缺乏快速的编码正确性检查、学习效率低下
- 硬件开发板易损坏，使用不便、管理成本高、使用效率低

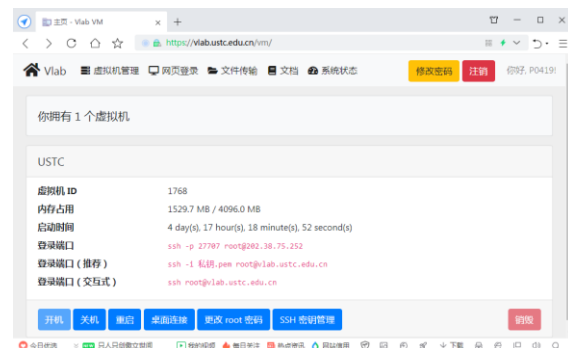
教学平台

■ Vlab : 远程虚拟云桌面系统

■ vlab.ustc.edu.cn

■ 7*24小时在线的统一实验环境

■ 预装实验相关的各种工具软件



■ Verilog OJ : Verilog在线测评系统

■ 自动化评测，提高Verilog学习效率

■ <https://hdlbits.01xz.net> (ref)

■ 202.38.75.113

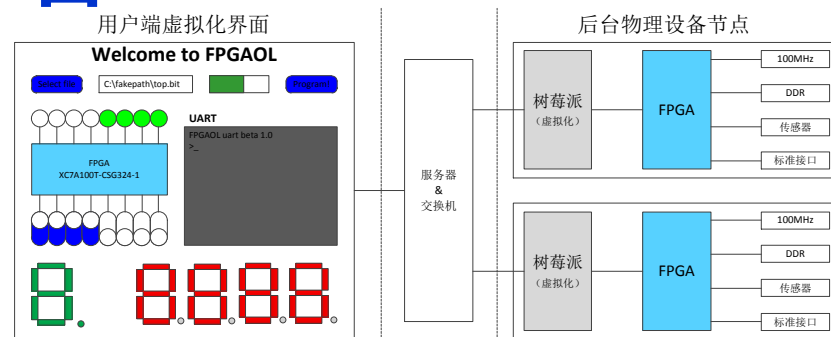
| ID | 题名 | 难度 | 通过 / 提交 | Tag | 总分 |
|----|-------------|------|---------|-----|----|
| 1 | 3-8 Decoder | Easy | 2 / 3 | 无 | 10 |
| 2 | 三个数的排序 | Easy | 0 / 0 | 无 | 30 |
| 3 | Output Zero | Easy | 1 / 1 | 无 | 10 |
| 4 | XNOR 门 | Easy | 2 / 2 | 无 | 10 |

■ FPGAOL : FPGA在线实验平台

■ fpgaol.ustc.edu.cn

■ 分时复用的在线实验平台

■ 用户通过浏览器访问设备节点



课程信息

■ 学时、学分

- 40学时，1个学分
- 10周，10个实验，每个实验两周时间

■ 考核方式

- 百分制
- 检查实验完成情况及实验报告
- 实验完成80%，实验报告20%
- 政策要求：85份以上占比不能超过35%
- 不及格率没有要求

■ 辅导方式

- 273个学生，分成10组，每个助教负责一组
- 过程化管理，重点关注迟交或不交实验的同学

课程信息

■ 课程QQ群

- 群号：1039193953
- 课程通知及实验内容将主要通过QQ群发布

■ 实验时间

- 教学周5~14周
- 周五下午2:00~5:00、周五晚上6:30~9:30（二选一）

■ 实验地点

- 电三楼406室，108个机位

实验安排

| 数字电路实验关键时间节点 | | | | |
|--------------|----------------------|----------------------|----------------------|----------------------|
| 时间 | 实验发布（23：59前） | 实验讲解（上课时间） | 检查截止（21:30前） | 报告提交截止（23:59前） |
| 第四周 (10. 09) | 实验01_Logisim入门 | | | |
| 第五周 (10. 16) | 实验02_简单组合逻辑电路 | 实验01_Logisim入门 | | |
| 第六周 (10. 23) | 实验03_简单时序逻辑电路 | 实验02_简单组合逻辑电路 | 实验01_Logisim入门 | |
| 第七周 (10. 30) | 实验04_Verilog硬件描述语言 | 实验03_简单时序逻辑电路 | 实验02_简单组合逻辑电路 | 实验01_Logisim入门 |
| 第八周 (11. 06) | 实验05_使用Vivado进行仿真 | 实验04_Verilog硬件描述语言 | 实验03_简单时序逻辑电路 | 实验02_简单组合逻辑电路 |
| 第九周 (11. 13) | 实验06_FPGA原理及Vivado综合 | 实验05_使用Vivado进行仿真 | 实验04_Verilog硬件描述语言 | 实验03_简单时序逻辑电路 |
| 第十周 (11. 20) | 实验07_FPGA实验平台及IP核 | 实验06_FPGA原理及Vivado综合 | 实验05_使用Vivado进行仿真 | 实验04_Verilog硬件描述语言 |
| 十一周 (11. 27) | 实验08_信号处理及有限状态机 | 实验07_FPGA实验平台及IP核 | 实验06_FPGA原理及Vivado综合 | 实验05_使用Vivado进行仿真 |
| 十二周 (12. 04) | 实验09_竞争冒险及流水线技术 | 实验08_信号处理及有限状态机 | 实验07_FPGA实验平台及IP核 | 实验06_FPGA原理及Vivado综合 |
| 十三周 (12. 11) | 实验10_综合实验 | 实验09_竞争冒险及流水线技术 | 实验08_信号处理及有限状态机 | 实验07_FPGA实验平台及IP核 |
| 十四周 (12. 18) | | 实验10_综合实验 | 实验09_竞争冒险及流水线技术 | 实验08_信号处理及有限状态机 |
| 十五周 (12. 25) | | | 实验10_综合实验 | 实验09_竞争冒险及流水线技术 |
| 十六周 (01. 01) | | | | 实验10_综合实验 |

教辅团队

| 姓名 | 身份 | 邮箱 | 办公室 |
|-----|----|-------------------------------|--------|
| 卢建良 | 教师 | lujl@ustc.edu.cn | 电三楼411 |
| 张俊霞 | 教师 | zjx@ustc.edu.cn | 电三楼409 |
| 樊彦恩 | 教师 | fye1985@ustc.edu.cn | 电三楼407 |
| 赵雅楠 | 教师 | yananzh@ustc.edu.cn | 电三楼407 |
| 徐亦舜 | 助教 | pb161314@mail.ustc.edu.cn | |
| 张灏文 | 助教 | zhanghaowen@mail.ustc.edu.cn | |
| 陶凯铖 | 助教 | tky0329@mail.ustc.edu.cn | |
| 郑龙韬 | 助教 | zlt0116@mail.ustc.edu.cn | |
| 黄致远 | 助教 | hzy_ustc@mail.ustc.edu.cn | |
| 明宇龙 | 助教 | myl.ustc@gmail.com | |
| 何旭 | 助教 | hexuustc@mail.ustc.edu.cn | |
| 李平赫 | 助教 | pingheli@mail.ustc.edu.cn | |
| 梁永濠 | 助教 | as1053903176@mail.ustc.edu.cn | |
| 赵鹏程 | 助教 | zhaopch@mail.ustc.edu.cn | |

学习建议

- 摆正心态，有所取舍，不要在综合实验中花费太多精力
- 提前准备，主动学习，不要卡着时间节点提交实验
- 认真学习，夯实基础，避免后续课程实验遇到更大的麻烦
- 不懂就问，拒绝矜持
- 重点==难点==学习目标
 - 语言：Verilog
 - 工具：Vivado
 - 平台：FPGA
 - 能力：电路设计

Q&A



中国科学技术大学
University of Science and Technology of China

实验01

Logisim入门

卢建良

计算机科学与技术学院

2020-10-16

实验目的

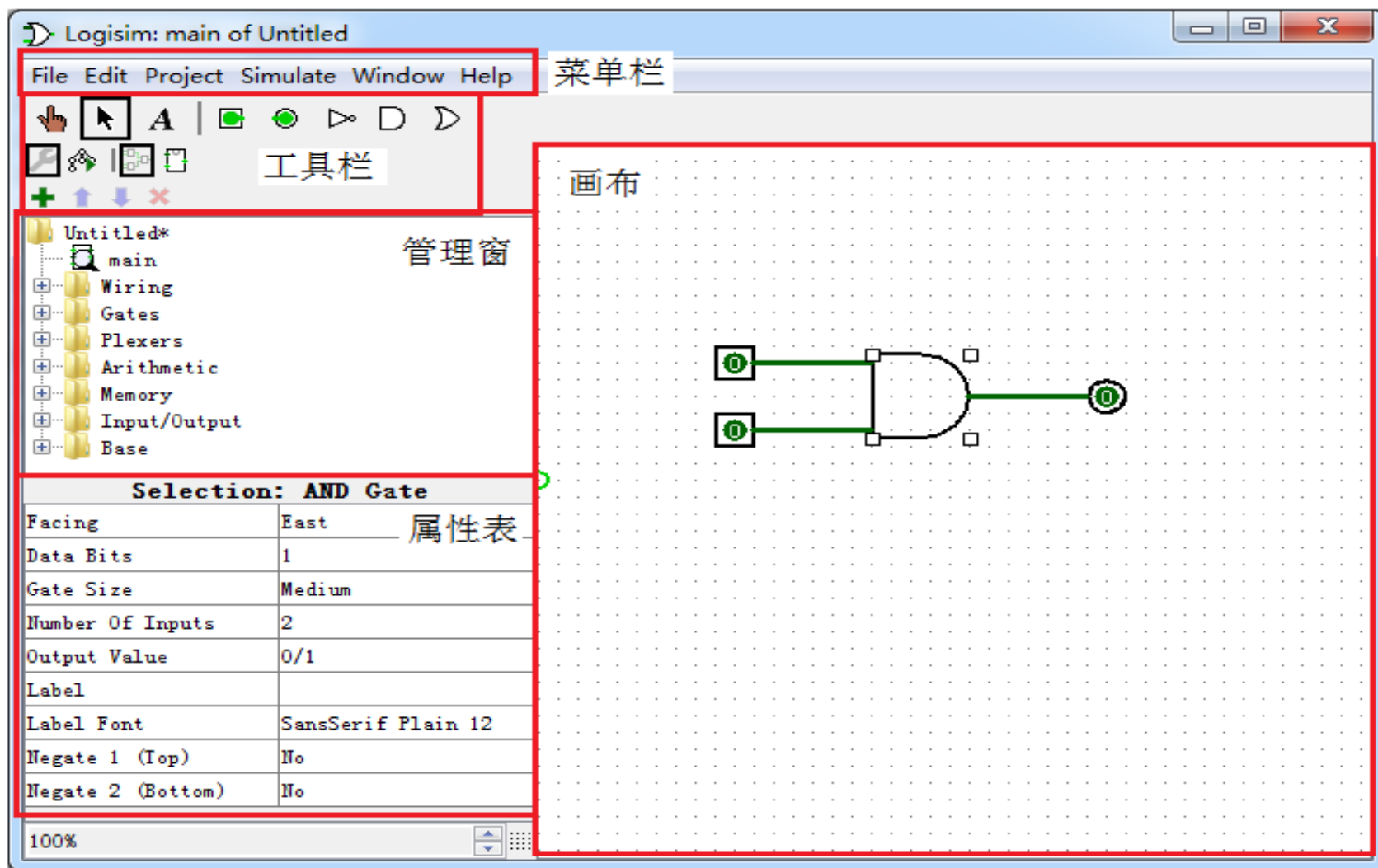
- 能够自行搭建Logisim实验环境
- 熟悉Logisim的各种基础器件和基本操作
- 能够使用Logisim搭建组合逻辑电路并进行仿真
- 能够使用封装子电路并进行电路设计

实验环境

- PC一台：能流畅的连接校园网
- 远程虚拟机：vlab.ustc.edu.cn
- Logisim仿真工具

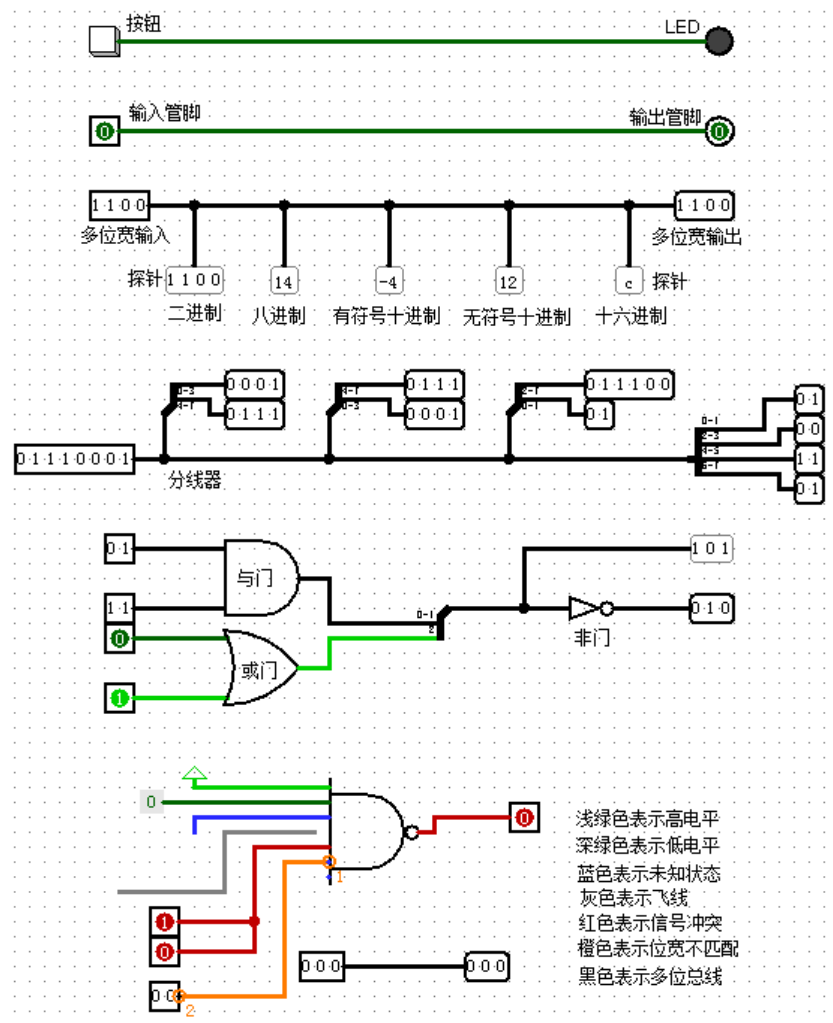
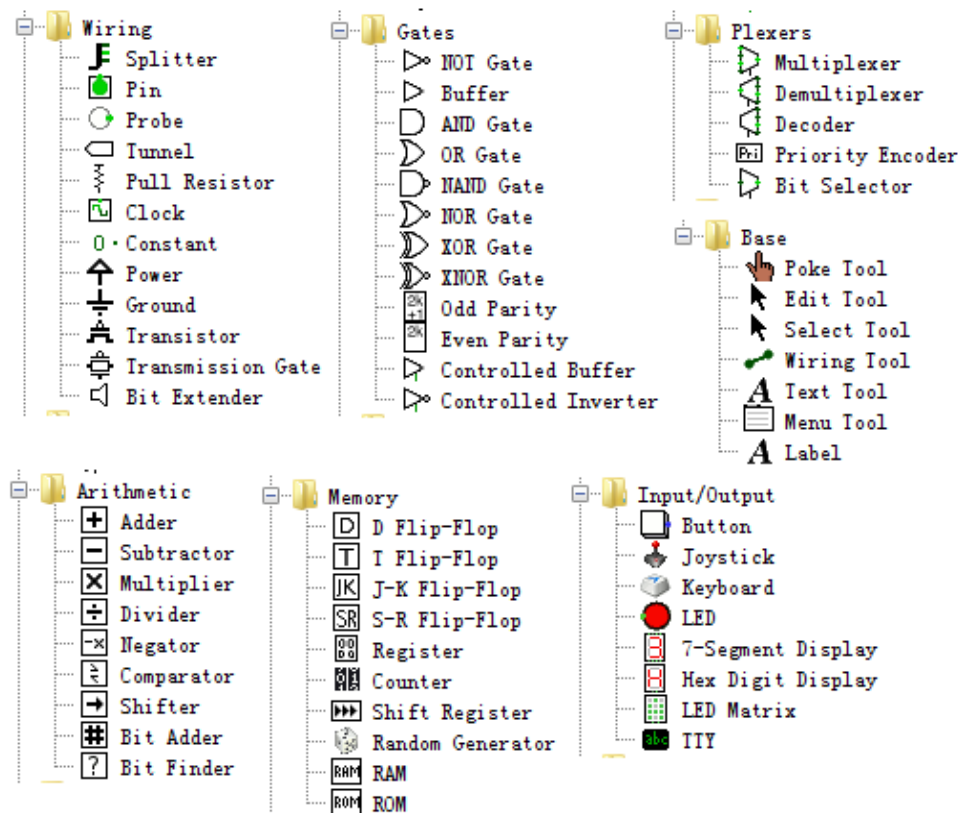
实验原理

■ Logisim主界面介绍



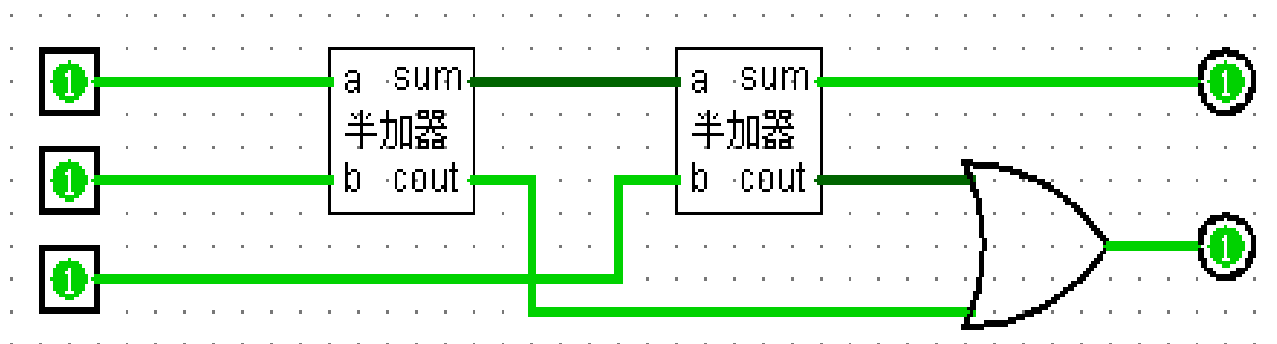
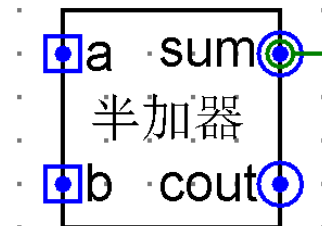
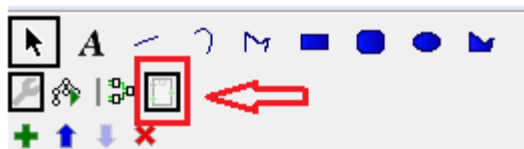
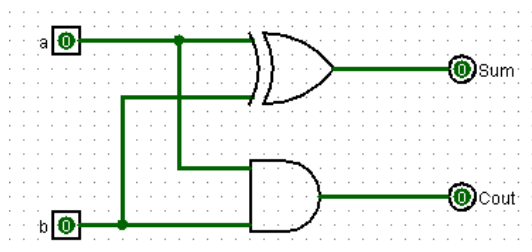
实验原理

Logisim基本操作



实验原理

■ 模块封装



实验内容

- 完成实验指导书中的所有题目，两周内提交
- 撰写实验报告，三周内提交
 - 实验报告中应体现实验过程中的关键环节和最终结果
 - 填写对于本次实验的总结与思考
 - 欢迎给出改进建议

谢谢！