

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：使用 Vivado 进行仿真

学生姓名：Ouedraogo Ezekiel B.

学生学号：PL19215001

完成日期：2020/11/19

计算机实验教学中心制

2020 年 10 月

【实验题目】

使用 Vivado 进行仿真

【实验目的】

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

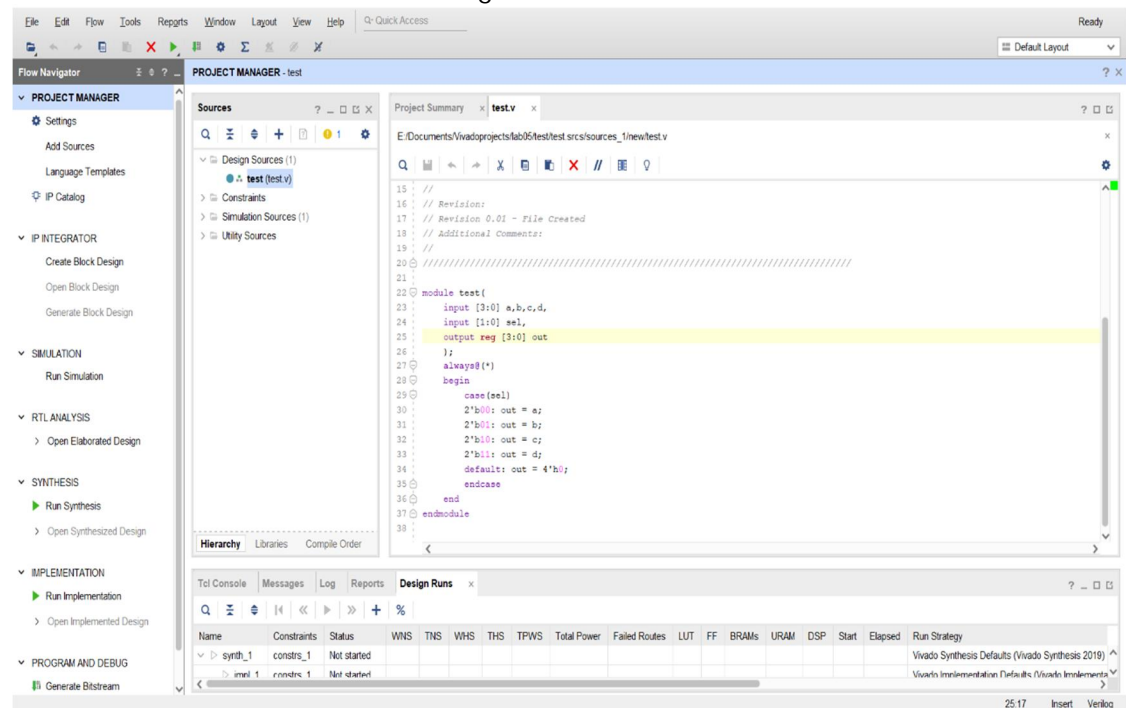
PC 一台

vlab.ustc.edu.cn

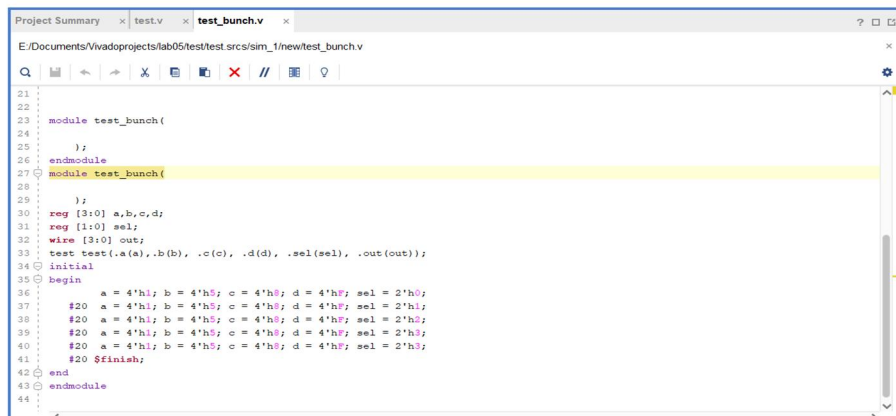
Vivado 工具

【实验过程】

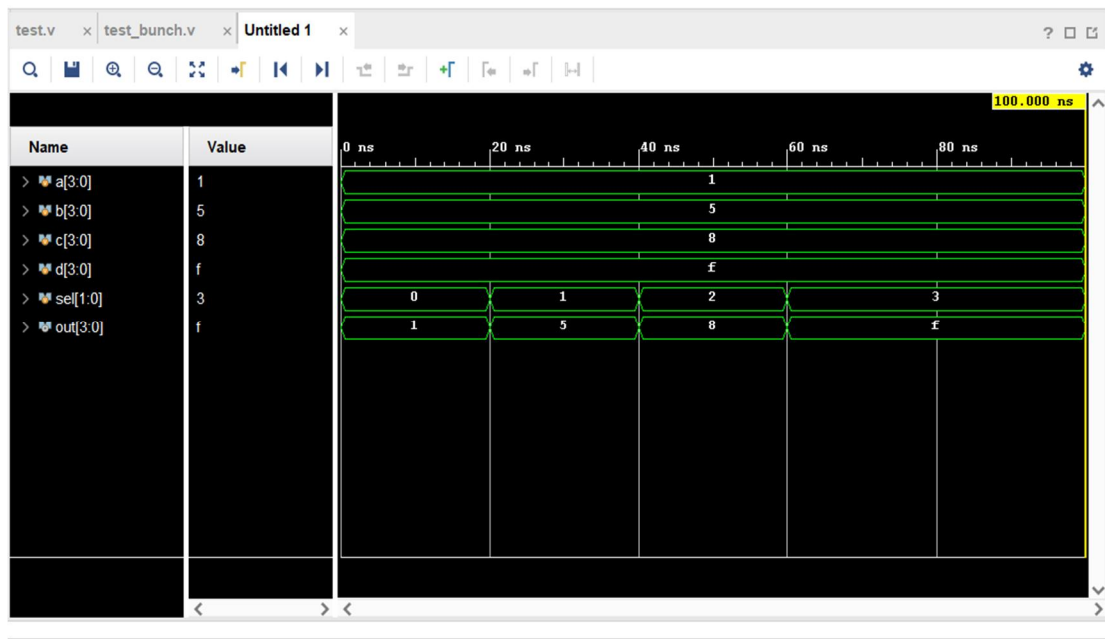
建立 Vivado 工程并添加 Verilog 设计文件



添加仿真文件



波形仿真



Verilog 仿真文件常用语法

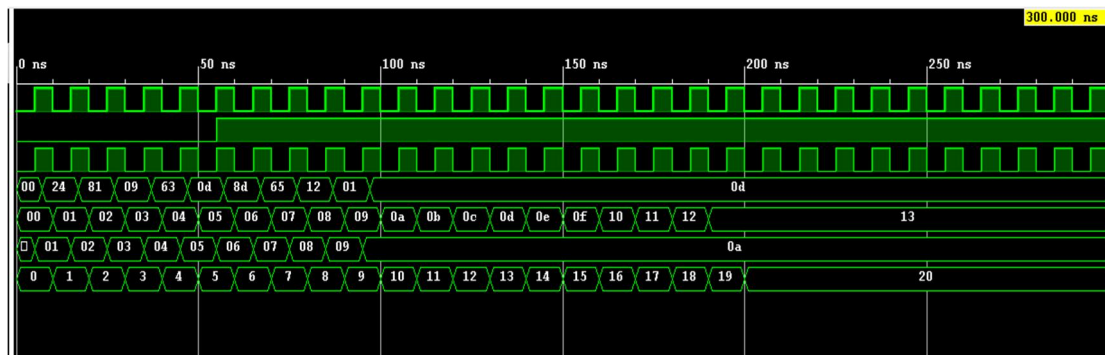
```
module test_2_bunch();
    reg clk,rst_n,clk_a;
    reg [7:0] r1,r2,r3;
    integer i;
    initial clk = 0;
    always #5 clk = ~clk;

    initial
    begin
        rst_n = 0;
        #55 rst_n = 1;
        #245 $stop;
    end
    initial
    begin
        clk_a = 0;
        forever #5 clk_a = ~clk_a;
    end
    initial
    begin
        r1 = 0;
        repeat(10)
        begin
            @(posedge clk);
            #2 r1 = $random%256;
        end
    end
end
```

```

end
initial
begin
for(i=0;i<20;i=i+1)
begin
r2 = i;#10;
end
end
initial
begin
r3=0;
while(r3<10)
begin
@(posedge clk);
r3 = r3 +1;
end
end
endmodule

```



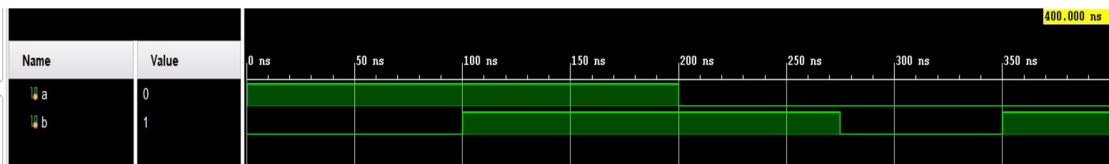
【实验练习】

1. Verilog 仿真文件

```

module test_bunch_051( );
reg a,b;
initial
begin
a = 1;
b = 0;
#100 b=1;
#100 a=0;
#75 b=0;
#75 b=1;
#50 $finish;
end
endmodule

```

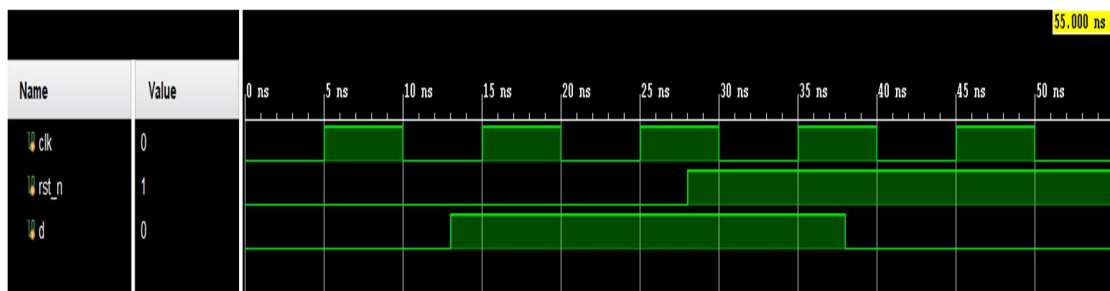


2. Verilog 仿真文件

```

module test_bunch_052( );
reg clk,rst_n,d;
initial clk = 0;
always #5 clk = ~clk;
initial
begin
    rst_n = 0;
    d=0;
    #13 d=1;
    #15 rst_n=1;
    #10 d=0;
    #17 $finish;
end
endmodule

```



3. 利用题目 2 中的信号作为以下代码的输入，在 Vivado 中对其仿真，并观察仿真波形

```

module d_ff_r(
input clk,rst_n,d,
output reg q);
always@(posedge clk)
begin
    if(rst_n==0) q <= 1'b0;
    else        q <= d;
end
endmodule

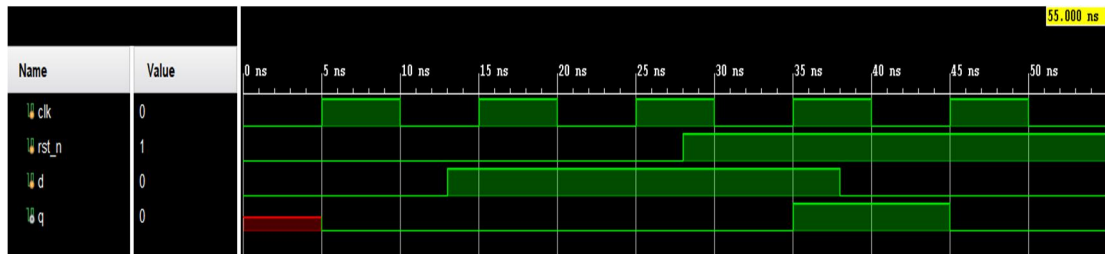
//test bunch
module d_ff_r_test_bunch( );
reg clk,rst_n,d;

```

```

wire q;
d_ff_r d_ff_r(.clk(clk),.rst_n(rst_n),.d(d),.q(q));
initial clk = 0;
always #5 clk = ~clk;
initial
begin
    rst_n = 0;
    d = 0;
    #13 d = 1;
    #15 rst_n = 1;
    #10 d = 0;
    #17 $finish;
end
endmodule

```



4. 设计一个 3-8 译码器

```

module decoder3(
    input [2:0] in,
    output reg [7:0] out
);
always@(in)
begin
    out = 8'h0;
    case(in)
        3'b000: out[0]=1'b1;
        3'b001: out[1]=1'b1;
        3'b010: out[2]=1'b1;
        3'b011: out[3]=1'b1;
        3'b100: out[4]=1'b1;
        3'b101: out[5]=1'b1;
        3'b110: out[6]=1'b1;
        3'b111: out[7]=1'b1;
    endcase
end;
endmodule

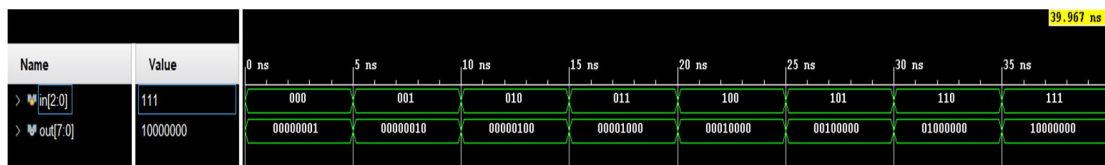
//test bunch

```

```

module decoder3_test_bunch( );
reg [2:0] in;
wire [7:0] out;
decoder3 decod(.in(in),.out(out));
initial
begin
    in = 3'h0;
    #5 in = 3'h1;
    #5 in = 3'h2;
    #5 in = 3'h3;
    #5 in = 3'h4;
    #5 in = 3'h5;
    #5 in = 3'h6;
    #5 in = 3'h7;
    #5 $finish;
end
endmodule

```



【总结与思考】

通过本次实验熟悉了 Vivado 软件的下载、安装及使用，学会了如何使用 Verilog 编写仿真文件及进行仿真和查看并分析波形文件。