**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：简单组合逻辑电路

学生姓名：Ouedraogo Ezekiel B.

学生学号：PL19215001

完成日期：2020/11/03

计算机实验教学中心制

2020年10月

【实验题目】

简单组合逻辑电路

【实验目的】

熟练掌握 Logisim 的基本用法

进一步熟悉 Logisim 更多功能

用 Logisim 设计组合逻辑电路并进行仿真

初步学习 Verilog 语法

【实验环境】

PC 一台：Windows 操作系统

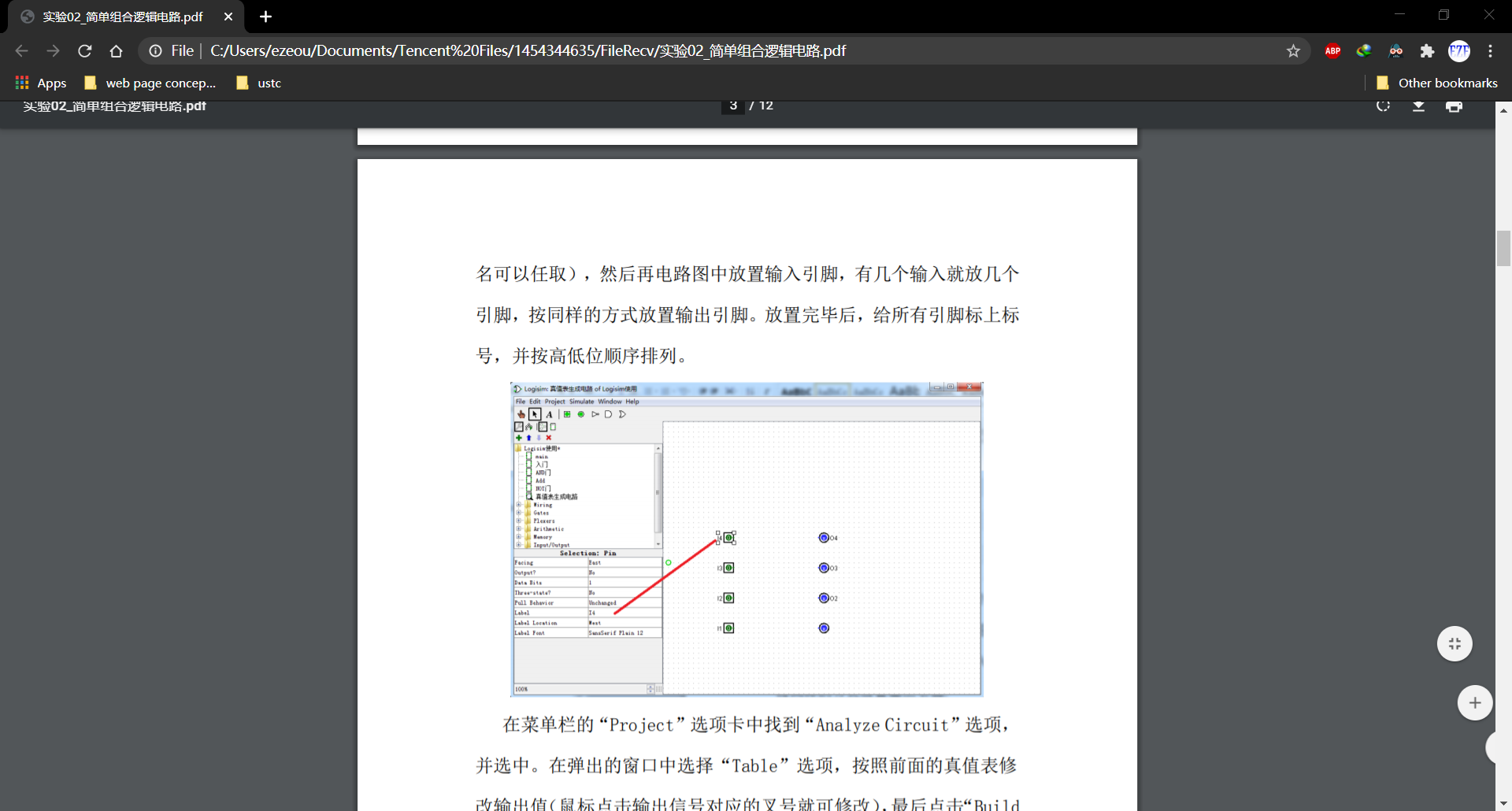
Logisim 仿真工具。

Notepad++ 文本编辑器

【实验过程】

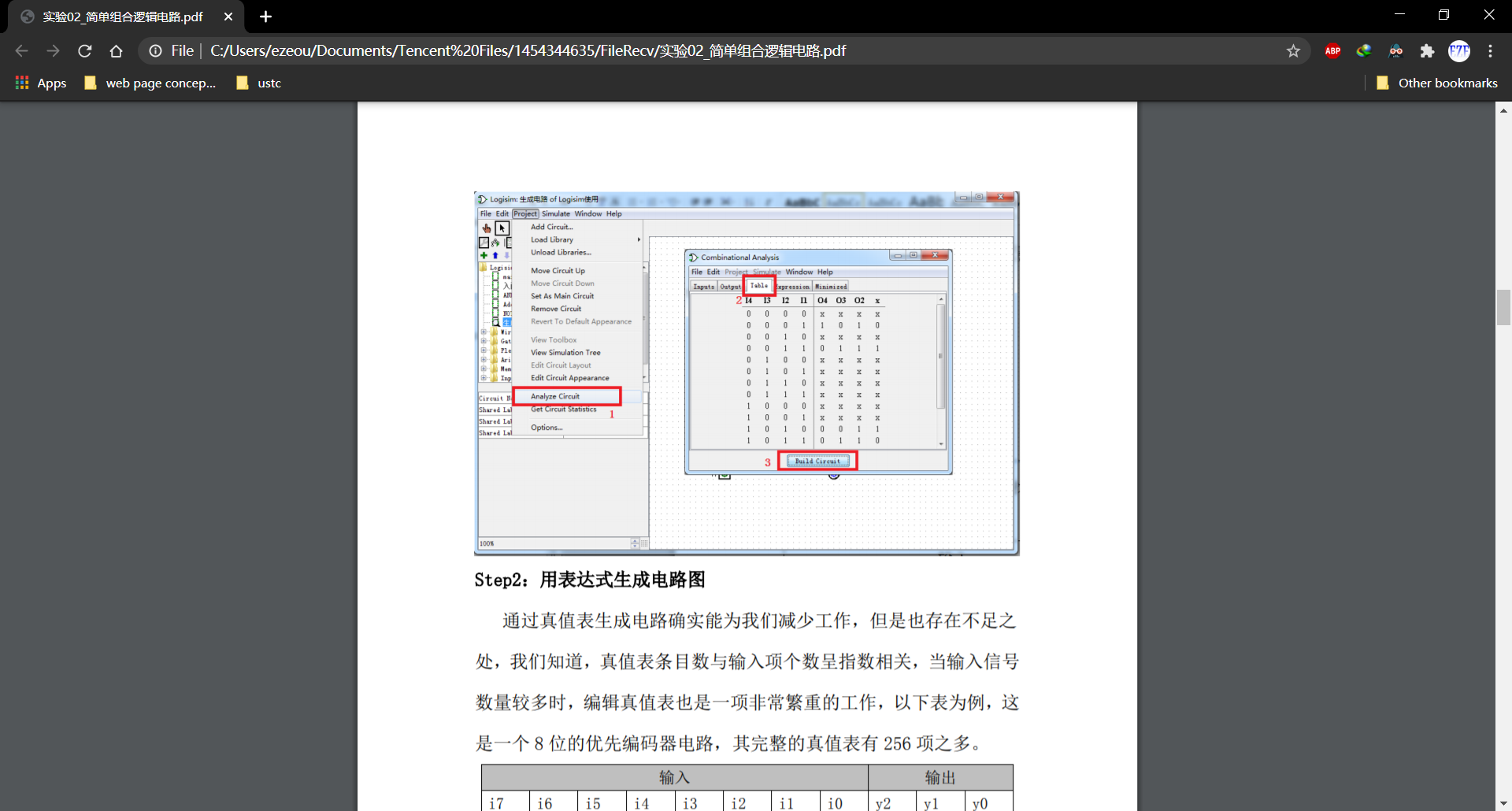
1. 用真值表自动生成电路

首先在电路图中放置输入引脚，按同样的方式放置输出引脚。放置完毕后，给所有引脚标上标 号，并按高低位顺序排列。



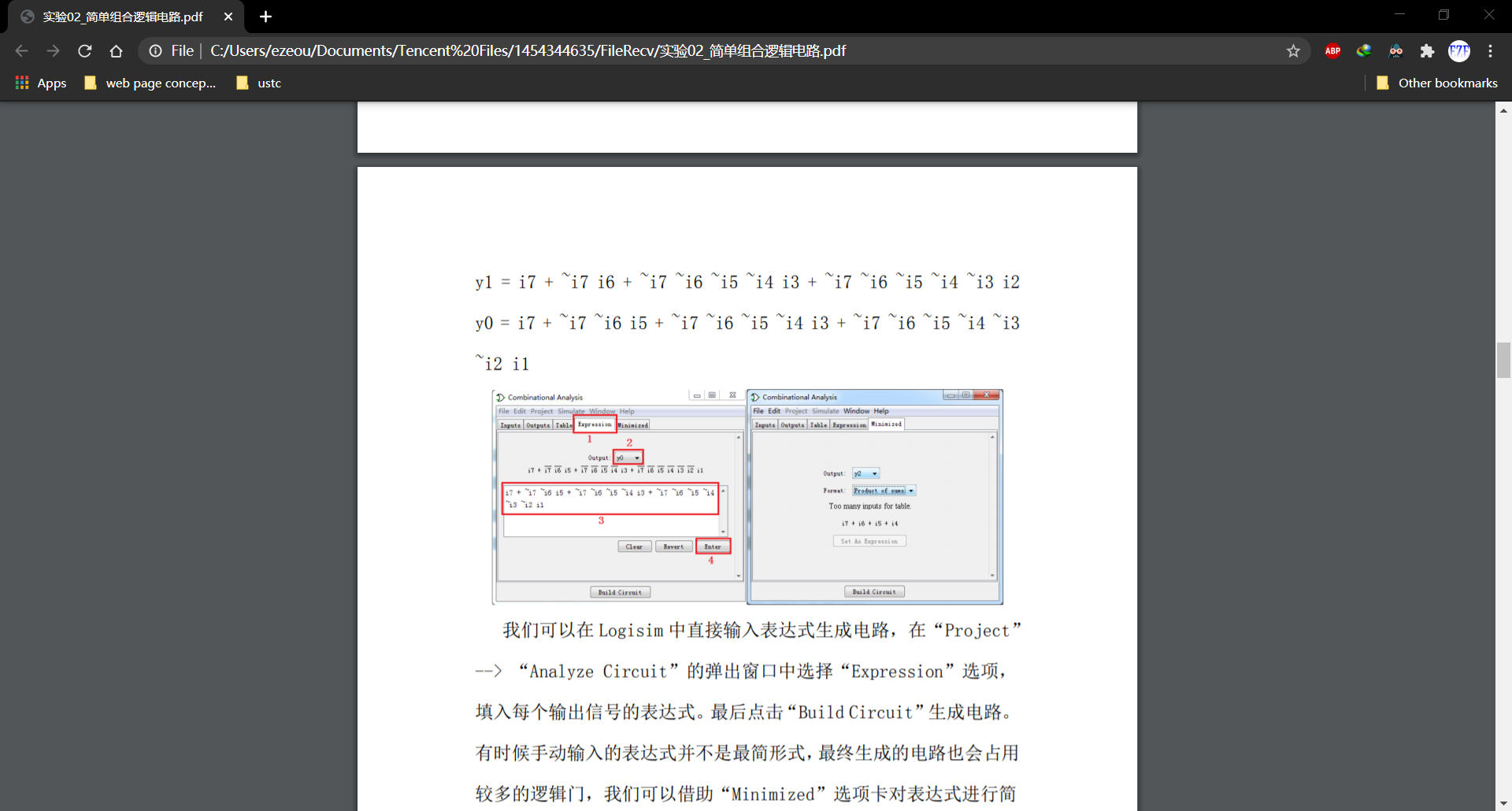
然后在菜单栏的“Project”选项卡中选“Analyze Circuit”。在弹出的窗口中选择“Table”选项，修改输出值，

最后点击“Build Circuit”便可生成电路。



1. 用表达式生成电路图

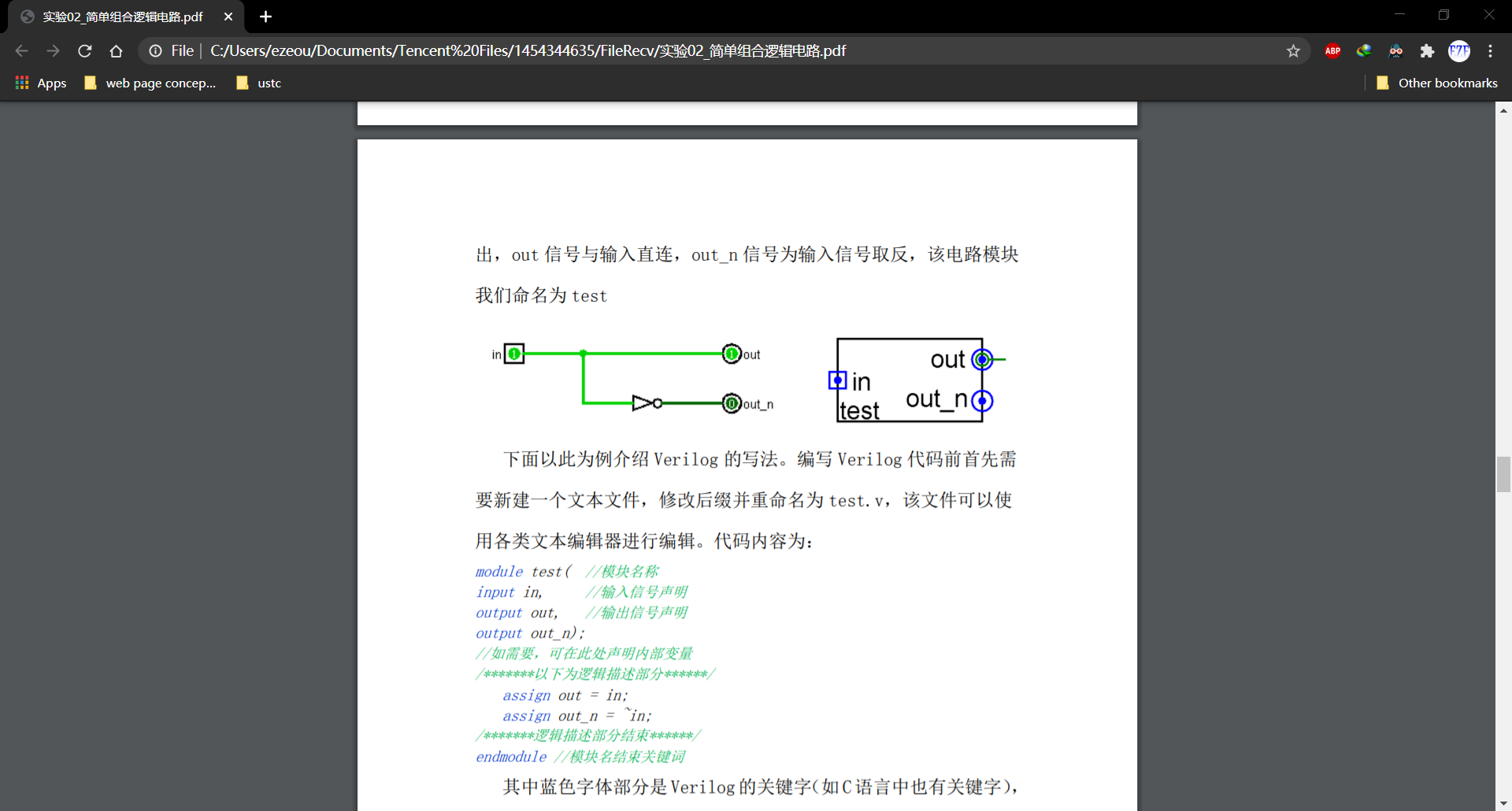
在 Logisim 中直接输入表达式生成电路，在“Project” --> “Analyze Circuit”的弹出窗口中选择“Expression”选项， 填入每个输出信号的表达式，再借助“Minimized”选项卡对表达式进行简 化，进而减少电路使用的逻辑门数量。最后点击“Build Circuit”生成电路。



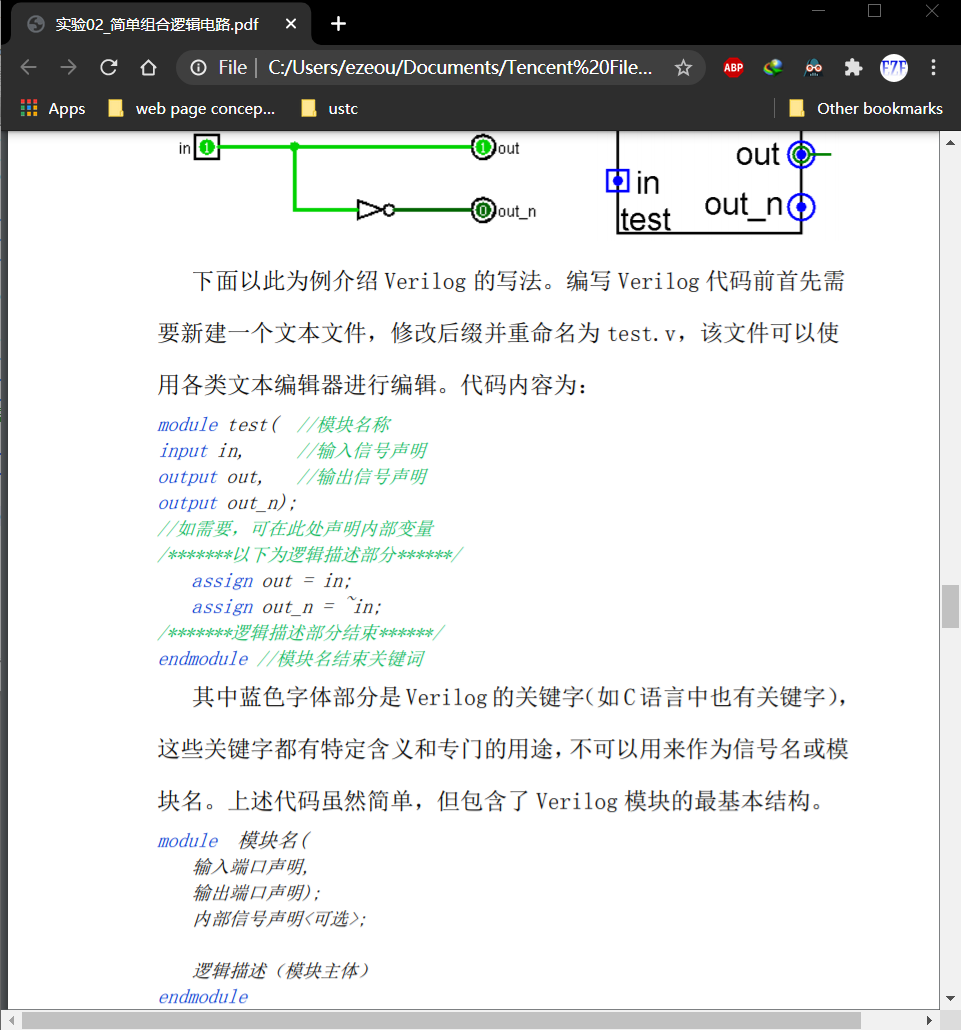
1. Verilog HDL 语法入门

通过对照 Logisim 中设计的简单电路学习 Verilog 语 法。

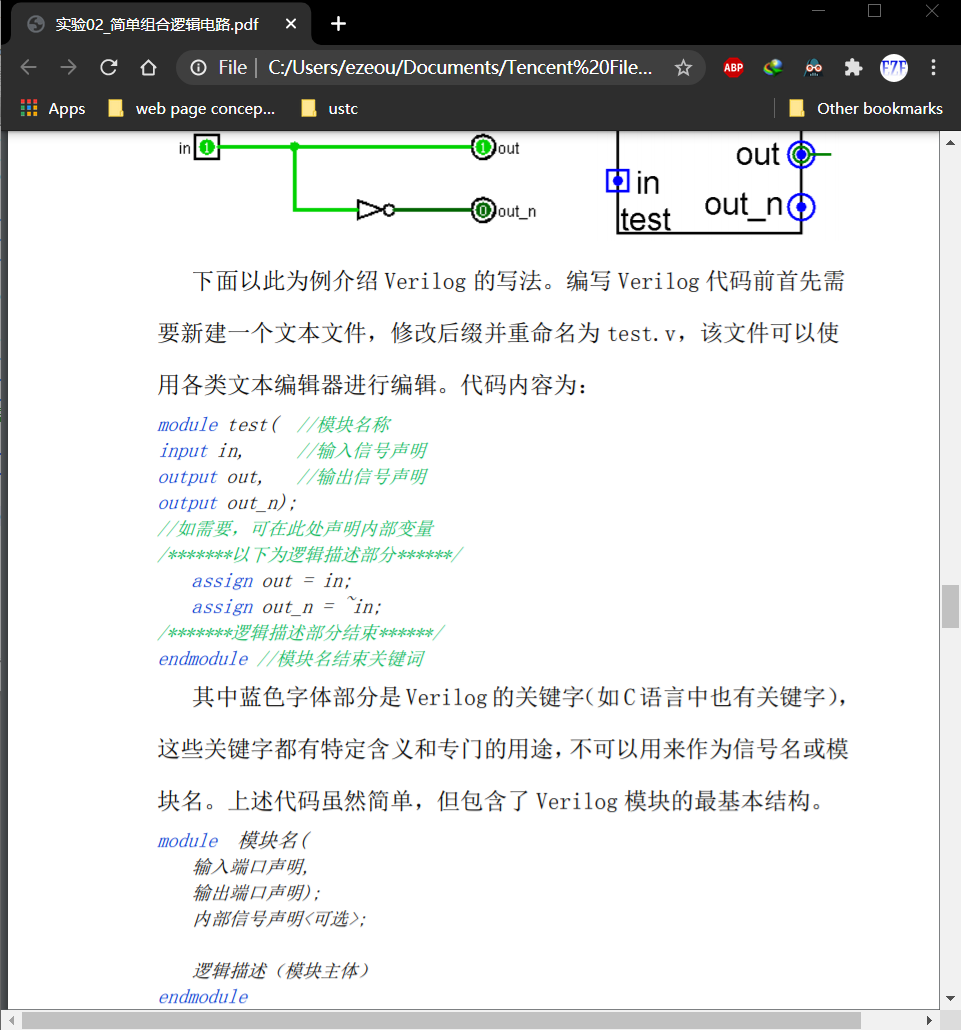
1. test 模块



下面以此为例介绍 Verilog 的写法。编写 Verilog 代码前首先新建一个文本文件，修改后缀并重命名为 test.v，使用Notepad++文本编辑器进行编辑。代码内容为：



Verilog 模块的最基本结构。

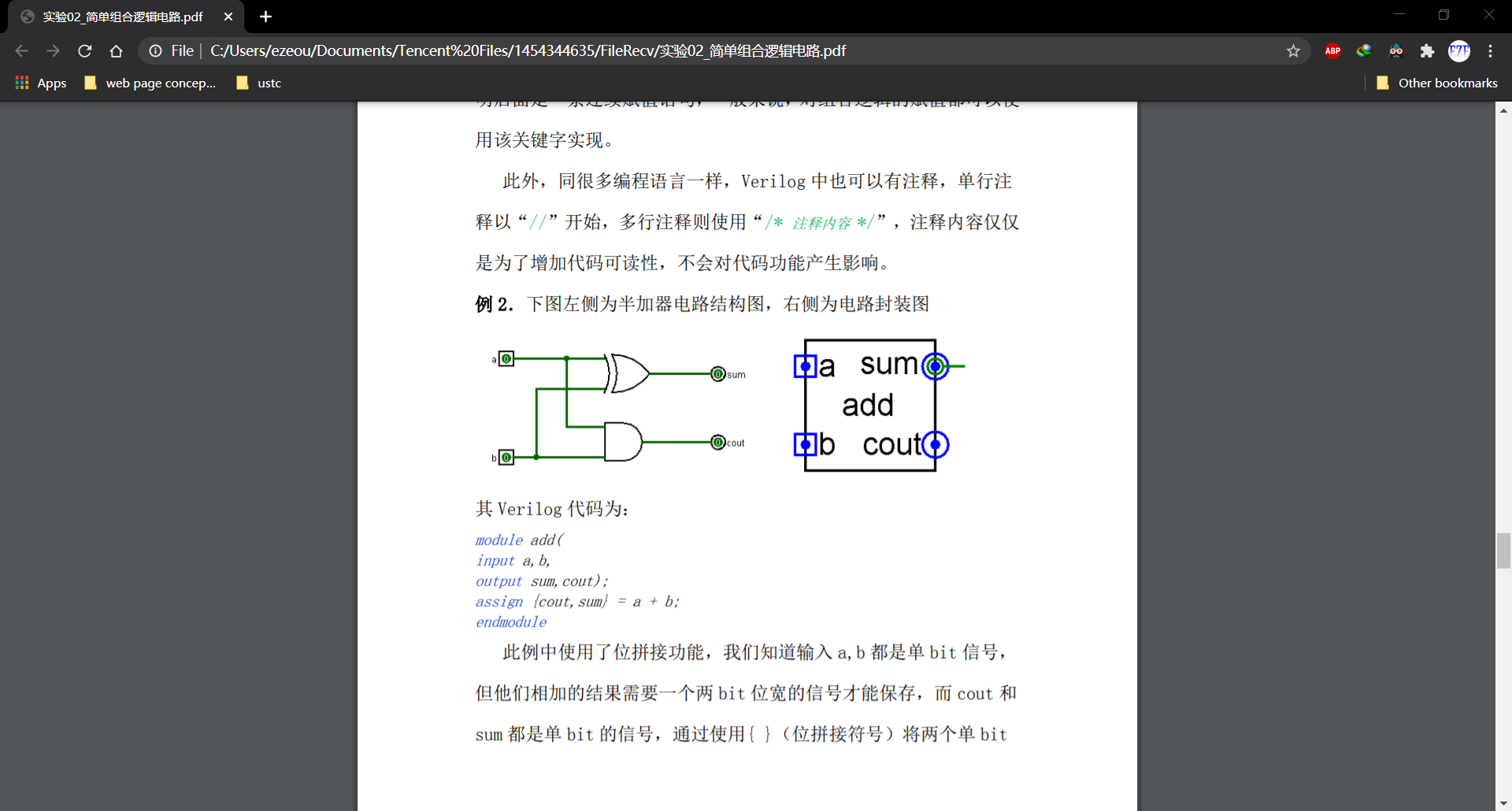


上述代码包含了每个模块都是以关键字 module 开头，以 endmodule 结束。module 后面是模块名，括号内是输入输出信号的声明。

代码中也用到了一个非 常重要的关键字“assign”，该关键字放在逻辑表达式之前，用于表 明后面是一条连续赋值语句。

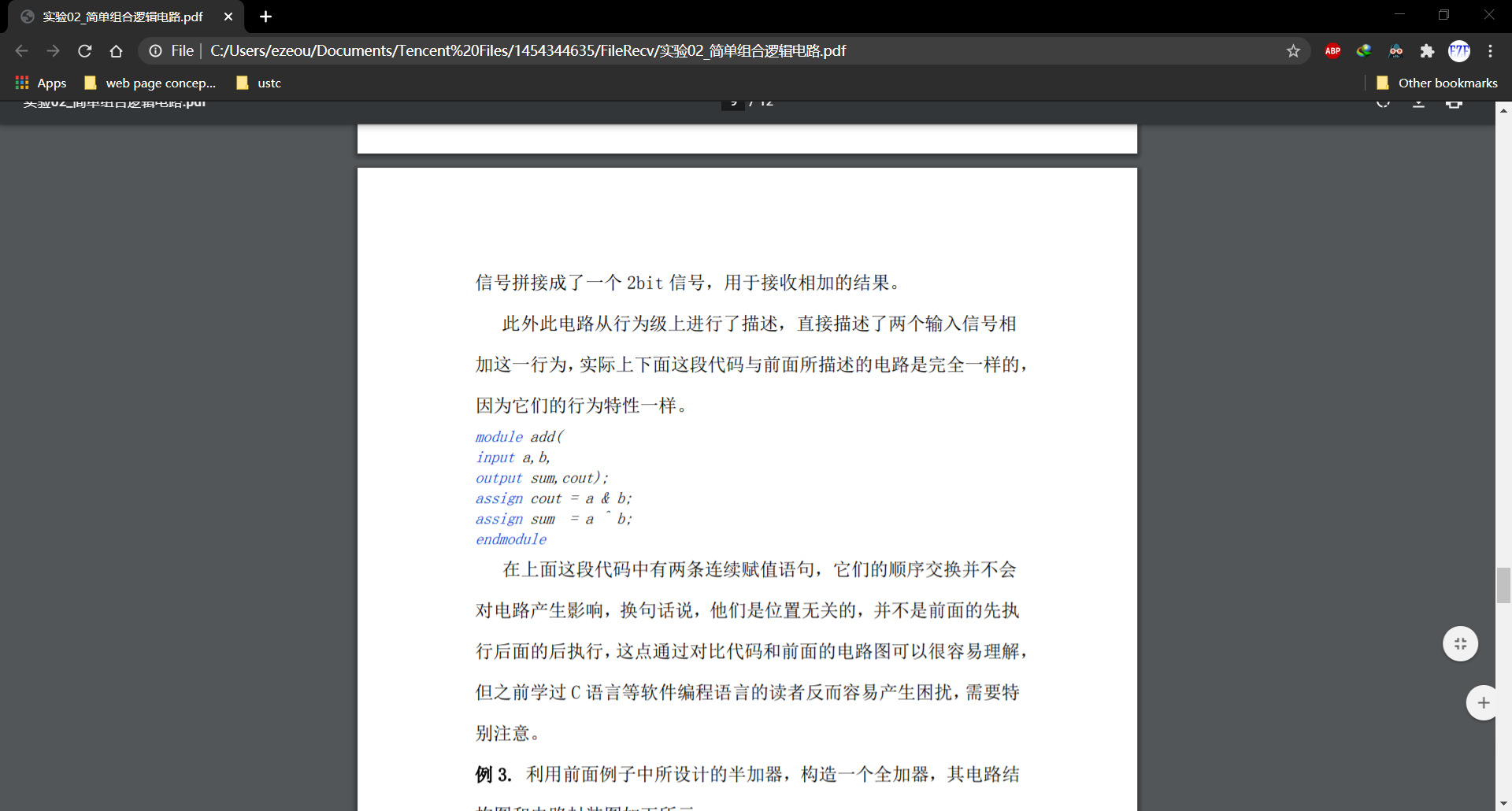
单行注 释以“//”开始，多行注释则使用“/\* 注释内容 \*/”。

1. 半加器



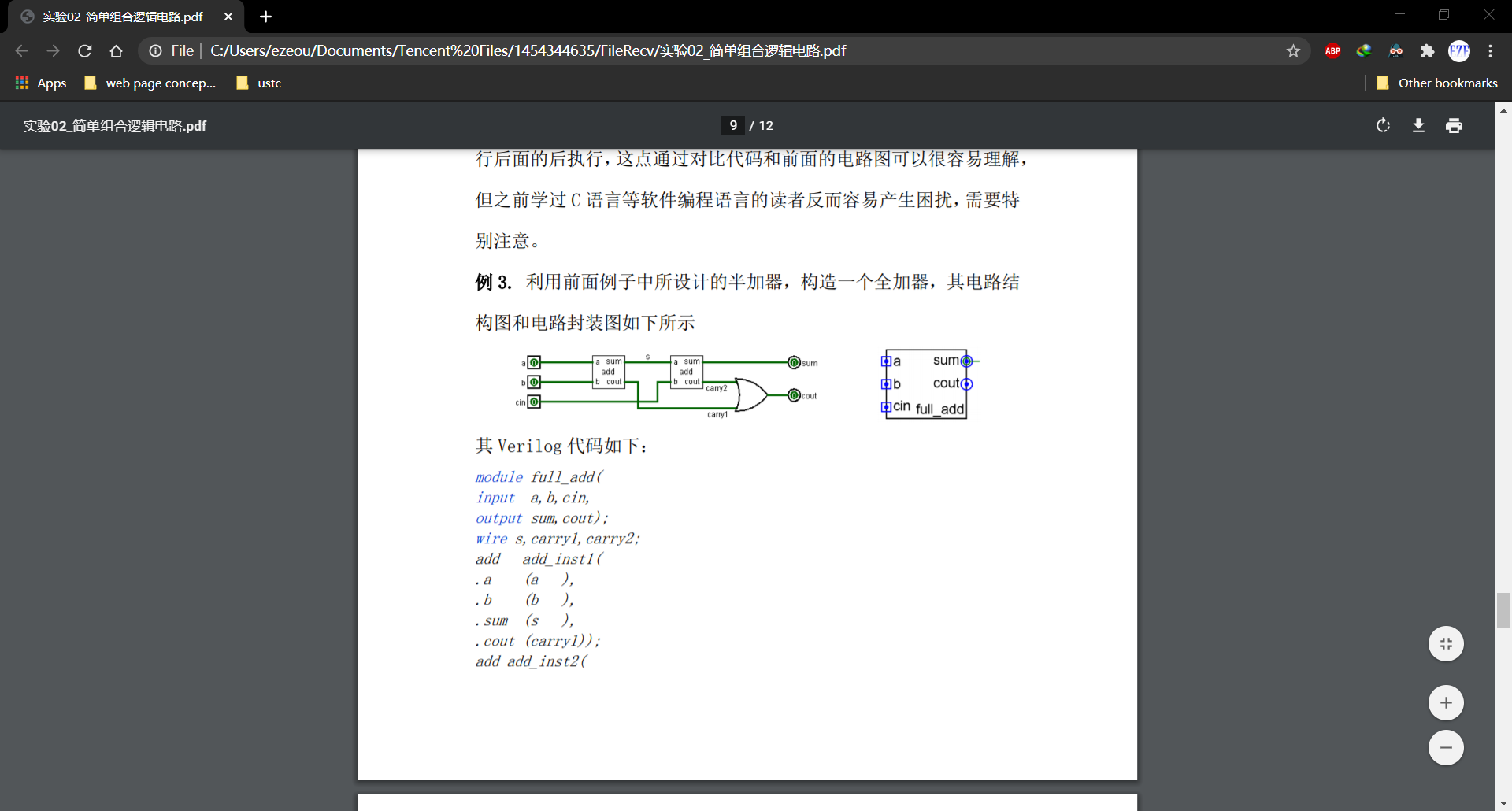
代码中因为输入 a, b 都是单 bit 信号， 但他们相加的结果需要一个两 bit 位宽的信号才能保存，而 cout 和 sum 都是单 bit 的信号，通过使用{ }（位拼接符号）将两个单 bit 信号拼接成了一个 2bit 信号，用于接收相加的结果。

此外此电路从行为级上进行了描述，直接描述了两个输入信号相 加这一行为，实际上下面这段代码与前面所描述的电路是完全一样的， 因为它们的行为特性一样。

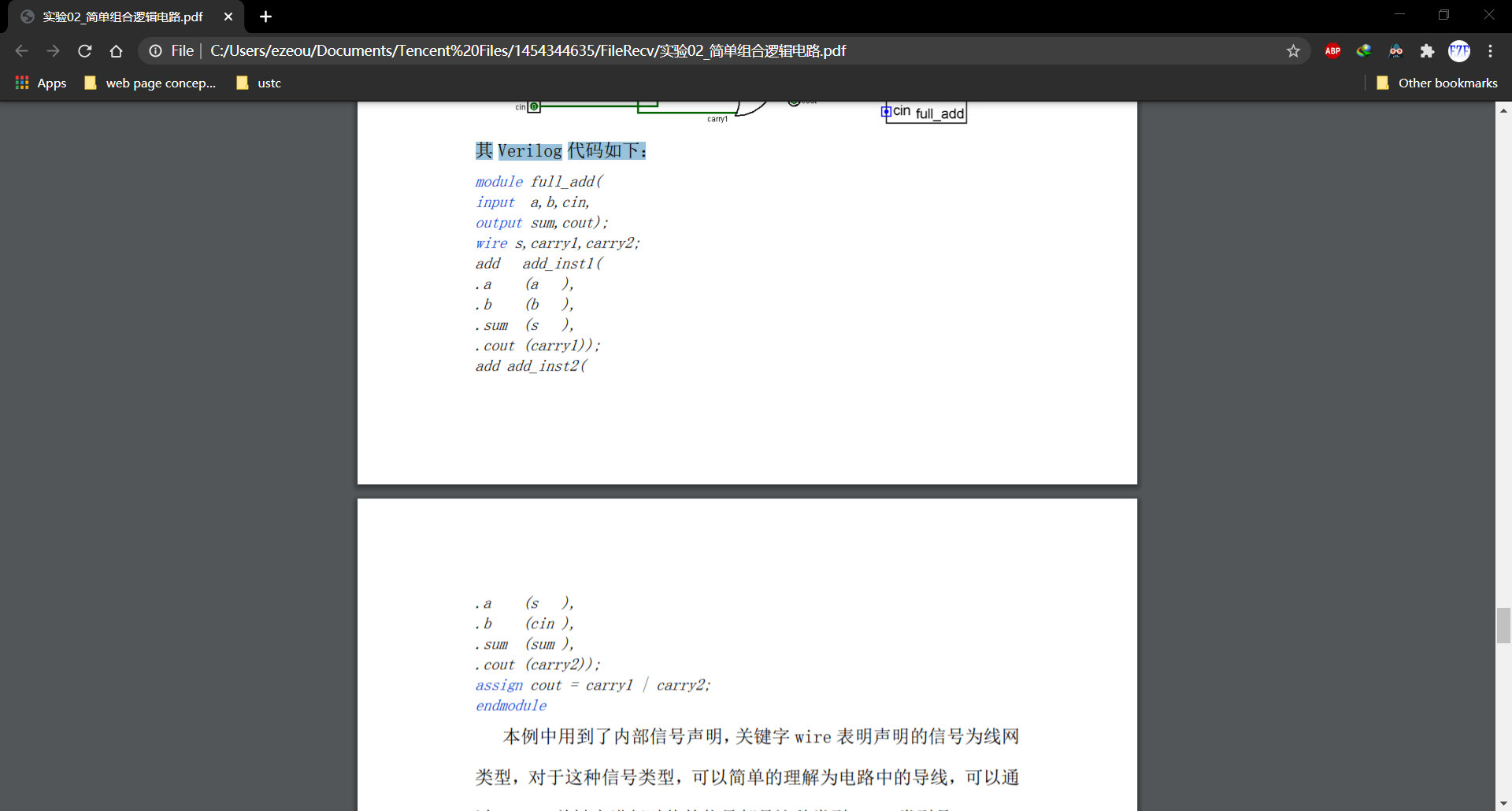


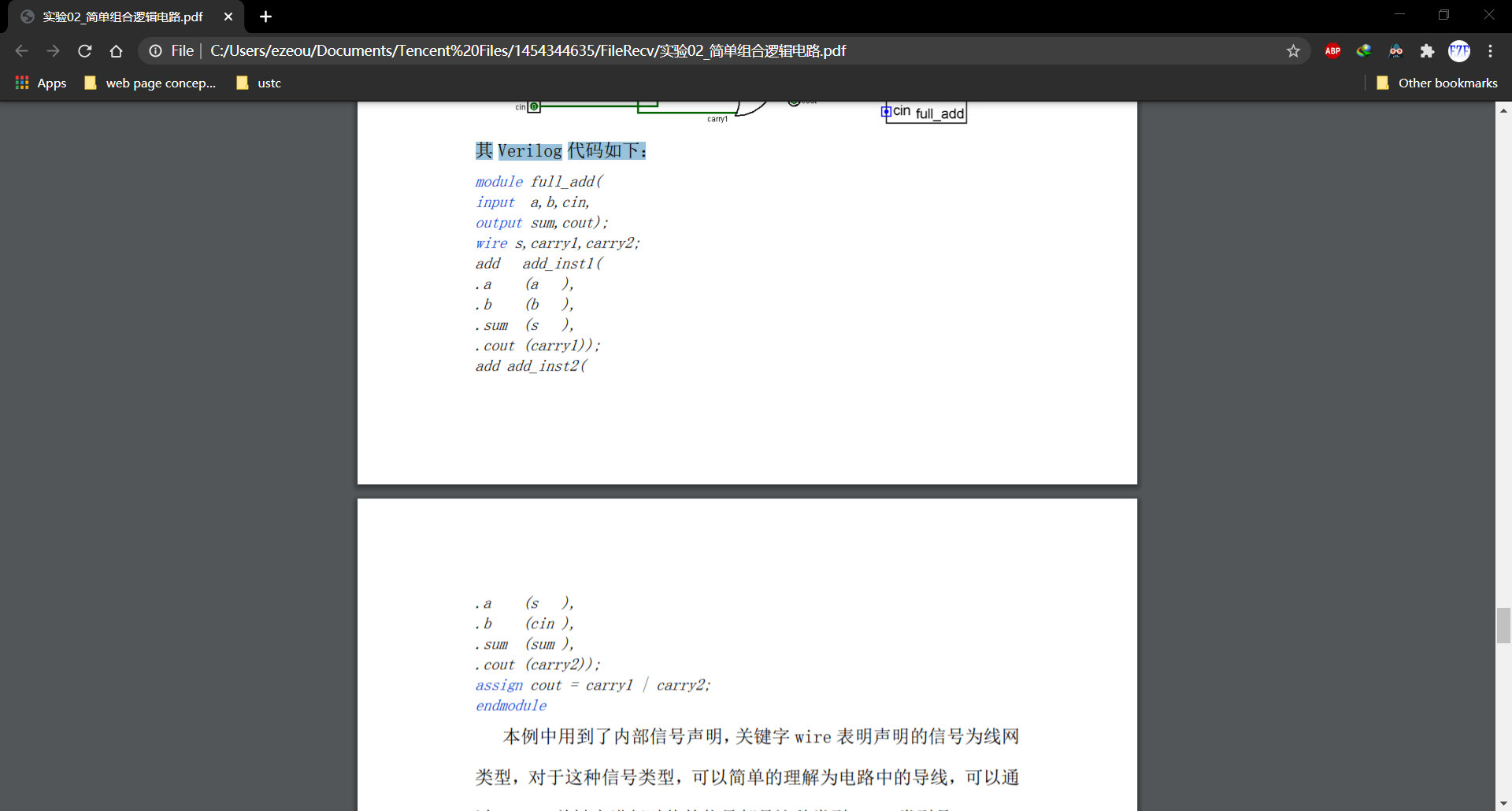
在上面这段代码中有两条连续赋值语句，它们的顺序交换并不会 对电路产生影响。

1. 全加器



其 Verilog 代码如下：



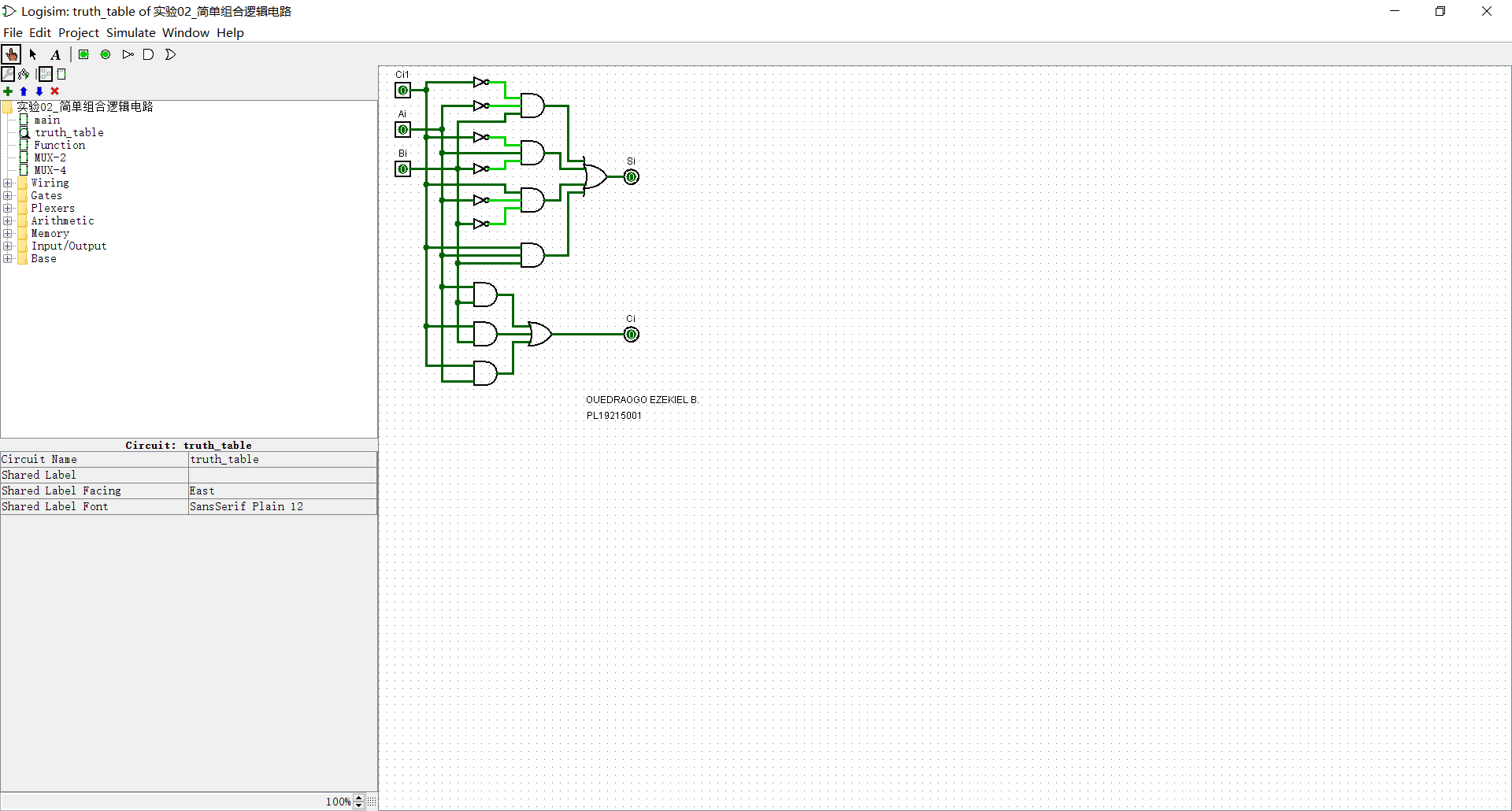
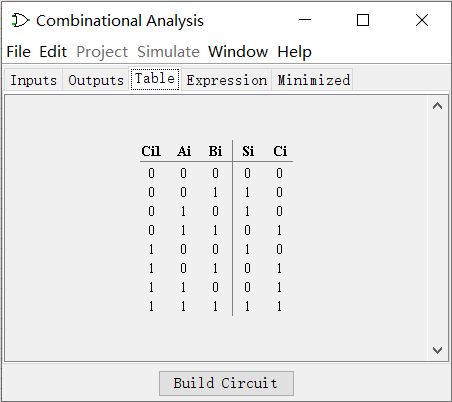


该代码中用到了内部信号声明，关键字 wire 表明声明的信号为线网 类型。wire类型是verilog 中的默认类型。

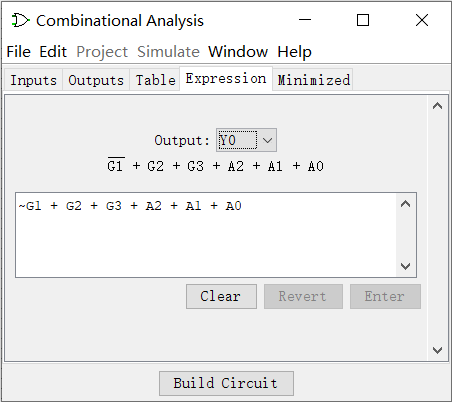
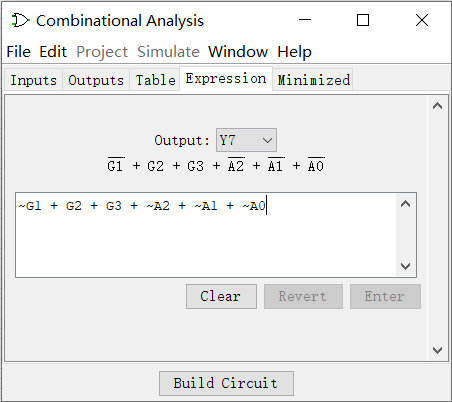
模块调用：在本例中，我 们调用了两个半加器，以实现全加器的功能，其中 add 为被调用模块 的模块名，add\_inst1、add\_inst2 为实例化名称。

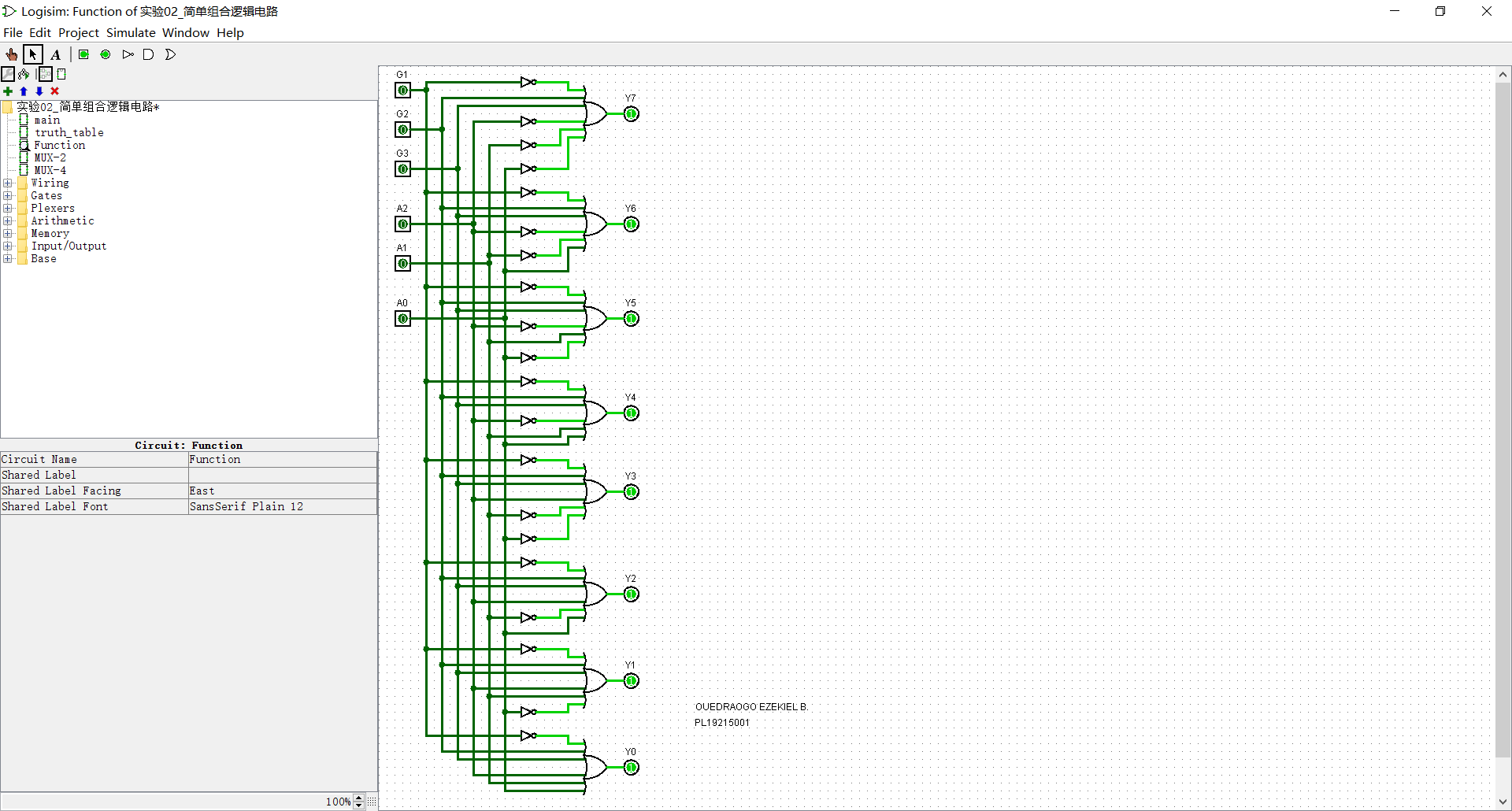
【实验练习】

1. 通过 Logisim 编辑真值表功能，完成电路 设计。



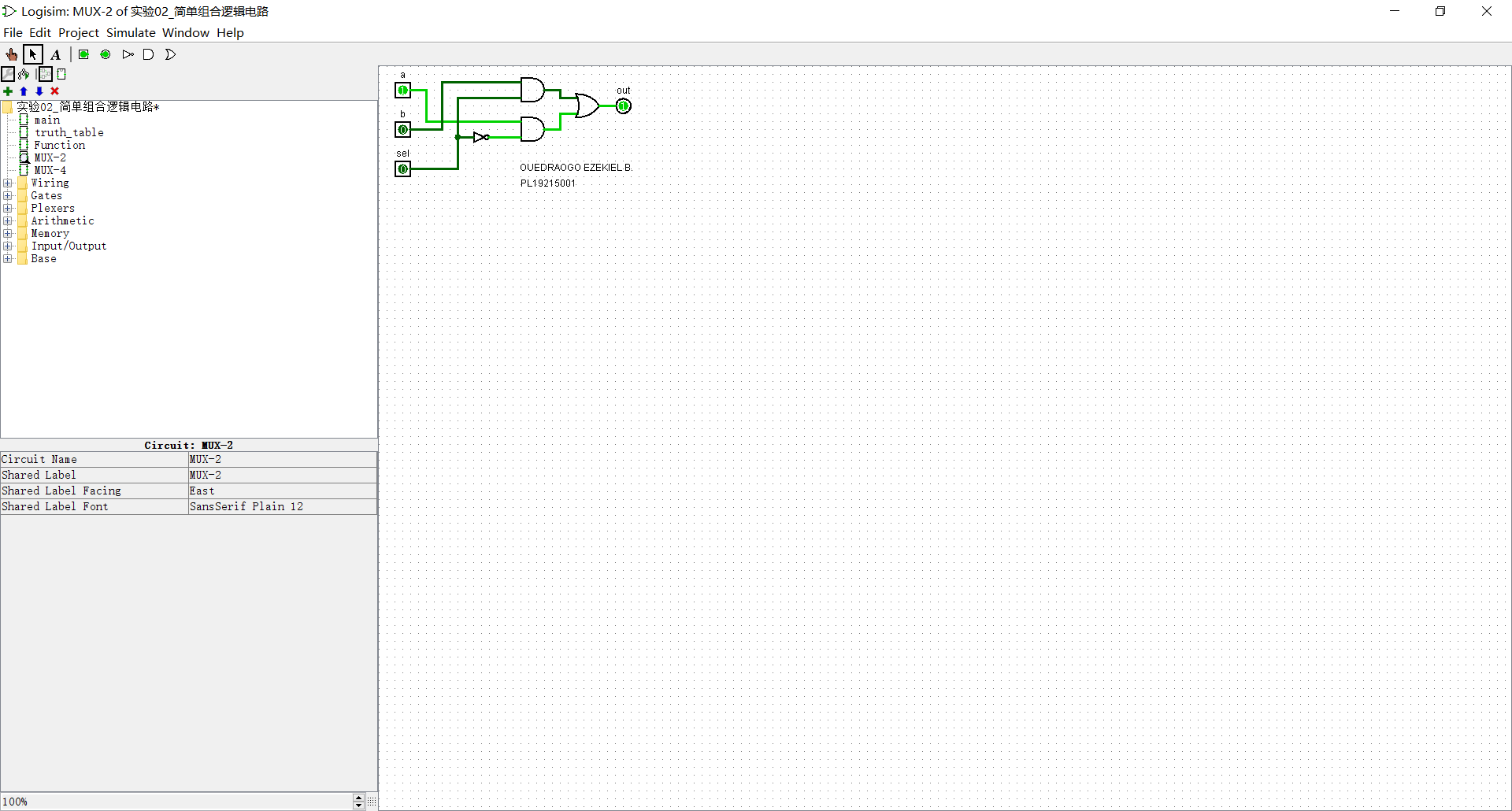
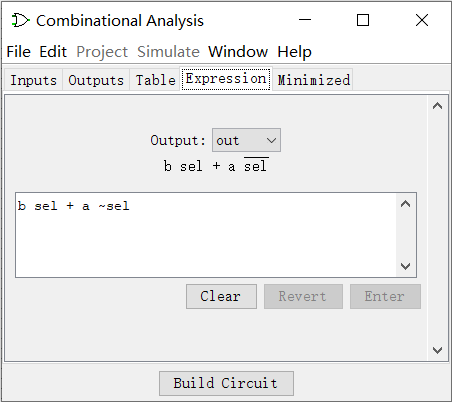
1. 通过 Logisim 的编辑表达式功能完成电路 设计



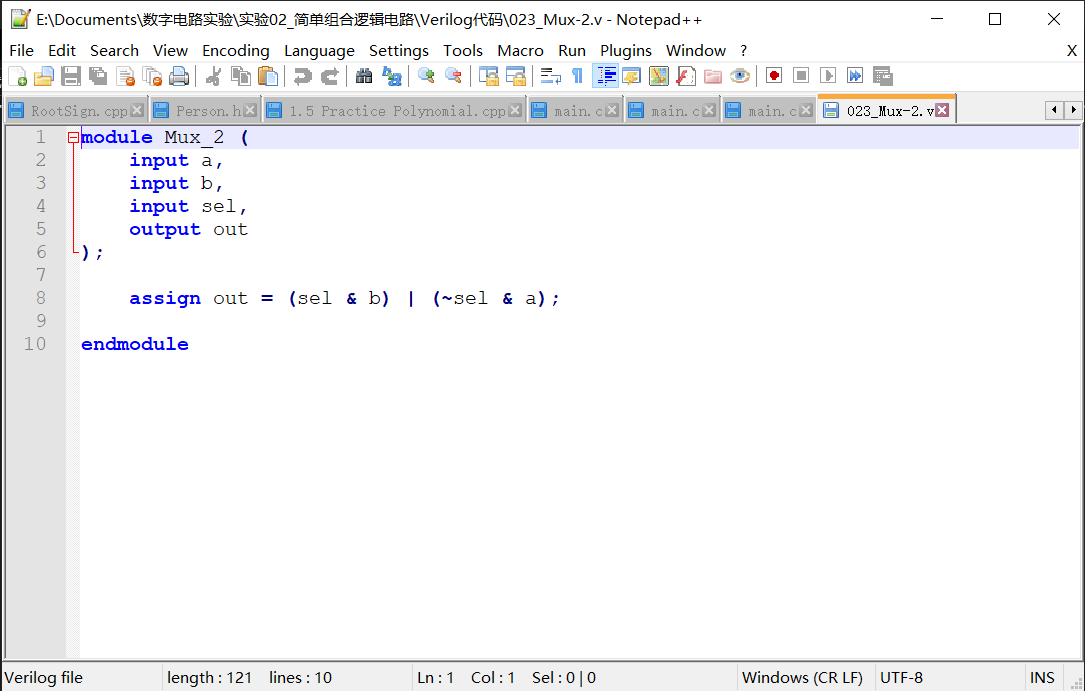


1. 二选一选择器

使用 Logisim 绘制 1bit 位宽的二选一选择器电路图。输入为,输出为， 为 0 时选通 信号。通过 Logisim 编辑表达式功能 设计电路

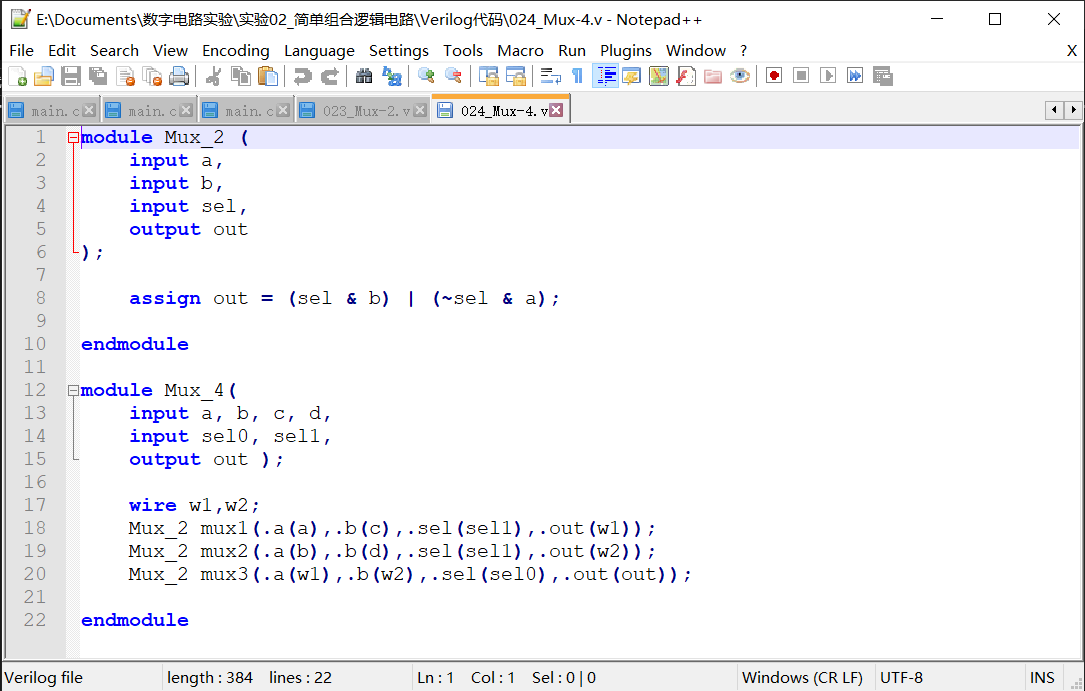


据生成的电路图编写 Verilog 代码

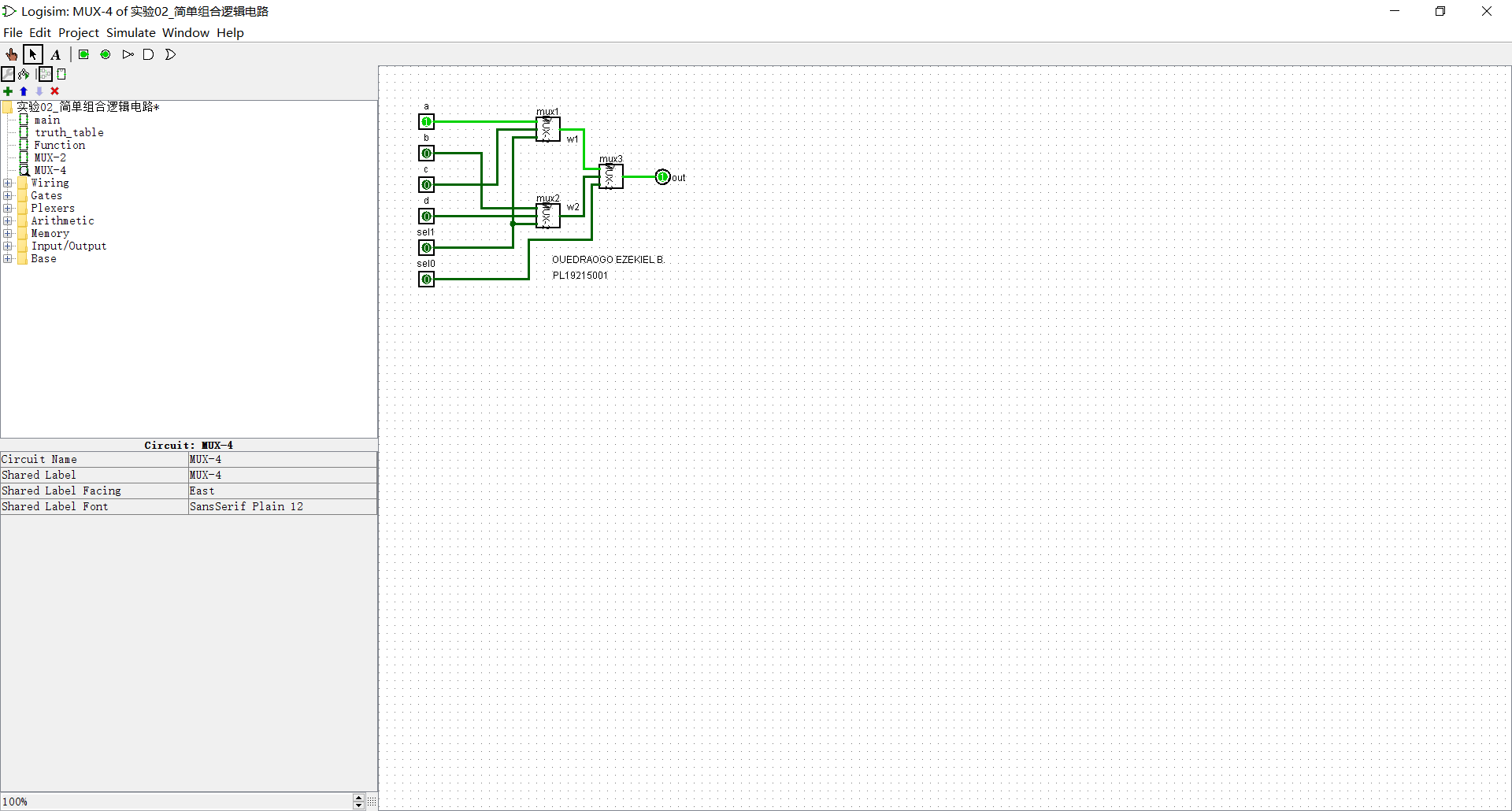


1. 四 选一选择器

通过上面的二选一选择器，用 Verilog 实现一个四 选一选择器。输入信号为 a,b,c,d,sel1,sel0，sel1 和 sel0 都为 0 时选中 a 信号。



对应的电路图



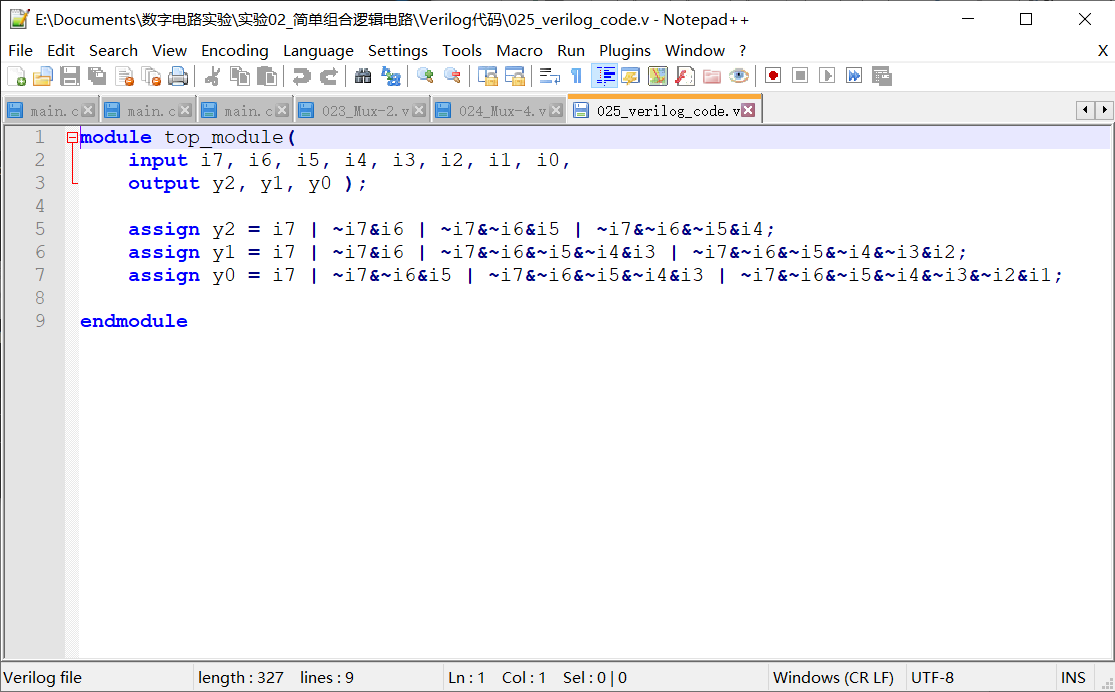
1. 优先编码器

根据前八位优先编码器真值表，编写 verilog 代码。

真值表



代码

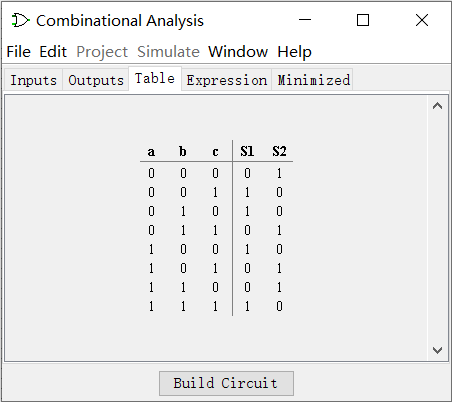


1. 描述代码功能

代码

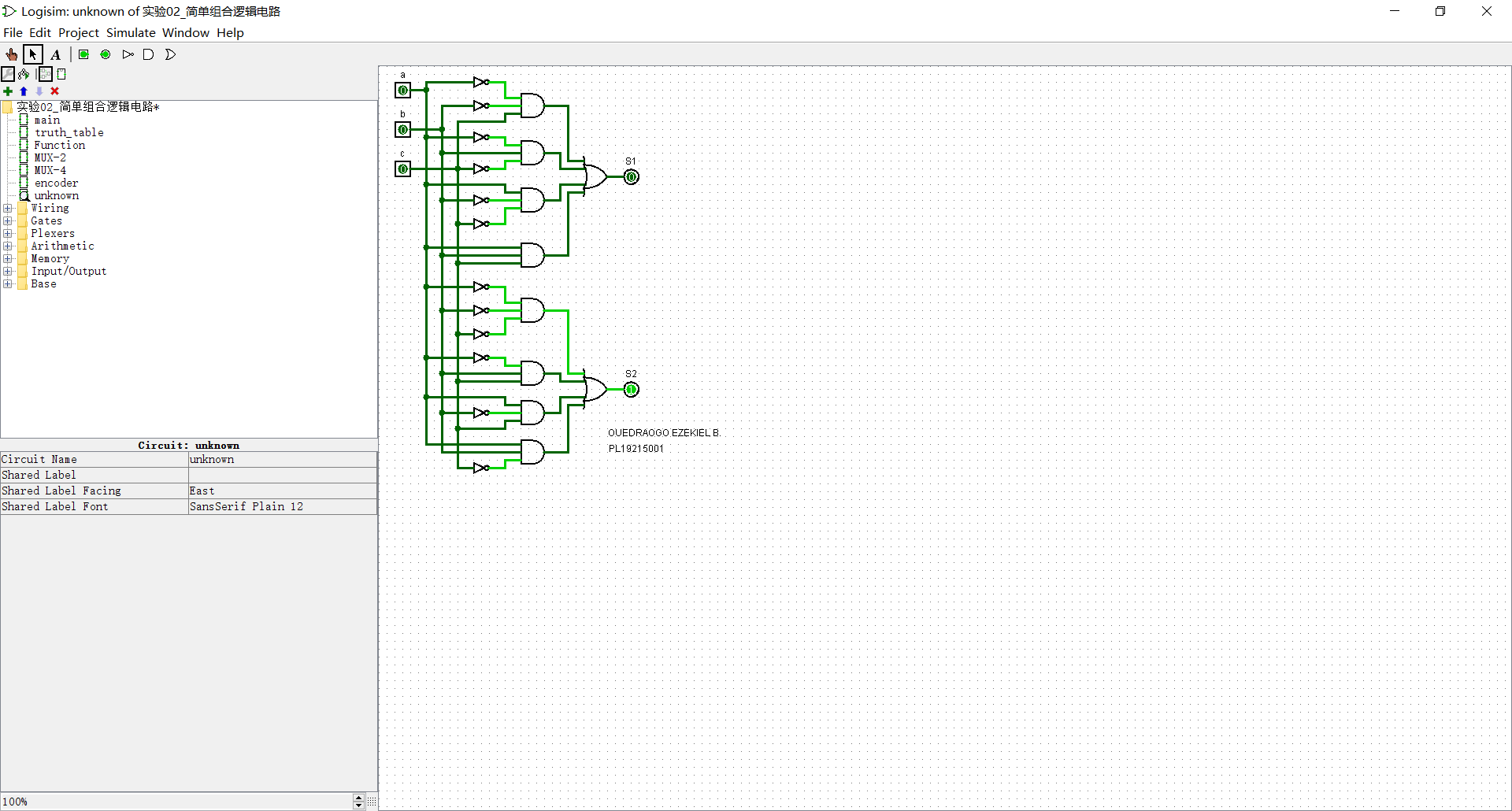


为了研究代码的功能，首先建其真值表



已看出中有奇数个1时为1,S2为0，有偶数个1时S1为0，S2为1。因此该代码判断输入中1个数的奇偶性。

电路图



【总结与思考】

通过本次实验咱们进一步了解了Logism的更多的功能如自动生成电路功能，学到了Verilog的基本语法。