**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA原理及Vivado综合

学生姓名：Ouedraogo Ezekiel B.

学生学号：PL19215001

完成日期：2020/12/01

计算机实验教学中心制

2020年10月

【实验题目】

FPGA原理及Vivado综合

【实验目的】

了解 FPGA 工作原理

了解 Verilog 文件和约束文件在 FPGA 开发中的作用

学会使用 Vivado 进行 FPGA 开发的完整流程

【实验环境】

VLAB 平台： vlab.ustc.edu.cn

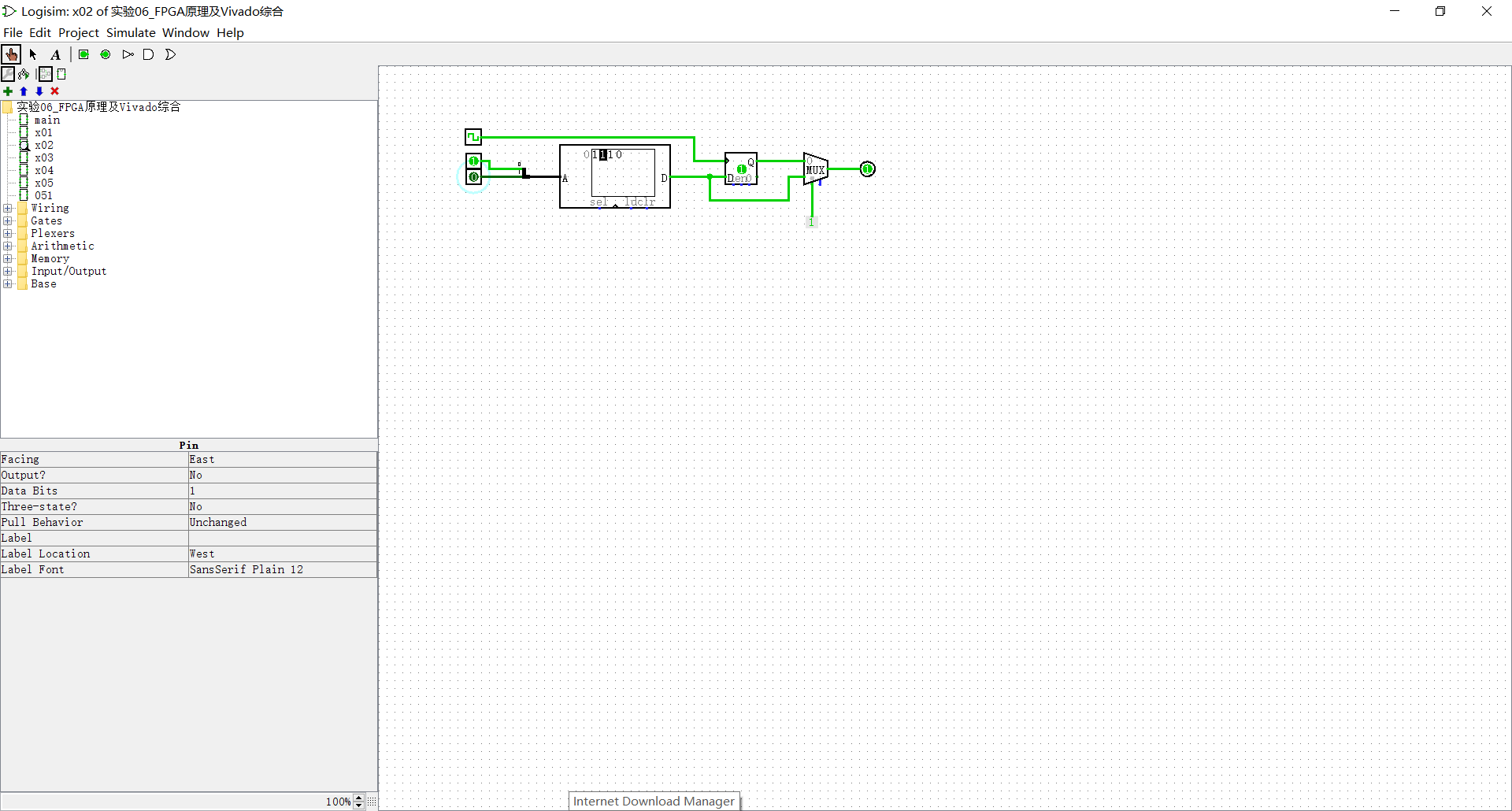
FPGAOL 实验平台：fpgaol.ustc.edu.cn

Logisim

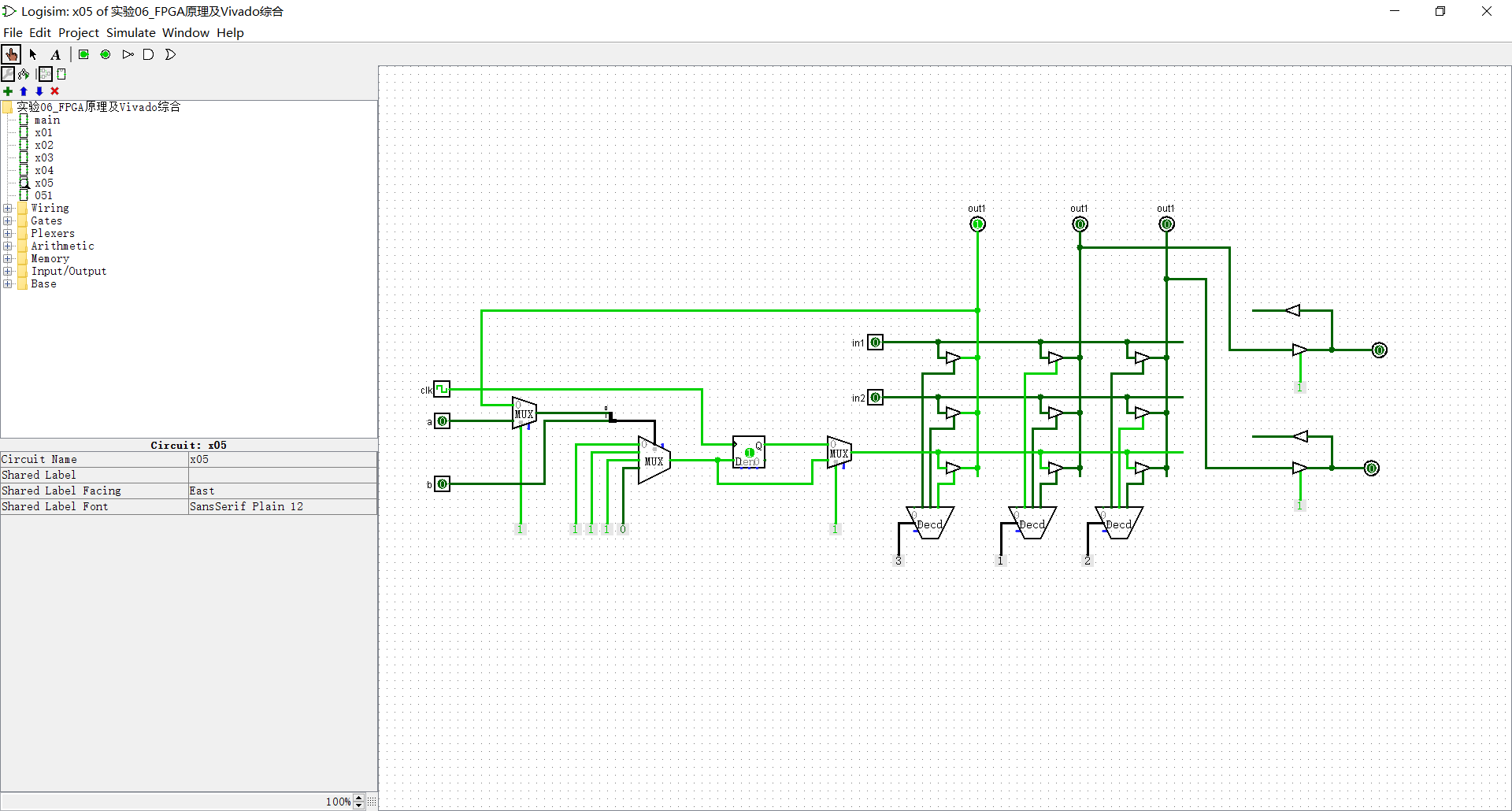
Vivado 工具

【实验过程】

1. 可编程逻辑单元



1. 交叉互连矩阵



1. Vivado 综合

Verilog 设计代码

**module** test**(**

**input** clk**,**

**input** rst**,**

**input** **[**7**:**0**]** sw**,**

**output** **reg** **[**7**:**0**]** led

**);**

**always@(posedge** clk **or** **posedge** rst**)**

**begin**

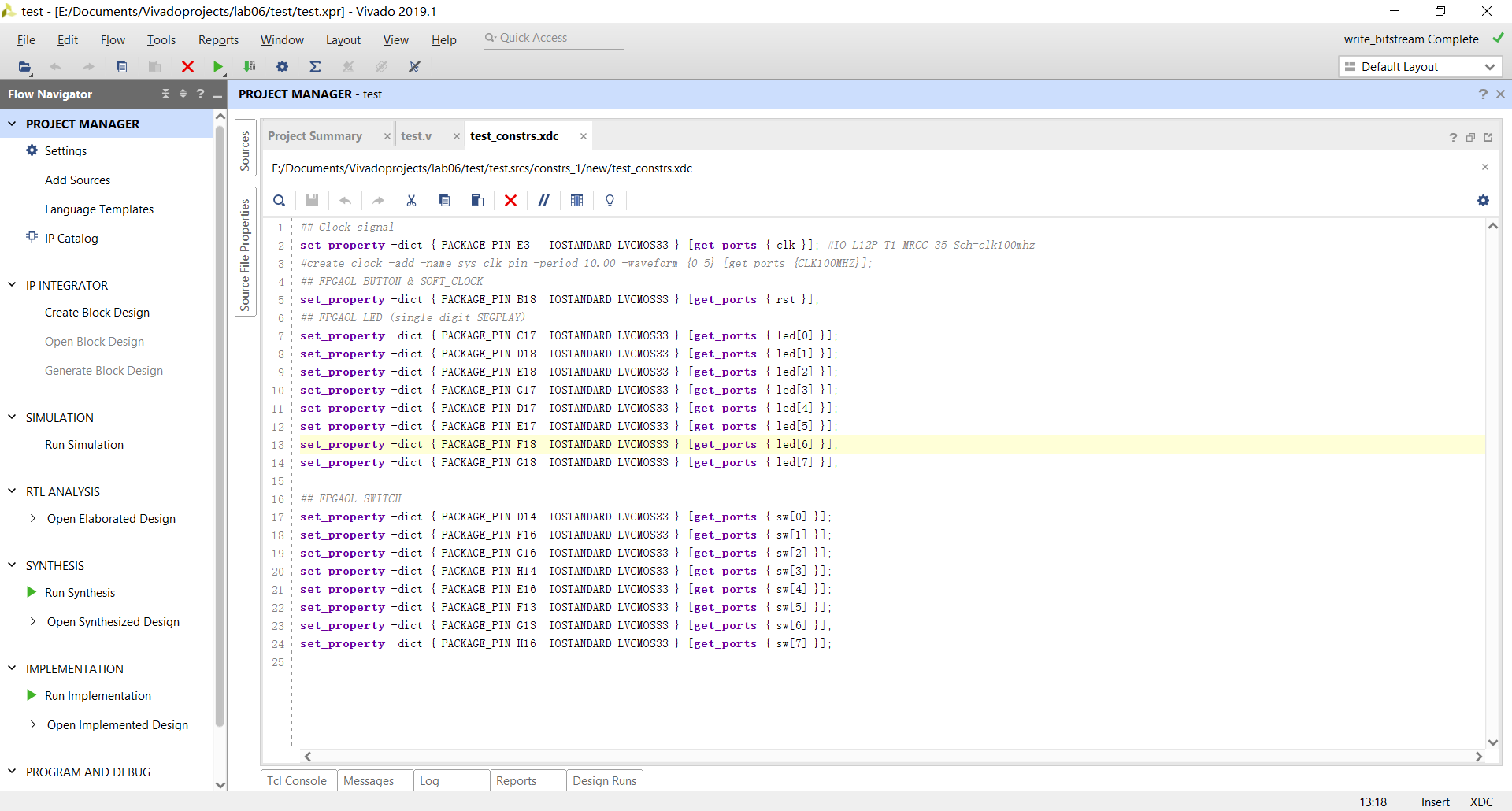
**if(**rst**)** led **=** 8'b0**;**

**else** led **=** **{**sw**[**0**],**sw**[**1**],**sw**[**2**],**sw**[**3**],**sw**[**4**],**sw**[**5**],**sw**[**6**],**sw**[**7**]};**

**end**

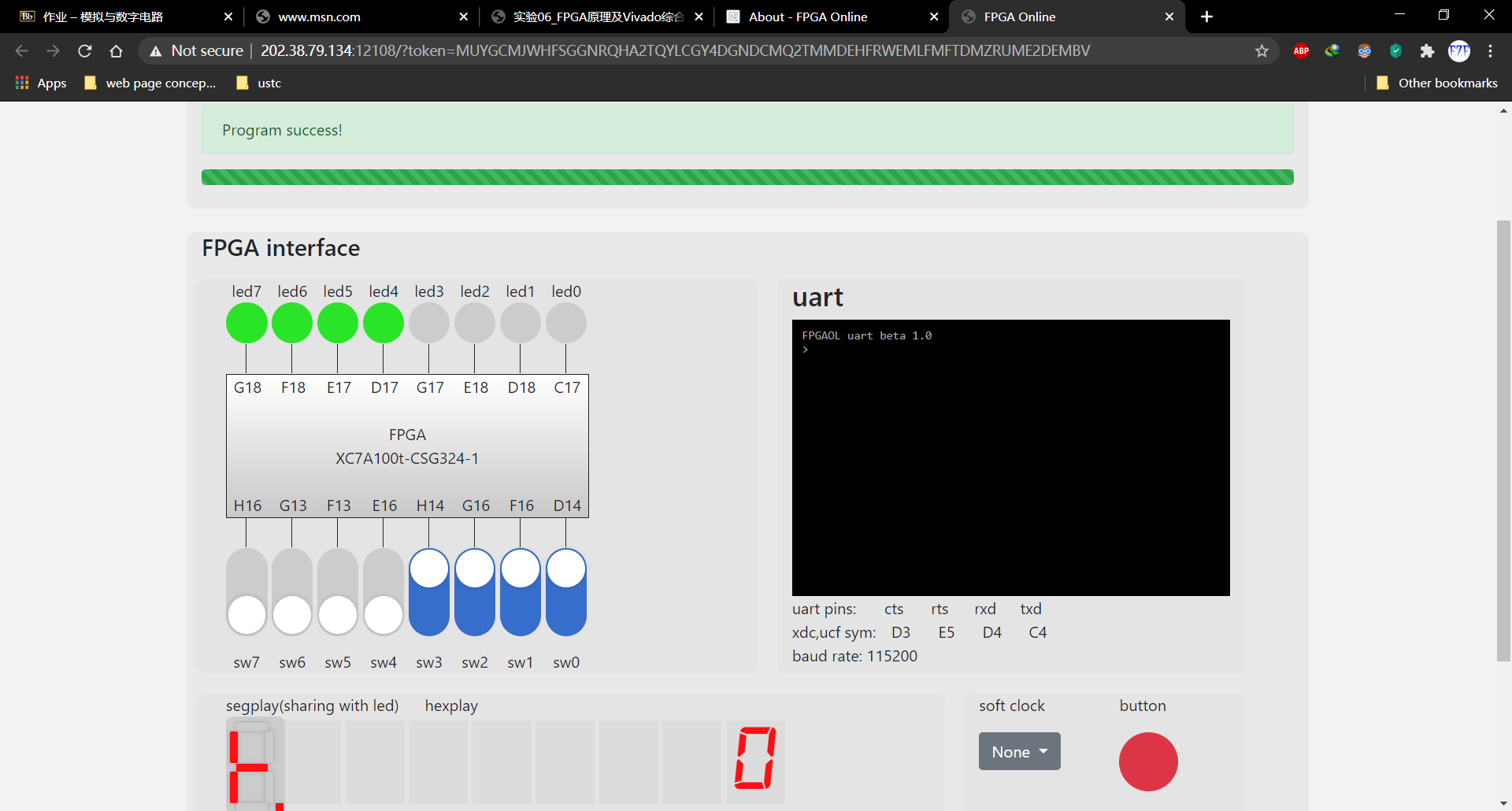
**endmodule**

管脚约束文件中的信息。



1. 烧写 FPGA

结果如下



【实验练习】

1. 实现代码，并将其输出到引脚 B 上

代码

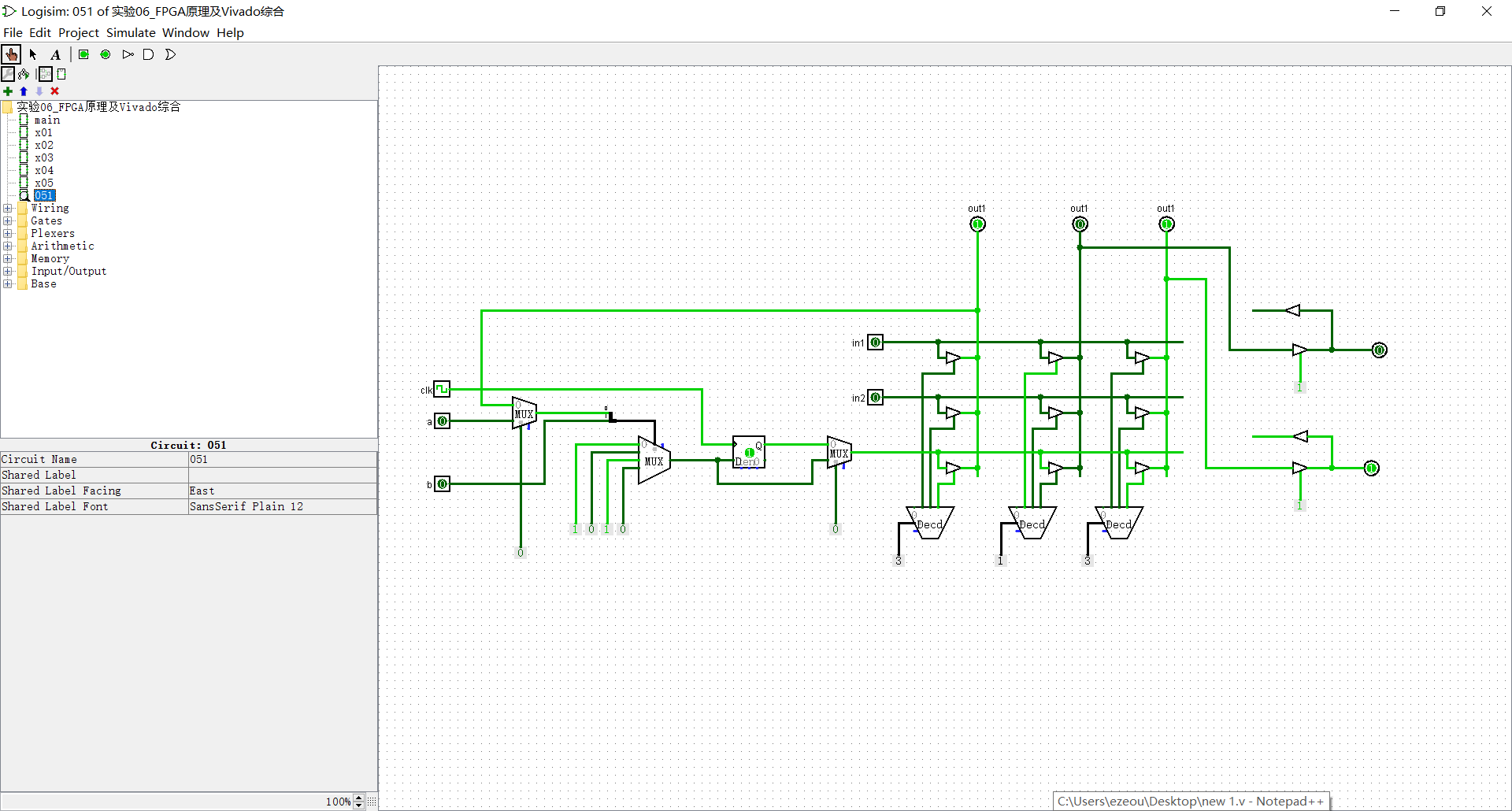
**module** test**(input** clk**,output** **reg** a**);**

**always@(posedge** clk**)**

a **<=** a **^** 1’b1**;**

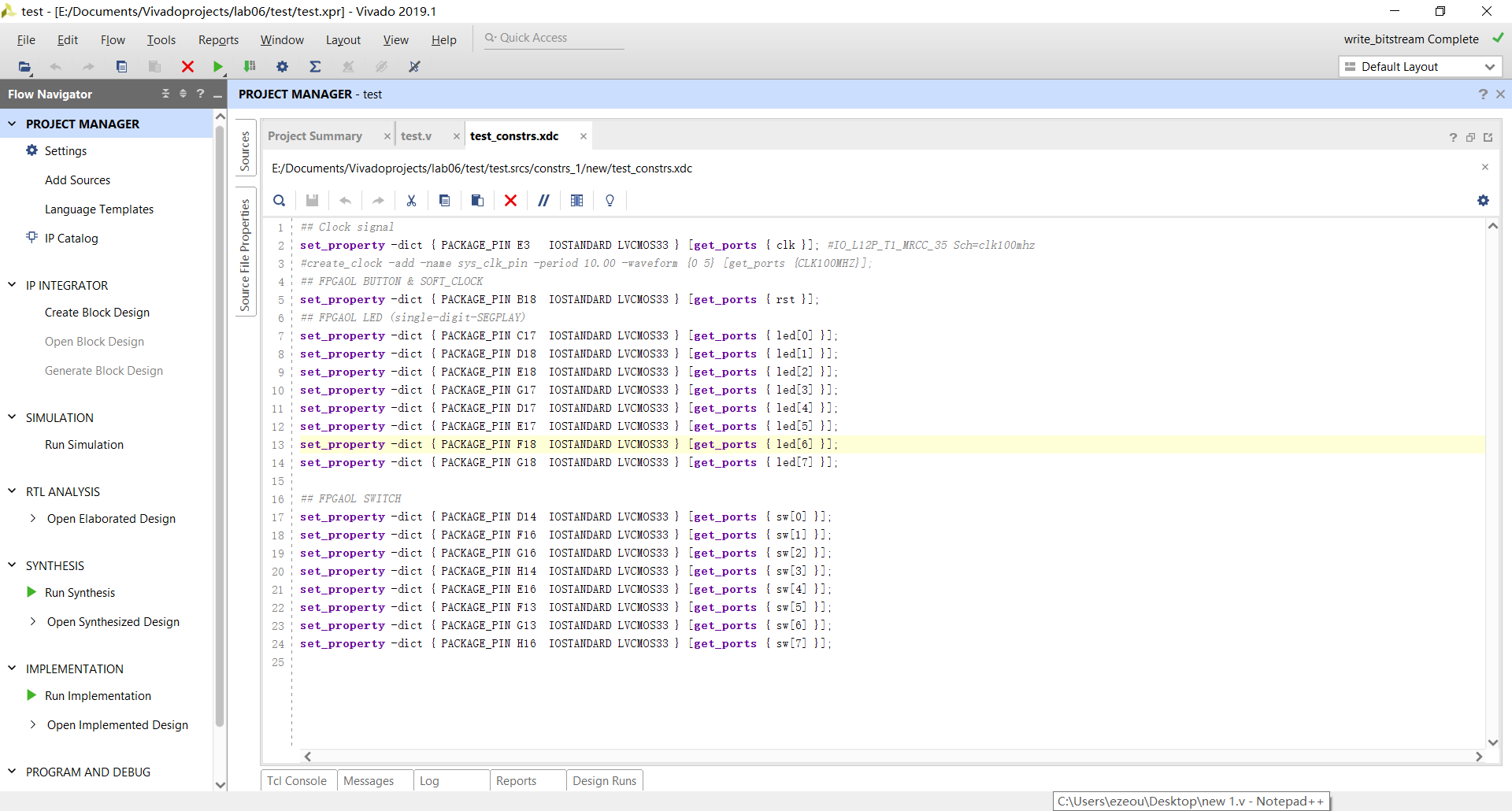
**endmodule**

电路

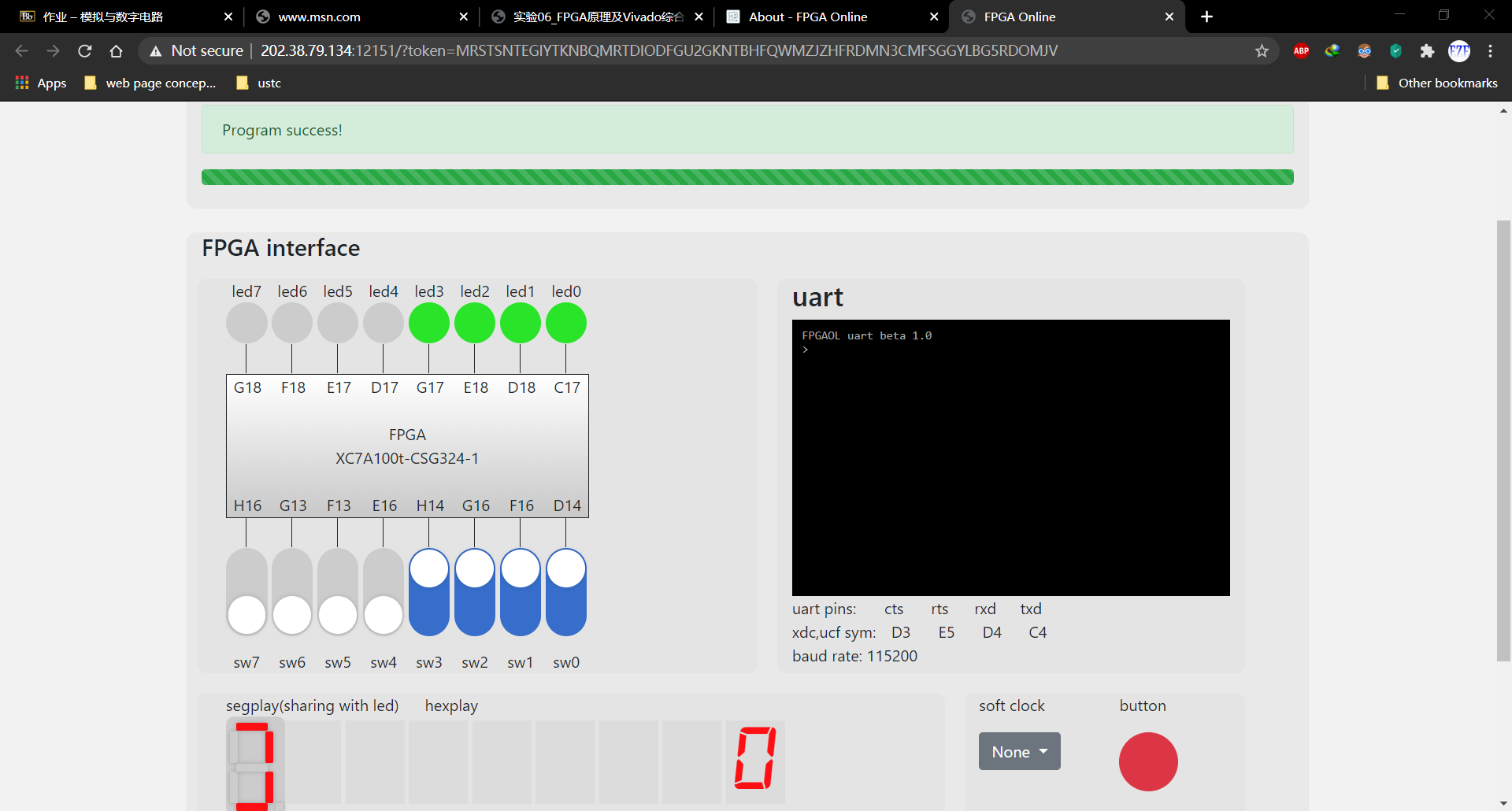


1. 修改实验中 给出的 XDC 文件，使开关和 LED 一一对应

XDC 文件



结果



1. 设计一个 30 位计数器

代码

**module** count30**(**

**input** clk**,**

**output** **reg** **[**7**:**0**]** out

**);**

**reg** **[**29**:**0**]**tmp**;**

**always@(posedge** clk**)**

**begin**

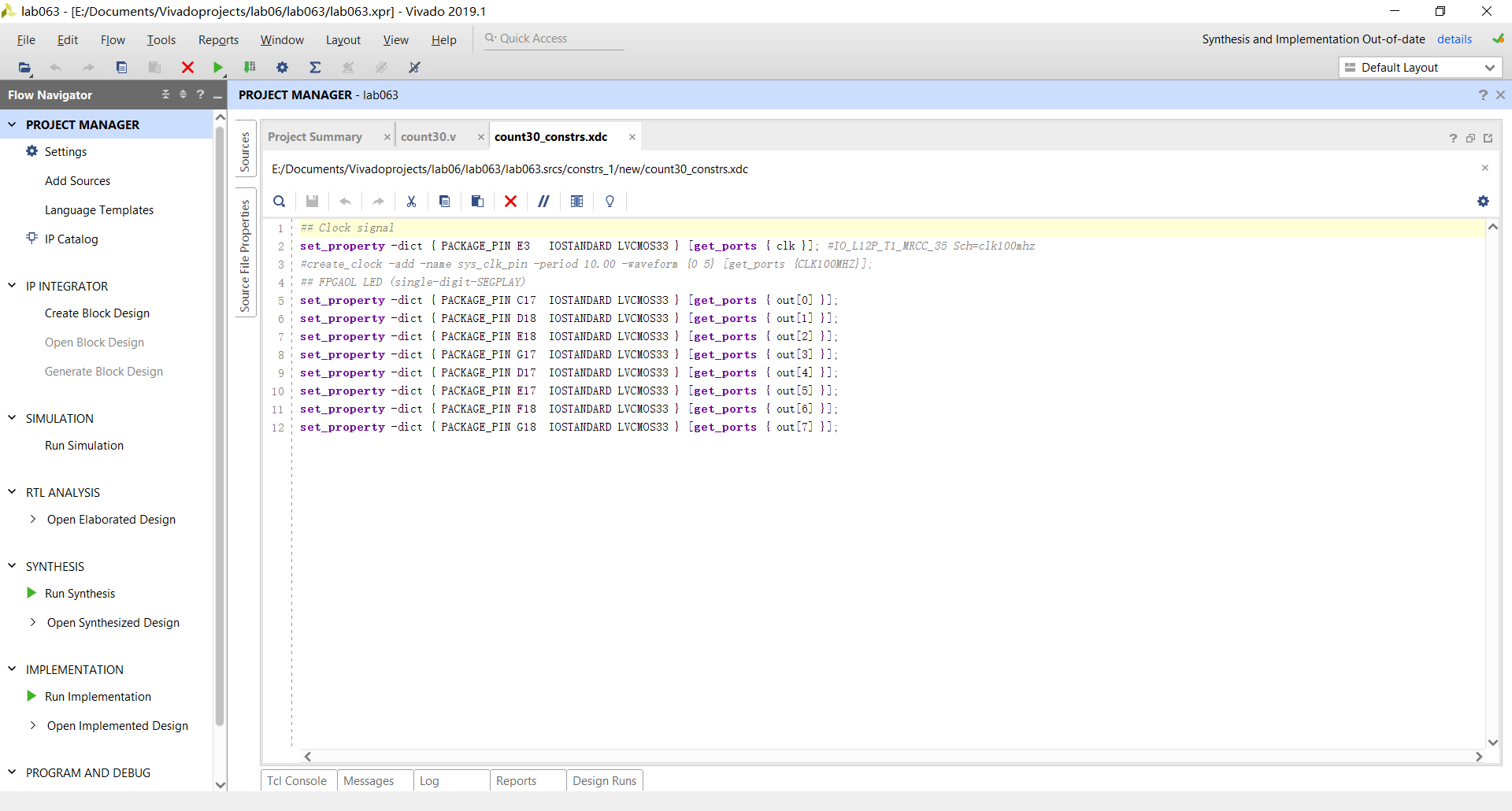
tmp **=** tmp **+** 30'b1**;**

out **=** tmp**[**29**:**22**];**

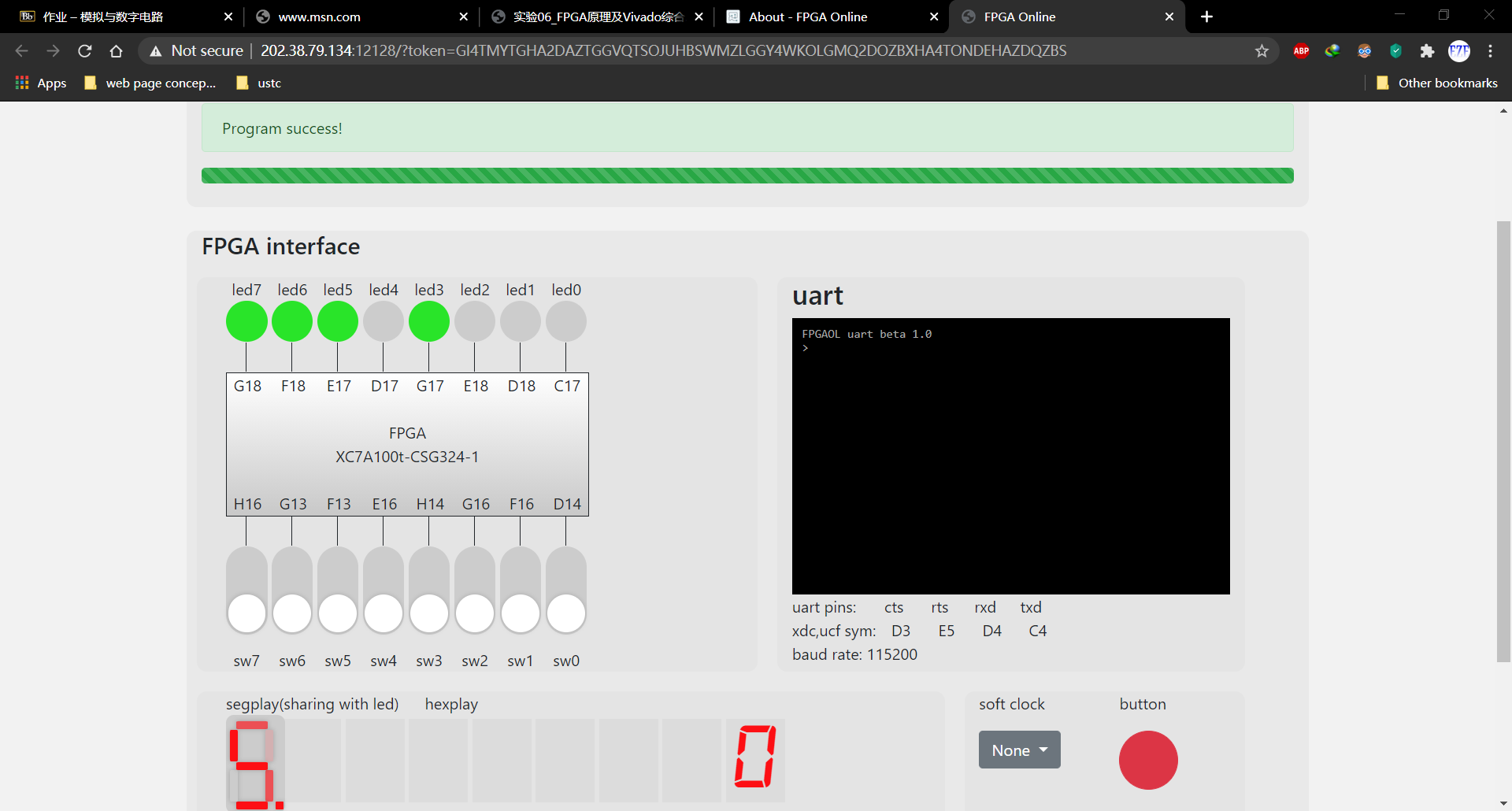
**end**

**endmodule**

XDC 文件



结果



将该计数器改成 32 位的代码如下

**module** count**(**

**input** clk**,**

**output** **reg** **[**7**:**0**]** out

**);**

**reg** **[**31**:**0**]**tmp**;**

**always@(posedge** clk**)**

**begin**

tmp **=** tmp **+** 32'b1**;**

out **=** tmp**[**31**:**24**];**

**end**

**endmodule**

与前面的运行结果进行对比32位计数器数得慢一些。是因为32位的最大值比30位的最大值还大。

【总结与思考】

通过本次实验咱们了解了 FPGA 工作原理，Verilog 文件和约束文件在 FPGA 开发中的作用，也学会了如何使用 Vivado 进行 FPGA 开发的完整流程。