

1-3 프로젝트 주제 및 내용

프로젝트명

SoC 반도체 Peripheral RTC 설계 프로젝트

심사내용

- 참여기업의 요구 및 직무내용 반영 여부
- 참여기업의 직종 및 직무에 부합하는 다양한 프로젝트 설계 여부

가. 프로젝트 주제 및 내용(세부 과업)

■ 프로젝트 주제 선정

- 참여기업 수요조사 및 현업 전문가의 요구 사항에 맞춰 참여기업에서 실제 진행 중이거나 진행했던 프로젝트의 주제를 제공 받아 선정

참여기업 요구사항	필요 기술 (직무역량)	인력양성목표 (훈련목표, 인재상)
1. Verilog HDL 설계 이해 2. ARM Architecture 이해 3. AMBA BUS 이해 4. Memory Map I/O 이해 5. UART/RS485/I2C/SPI 통신 protocol 6. AHB / APB / AXI Bus 이해 7. Module Level 설계 8. Top Level 설계 9. Memory 동작 이해 10. 조합논리회로 설계 이해 11. 순차논리회로 설계 이해 12. C언어 활용 능력	- Verilog HDL 기술 - Timing Chart 작성 기술 - EDA Tool 활용 기술 - 계측기 사용 기술 - C언어 활용 기술 - 계측기 측정 기술 - 설계 사양 기능별 구체적 기술 능력 - 설계 사양 비교분석 기술 - 전체 설계 흐름도 작성 기술 - 각 단계별 결과물 정리 및 보고서 작성 능력	참여기업의 수요를 반영한 핵심 기술교육과 프로젝트 수행을 통해 Low Level 개발의 임베디드 시스템반도체 설계 전문가 양성



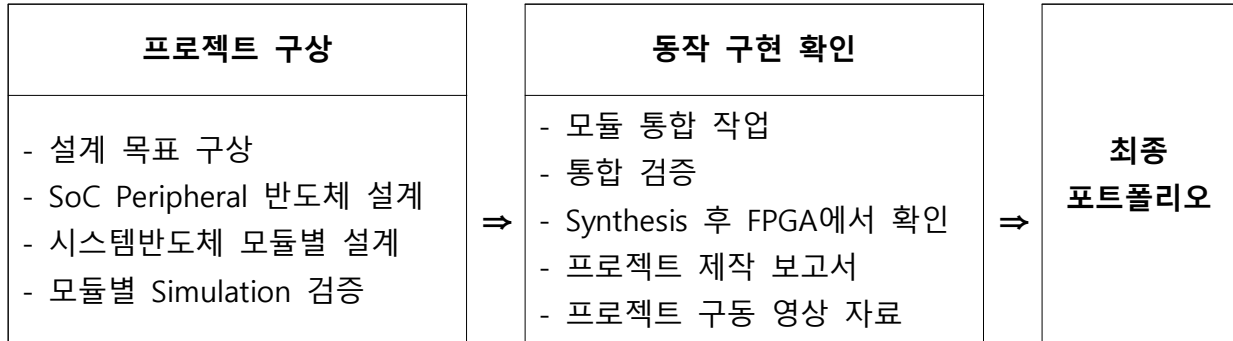
구분	프로젝트 주제	난이도
주간 프로젝트	SoC 반도체 Peripheral RTC 설계 프로젝트	상

■ 프로젝트 세부 내용

프로젝트 팀주제	세부 수행 내용(과업)	습득 직무 역량
SoC 반도체 Peripheral RTC 설계	<ul style="list-style-type: none"> • 반도체 설계 수행 <ul style="list-style-type: none"> - 계층구조 설계 - AXI4 Lite Channel 연동 - 디지털 IP Block Design - IP Module Test & Verification - ARM Core와 설계한 IP 연동 - Display Control 반도체 설계 - 메모리 설계 - Timer/Counter 설계 - FPGA 보드에서 검증 - Verification 	<ul style="list-style-type: none"> • 지식 <ul style="list-style-type: none"> - Verilog HDL 언어 이해 - 개발목표 및 사양에 대한 구체적 지식 - 설계 흐름도에 맞춰 설계 장비를 선정하는 지식 - 불 대수 - 조합회로, 순차회로 설계 및 해석 - FSM 구조 및 해석 - ARM System Architecture 이해 - Memory Mapped I/O 이해 - 메시지 송수신의 Protocol 설계 능력 - 메모리 활용 능력 - CPU와 Peripheral간의 BUS 통신 이해 능력 - 반도체 설계 검증 능력 - AMBA BUS 이해 - AXI4-Lite Channel 설계 - 사용할 기능 블록과 IP들에 대한 지식 - SW 구조 설계 방법 - FSM 구조 및 해석 - 동기, 비동기 시스템 구조 - Timing and Waveform 해석
	<ul style="list-style-type: none"> • S/W 수행 <ul style="list-style-type: none"> - SW 구조 설계 - Machine Code 작성 (C언어) 	<ul style="list-style-type: none"> • 기술 <ul style="list-style-type: none"> - Verilog HDL 활용 기술 - 반도체 Timing Chart 검증 기술 - C언어 활용 기술 - Memory 설계 기술 - Timer/Counter 설계 기술 - AXI4-Lite Channel 설계 기술 - TestBench 작성 기술 - 각 설계 블록별 주요 레지스터 맵 작성 기술 - 시스템 버스를 운영하는 소프트웨어 해석 능력 - 소프트웨어를 포함한 시스템 레벨에서의 분석 및 설계 기술 • 태도 <ul style="list-style-type: none"> - 목표 설계부터 구현, 검증, 버그 해결 그리고 결과물까지 전체 Flow 경험 - 요구사양에 대한 분석 및 충분한 이해 - 설계 진행상황을 구체적으로 파악하는 태도 - 문제점 대응 방안을 수립하려는 노력 - 현실적으로 구현 가능한 아키텍처를 능동적으로 정의하는 태도 - 반도체 제품 내부 시스템을 이해하려는 노력 - 팀 커뮤니케이션 역량 습득 - 결과 발표 역량 습득

나. 프로젝트 과제(결과물)

- 전공교과에서 학습한 내용과 연계하여 최종 포트폴리오에 활용할 수 있도록 기획
 - 참여기업에서 실제 진행 중이거나 진행한 프로젝트의 연관성을 고려하여 수행
 - 프로젝트별 주제에 참여한 기업 소속의 실무자가 멘토로 참여
 - 종합 실무 프로젝트의 산출물을 활용하여 최종 포트폴리오 완성

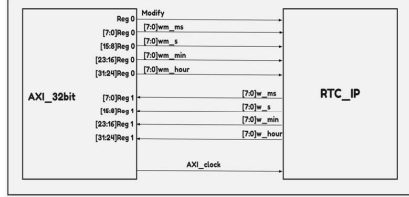


- 프로젝트 수행 결과물(예시)
 - 각 프로젝트 진행에 따라 아래의 수행 결과물을 완성함. (아래 내용은 간략화한 내용임)

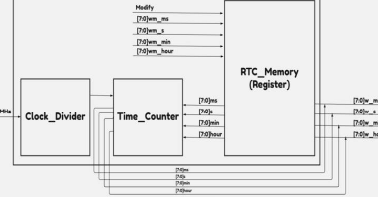
프로젝트 포트폴리오	
프로젝트 결과물 예시	프로젝트 내용
<p>Part 1. 설계 목표</p> <ul style="list-style-type: none"> MicroBlaze Soft Processor Core와 AXI4 Lite AMBA BUS를 활용한 Peripheral 설계 프로젝트를 진행한다. 개요 <ul style="list-style-type: none"> Microblaze로 세탁기 기능을 FSM을 이용해 설계 Microblaze & AXI4Lite AMBA BUS를 이용해 PWM, FND, RTC Peripheral IP 설계 세탁기의 Auto, Select mode별 세탁, 행굼, 탈수 기능별로 PWM 제어 Timer IP : 1second 단위로 INTERRUPT 발생 UART IP : Bluetooth 모듈을 이용해 세탁기 제어 	<p>목표 설정</p>
<p>Part 2. FSM</p> <p>Auto mode (Stop) 세탁 10초 행굼 10초 탈수 10초 총 30초 고정</p> <p>Select Mode(Stop) 3가지 모드를 각각 시간 설정 가능 (0, 10, 20, 30)초 설정 가능</p> <p>PWM(Run)</p> <p>A/S : Auto Select 버튼 Run/Stop : Run Stop 버튼 Mode : 모드 변경 버튼 Time : 시간 설정 버튼</p>	<p>동작 알고리즘 구상</p>
	<p>IP별 모듈 설계</p>

Part 3, RTC Top Module - RTL Design IP

AXI4Lite Top RTC



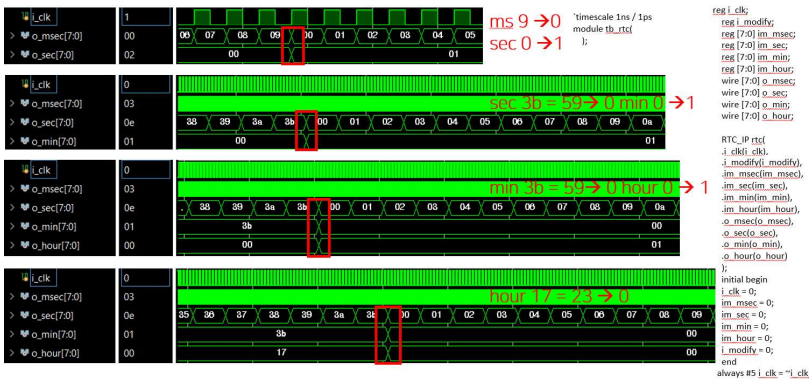
RTC_IP



Blaze에서 AXI Bus 이용 Modify en & time IP로 출력
RTC_IP의 시간을 Blaze로 입력

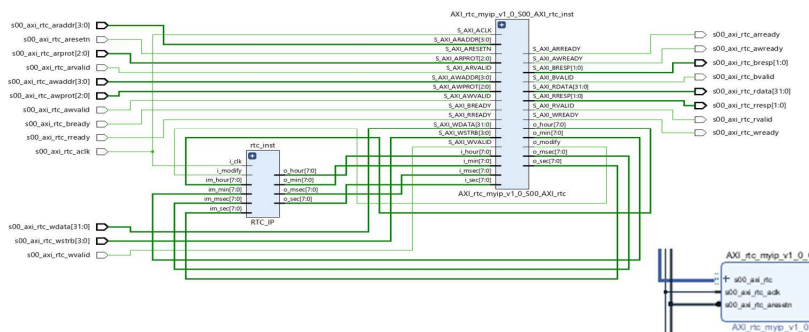
Clock_Divider : 100Mhz → 1Hz (1sec)
Time_Counter : 시간에 대한 계산
RTC_Memory(Register) :
modify 시간 적용 위한 Memory 역할

Part 3, RTC Simulation - RTL Design IP



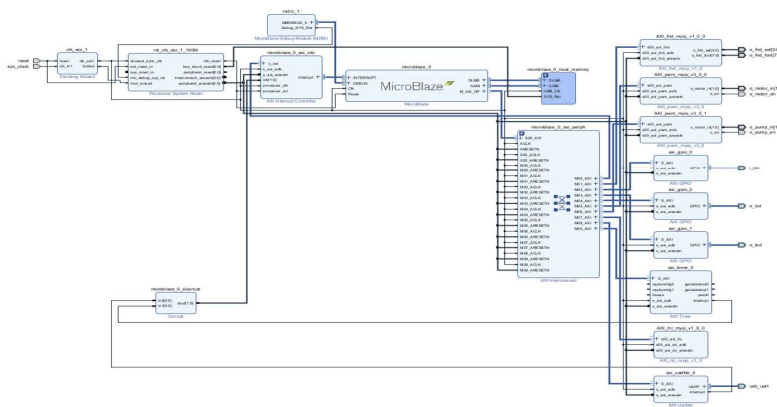
IP 별 Simulation 검증

Part 3, RTC AXI4 RTL View - RTL Design IP



AXI4 Lite Channel 연동

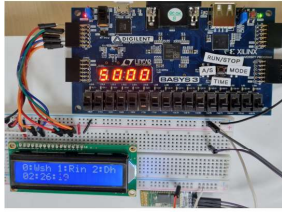
Part 3, IP Block Design



전체 IP 모듈 통합 설계

동작 구현 및 검증

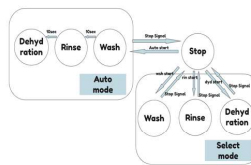
Part 4 프로젝트 사진



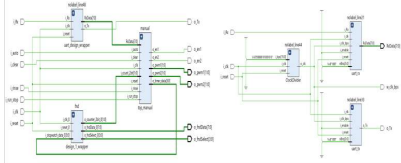
Part 5 느낀점

- 프로젝트를 진행하기 전 연습용으로 Verilog HDL만을 이용해 기본 세탁기를 제작해봄으로써 FSM을 Verilog로 코딩을 하는 방법을 이해하고 non-blocking 등의 c coding과의 차이점에 대해서 더 이해할 수 있었음
- UART 통신을 Verilog HDL로 구현해 test를 먼저 해봄으로써 UART통신의 구현 방식에 대한 이해를 할 수 있었음

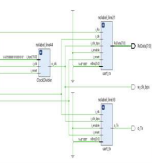
Verilog 세탁기 FSM



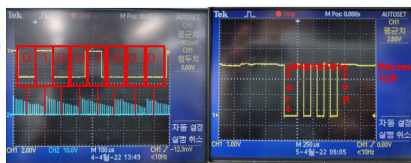
Verilog 세탁기 Top Module



UART module



UART module Oscilloscope 검증



최종 결과 보고서 작성

주간 프로젝트

■ 제시 과제 수행 배경(실무상황)

- 주제 : SoC 반도체 Peripheral RTC 설계 프로젝트

프로젝트 학습계획서				
훈련과정명	임베디드 시스템반도체 설계 전문가			
프로젝트명	SoC 반도체 Peripheral RTC 설계 프로젝트		참여 기업	에스에스오토론, 노블디자인, 크래비스, 테크윙, 나인플러스
프로젝트 추진배경 (실무상황)	<div>- 시스템 반도체 설계는 HDL 언어를 이용해서 이루어짐. 우리 나라 업체에서는 대부분 Verilog HDL 언어를 사용함.</div> <div>- Verilog HDL 언어를 이용하여 반도체 설계 프로젝트를 수행함.</div> <div>- 조합 논리 회로, 순차 논리 회로를 이용하여 반도체 설계를 경험.</div> <div>- 하드웨어의 소형화 저전력화가 이루어짐으로 SoC(System On Chip)형태의 반도체가 증가하고 있음.</div> <div>- ARM Core 기반에 특정 Peripheral IP를 설계하여 SoC 설계를 진행함.</div> <div>- ARM Core 기반의 SoC를 설계하기 위해서는 AMBA BUS를 이해해야 함.</div> <div>- ARM Core 기반에 Peripheral IP를 설계함으로써 SoC 설계를 이해하고 시스템 반도체 설계 능력을 갖추.</div>			
프로젝트 세부사항	기준시간	50h	기준인원	4인
	활용틀	Xilinx FPGA Board, VIVADO, Vitis 오실로스코프, 디지털멀티미터, 전원공급기, 함수발생기		
	과제 결과물	<div>- 시스템 반도체 구조 설계서</div> <div>- 소프트웨어 구조 설계서</div> <div>- 시스템 반도체 설계 결과 파일</div>	<div>- 소프트웨어 실행 결과 파일</div> <div>- 최종 데모용 Board</div> <div>- 동작 영상 자료</div> <div>- 최종 보고서</div>	
프로젝트 학습을 통해 달성하려는 직무역량	세부 직무역량			통합 직무역량
	<div>- 시스템 반도체 설계 능력</div> <div>- ARM Core 활용 능력</div> <div>- 반도체 검증 능력</div> <div>- C언어 프로그래밍</div> <div>- Datasheet 작성 능력</div> <div>- Timing, Waveform 독해 능력</div> <div>- 계측기 활용 능력</div>			<div>시스템 반도체 설계</div> <div>디지털 하드웨어 설계</div> <div>펌웨어 설계</div> <div>팀워크 수행 역량</div>
프로젝트 학습 운영 전략	<div>- 참여기업 멘토 지원</div> <div>- 프로젝트 목표 및 일정, 조 편성, 주제선정, 산출물, 평가 등 사전 OT 진행</div> <div>- 학습자의 역량, 성향 및 수준을 고려한 조 편성</div> <div>- 평가항목 : 아이디어, 기술구현, 프로젝트 관리, 프레젠테이션, 팀 역할분담</div>			

■ 과제(작업) 결과물 예시

항목	세부내용
프로젝트	SoC 반도체 Peripheral RTC 설계 프로젝트
주제	ARM Core IP와 연동하여 Peripheral IP를 설계하고 SoC 반도체를 구현한다.
소개글	ARM Core IP와 연동하기 위해 AMBA BUS를 이해하고 AXI4 버스를 이용하여 RTC Peripheral 반도체를 설계하고 이를 활용한다.

결과물 예시

Part 1. 설계 목표

- MicroBlaze Soft Processor Core와 AXI4 Lite AMBA BUS를 활용한 Peripheral 설계 프로젝트를 진행한다.
- 개요
 - Microblaze로 세탁기 기능을 FSM을 이용해 설계
 - Microblaze & AXI4Lite AMBA BUS를 이용해 PWM, FND, RTC Peripheral IP 설계
 - 세탁기의 Auto, Select mode별 세탁, 행굼, 탈수 기능별로 PWM 제어
 - Timer IP : 1second 단위로 INTERRUPT 발생
 - UART IP : Bluetooth 모듈을 이용해 세탁기 제어

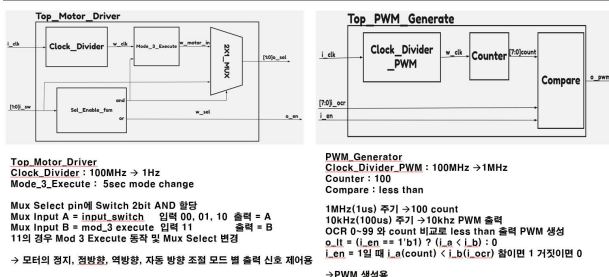
Part 2. 개발환경 & PIN배치



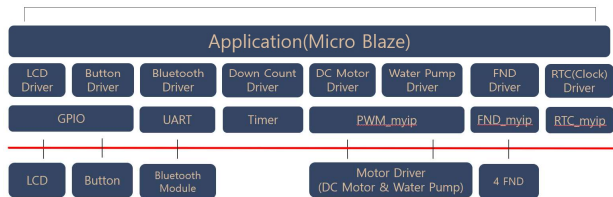
Part 2, IP별 구현 기능

IP	세부 기능
RTC (Real Time Clock)	시간 설정이 가능한 시계
FND	각 세타크 모드와 남은 시간 표시
	각 모드 별
PWM	세탁기 모터 제어 Water Pump 제어
	UART통신 Bluetooth 제어
UART	휴대폰 입력 세탁기 제어 Blaze RTC 시간 출력
GPIO	LCD Data 출력, Button 입력
Timer	Interrupt를 이용해 1초를 count하는 down counter제어

Part 3, PWM Driver Sub Module - RTL Design IP



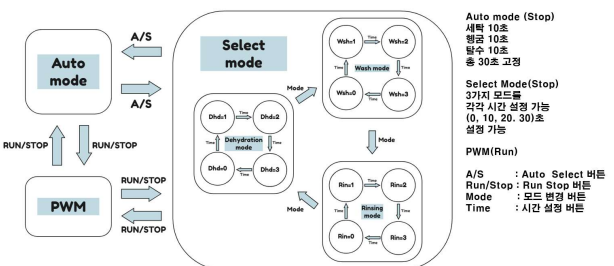
SW / HW STACK



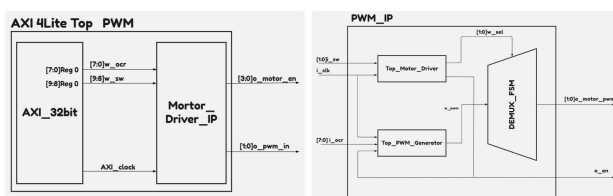
Micro Blaze Design Input / Output Spec

I/O	Signal Name	Bit	Description
Input	<u>sys_clock</u>	1	Input 100MHz Clock Source
Input	<u>reset</u>	1	Input reset pushbutton
Input	<u>i_btn_tri_io</u>	1	Input Wash Machine control pushbutton
Input	<u>usb_uart_rxd</u>	1	UART Rx signal
Input	<u>o_lcd_tri_io</u>	7	Output LCD Data
Output	<u>o_fnd_font</u>	8	Output 7-Segment font data
Output	<u>o_fnd_sel</u>	4	Output 7-Segment select
Output	<u>o_pump_en</u>	1	Enable for pump
Output	<u>o_motor_en</u>	1	Enable for motor
Output	<u>o_pump_pwm</u>	2	Pump_pwm
Output	<u>o_motor_pwm</u>	2	Motor_pwm
Output	<u>usb_uart_txd</u>	1	UART Tx signal

FSM



Pulse Width Modulation (PWM) Driver Top Module - RTL Design IP



PWM 양방향 제어 위하여
H/W Motor Driver의 In1, In2에 들어가는 신호를 Demux로 변경

Figure 10 consists of three sub-figures. Sub-figure (a) is a schematic diagram of the proposed method, showing a power MOSFET circuit with a gate driver and a load. Sub-figure (b) is a comparison of the proposed and conventional methods, showing the gate voltage (V_{gs}) and drain current (I_d) waveforms. The proposed method (red) shows a faster rise time and lower switching loss compared to the conventional method (blue). Sub-figure (c) is a comparison of the proposed and conventional methods, showing the gate voltage (V_{gs}) and drain current (I_d) waveforms. The proposed method (red) shows a faster rise time and lower switching loss compared to the conventional method (blue).