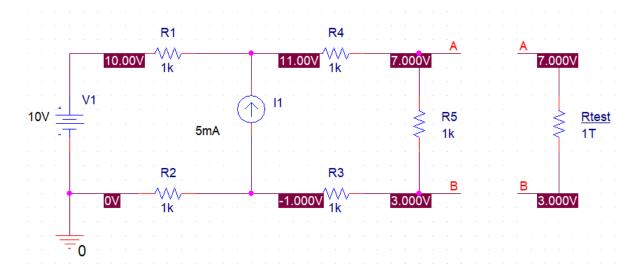
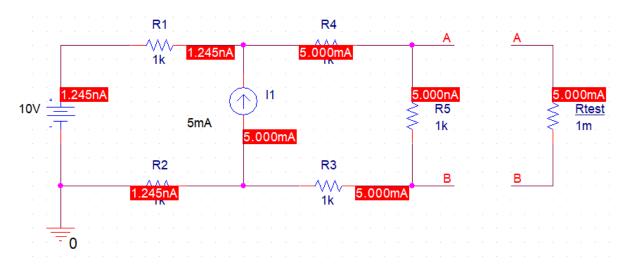
1) A-B단에서 회로 1의 테브난 등가 회로와 노턴 등가 회로를 SPICE 시뮬레이션을 이용하여 구하시오.

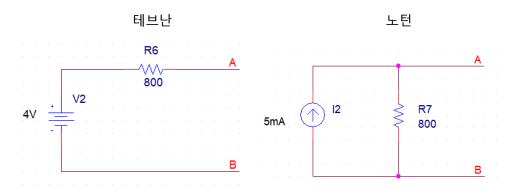


$$Voc = 7V - 3V = 4V$$

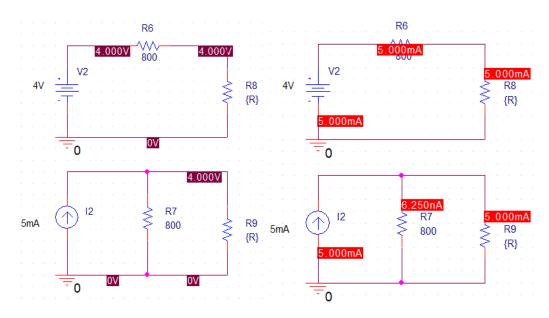


Isc = 5mA

Voc/Isc = 800(ohm)



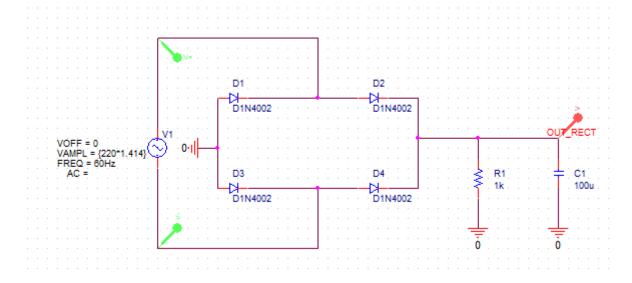
2) 1)에서 구한 테브난, 노턴 등가 회로가 회로1과 등가 관계가 맞는 지를 SPICE 시뮬레이 션으로 검증하시오



회로 1과 동일한 출력단자 전압과 전류를 보이는 것으로 보아 등가 관계가 맞다는 것을 알 수 있다.

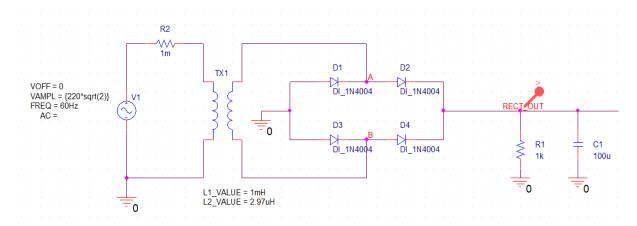
과제2

1) VSIN 전원을 이용하여 가정용 전원 220 Vrms, 60Hz 전원을 구현하시오



2) 앞의 VSIN 을 입력 받아서 크기를 12 Vrms 정현파가 되도록 회로를 구성하고 그 파형을 아래의 브릿지 정류 회로 Vs+, Vs- 단자에 입력하여 정류하시오.

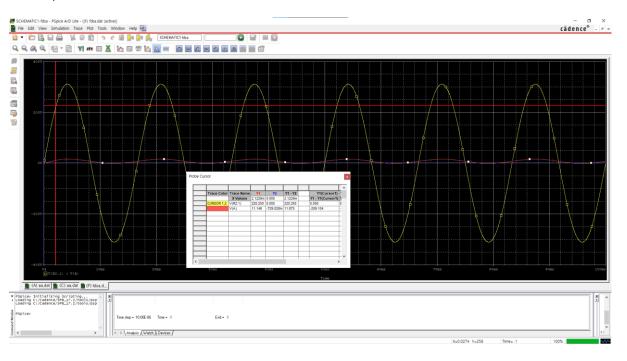
220V 가정용 전원은 우리가 실생활에 사용하기에는 너무 큰 전압이기 때문에 변압기를 이용해서 DC변환이 필요하다



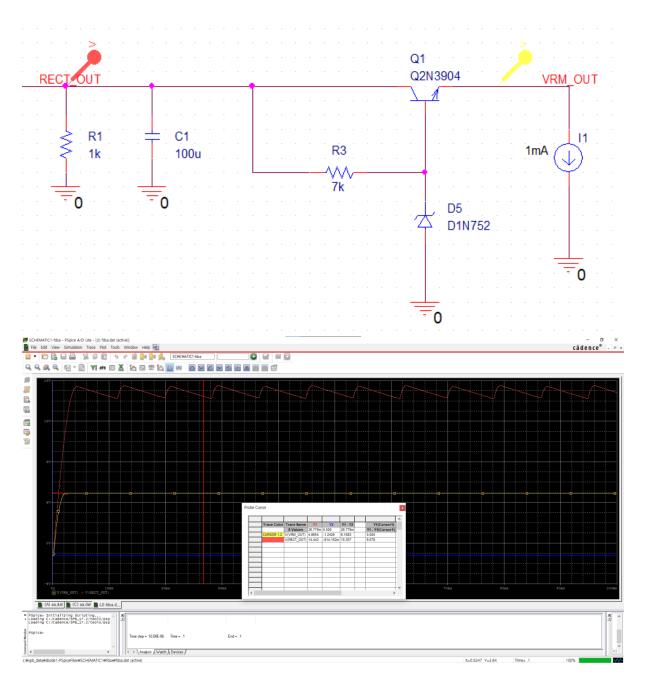
변압기 L1의 값을 1mH로 고정시켰을 때 L2의 값은

V2/V1 = sqrt(L2/L1) = 220V/12V = sqrt(L2/1mH)

L2 = 약 2.97uH



3) 2) 회로의 출력 OUT_RECT를 입력 받아서 DC 5V 전압과 1mA 전류를 출력하는 회로를 구현하시오. (단, D1N752 제너 다이오드를 활용하고 출력 전압의 오차는 +-5%까지 허용한다.)

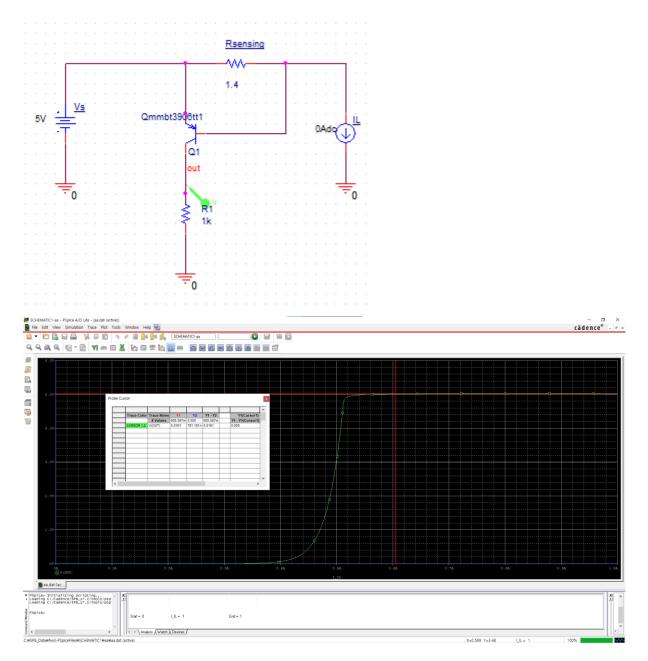


R3 = (Vin - Vz) / Iz = 7 / 1m = 7k(ohm)

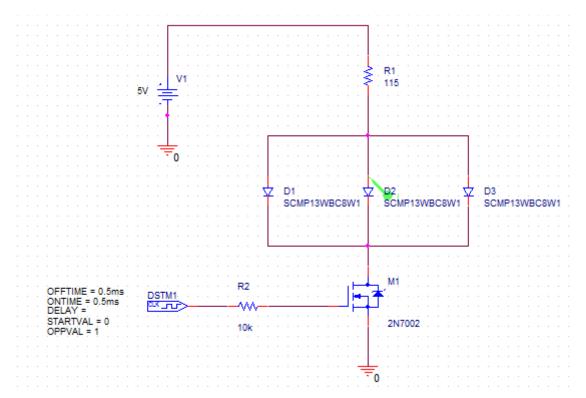
결과값 4.8654V 오차 = (5 - 4.87) / 5 *100 = 약 2.6%

1) 아래의 Qmmbt3906tt1 PNP 트랜지스터를 이용한 과전류 검출 회로에서 IL 전류가 0.5A 이상이 흐를 때 OUT 단자의 전압이 5V가 되도록 Rsensing 저항 값을 설계하시오

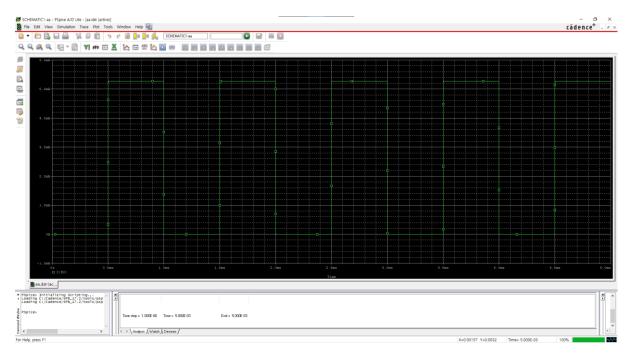
Rs = VBE.on / lo.max = 0.7 / 0.5 = 1.4 ohm



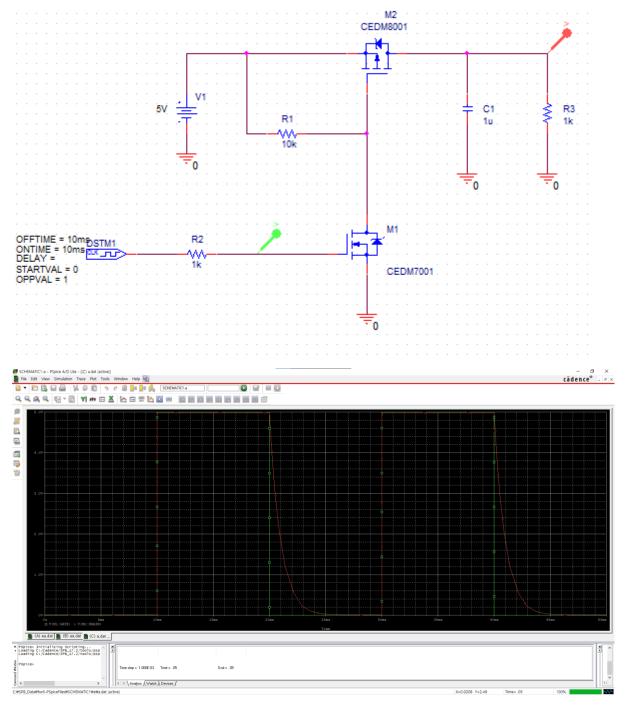
1) 아래 회로 1에서 SCMP13WBC8W1의 White LED 3개를 스위칭하는 회로를 설계하시 오.(단, 각각의 SCMP13WBC8W1에 5mA ON 전류가 흐르게 한다.)



LED 각각 5mA의 전류가 흐르게 하기 위해서는 R1 저항에 15mA가 흘러야 한다 R2는 적당히 10k ohm 정도로 설정하면 된다.

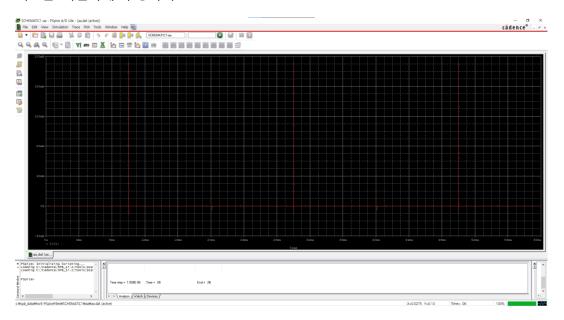


1) 아래 Load Switch 회로의 입력 신호와 출력 신호의 파형을 관찰하고 Load Switch 동작을 설명하시오



커패시터 성분으로 인해 High 신호에서 충전, Low 신호에서 방전이 되면서 서서히 전압이 내려가는 것을 확인 할 수 있다.

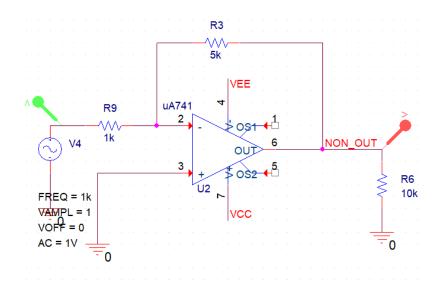
2) CL 커패시터로 흐르는 inrush current를 확인하고 그 최대 크기를 300mA 이하가 되도록 회로를 적절하게 수정하시오.

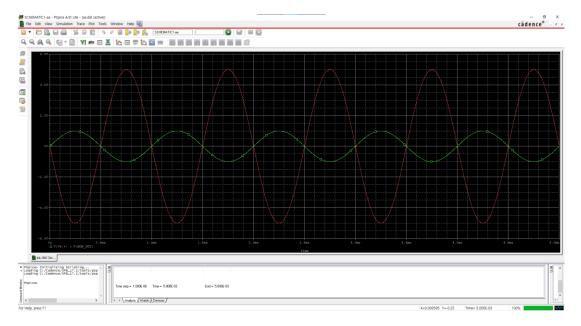


커패시터로 흐르는 inrush current는 저항 R2에 따라 달라지게 된다. 저항값이 작아질수록 inrush current는 증가하게 된다. 1k정도의 저항을 사용했을 때 200mA 정도 나오는 것을 확인할 수 있다.

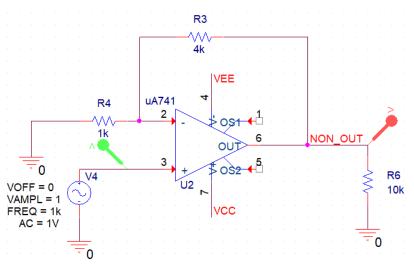
과제6

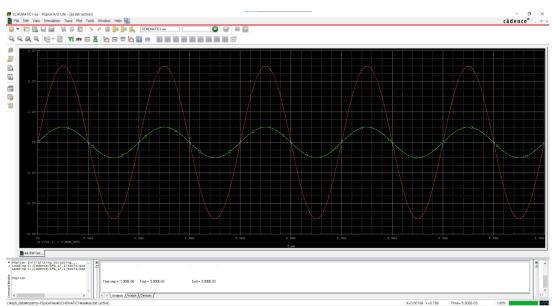
1) TL074 OP-AMP를 이용하여 증폭도가 -5인 반전 증폭기와 +5인 비반전 증폭기를 설계하고 그 결과를 SPICE 시뮬레이션으로 확인하시오(공급전압 VCC = 12V, VEE = -12V) 반전 증폭기





비반전증폭기





2) 1)에서 구성한 증폭기 회로들을 VCC = 12V만 사용하는 단일 전원 구조로 변환하고 그 결과를 SPICE 시뮬레이션으로 확인하시오

반전 증폭기

* PSpice> Initializing Scripting...
Loading C:/Cadence/SPB_17.2/tools/psp Loading C:/Cadence/SPB_17.2/tools/psp

Time step = 1.000E-06 Time = 5.000E-03

