1

절차형 할당문

Kyung-Wook Shin kwshin@kumoh.ac.kr

School of Electronic Eng., Kumoh National Institute of Technology

Verilog HDL 행위수준 모델링 K. W. SHIN

5.2 절차형 할당문

2

- □ 절차형 할당문
 - ❖ reg, integer, time, real, realtime 자료형과 메모리 변수에 값을 갱신
 - ❖ 문장이 나열된 순서대로 실행(execute)되어 할당문 좌변의 변수 값을 갱신하는 소프트웨어적 특성
 - 연속 할당: 피연산자 값에 변화(event)가 발생할 때마다 우변의 식이 평가되고,
 그 결과 값이 좌변의 net를 구동(drive)하는 하드웨어적 특성
 - ❖ Blocking 할당문
 - ▶ 할당기호 = 을 사용
 - ❖ Nonblocking 할당문
 - ▶ 할당기호 <= 을 사용

Verilog HDL 행위수준 모델링 K. W. SHIN

4-1

5.2.1 Blocking 할당문

3

□ Blocking 할당문

❖ 현재 할당문의 실행이 완료된 이후에 그 다음의 할당문이 실행되는 순차적 흐름을 가짐

```
reg_lvalue = [delay_or_event_operator] expression;
```

예 5.2.1

Verilog HDL

행위수준 모델링

K. W. SHIN

5.2.2 Nonblocking 할당문

4

■ Nonblocking 할당문

- ❖ 나열된 할당문들이 순차적 흐름에 대한 blocking 없이 정해진 할당 스케줄 (assignment scheduling)에 의해 값이 할당
- ❖ 할당문들은 우변이 동시에 평가된 후, 문장의 나열 순서 또는 지정된 지연 값에 따른 할당 스케줄에 의해 좌변의 객체에 값이 갱신
 - 동일 시점에서 변수들의 순서나 상호 의존성에 의해 할당이 이루어져야 하는 경우에 사용

```
reg_lvalue <= [delay_or_event_operator] expression;</pre>
```

Verilog HDL 행위수준 모델링 K. W. SHIN

4-2

5.2.2 Nonblocking 할당문

5

에 5.2.2 nonblocking 할당문과 blocking 할당문의 비교

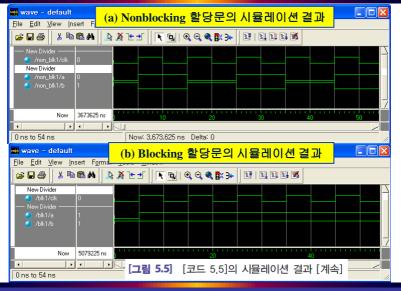
Verilog HDL

행위수준 모델링

K. W. SHIN

5.2.2 Nonblocking 할당문

6



Verilog HDL

행위수준 모델링

K. W. SHIN