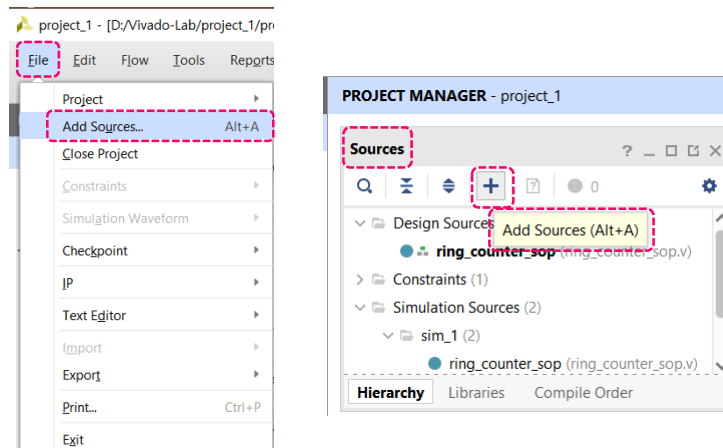


1. Vivado Design Suite
2. Vivado IDE
3. Project 생성
4. 설계 입력
- 5. RTL Simulation**
6. Design Synthesis
7. Design Implementation
8. FPGA Device Programming

5. RTL 시뮬레이션

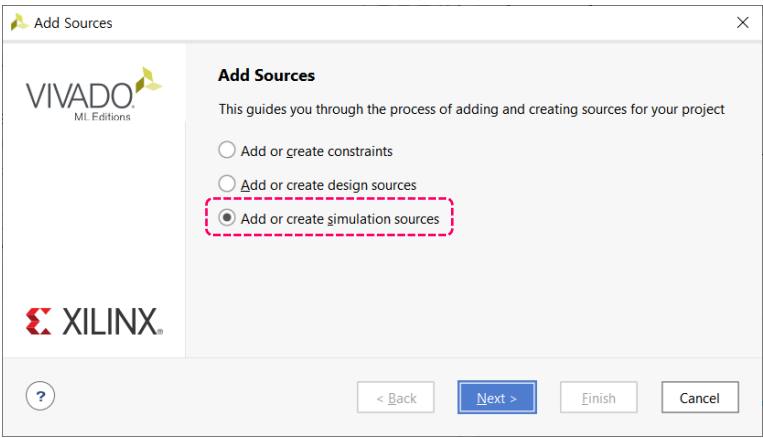
□ 테스트벤치 파일 생성



5. RTL 시뮬레이션

3

□ 테스트벤치 파일 생성



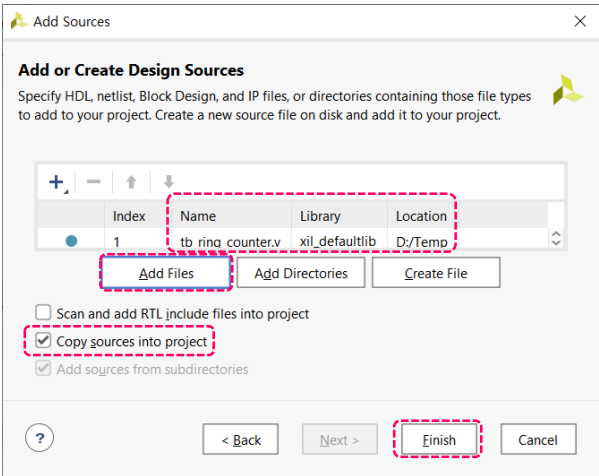
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

4

□ 테스트벤치 파일 생성 – Add Simulation Sources



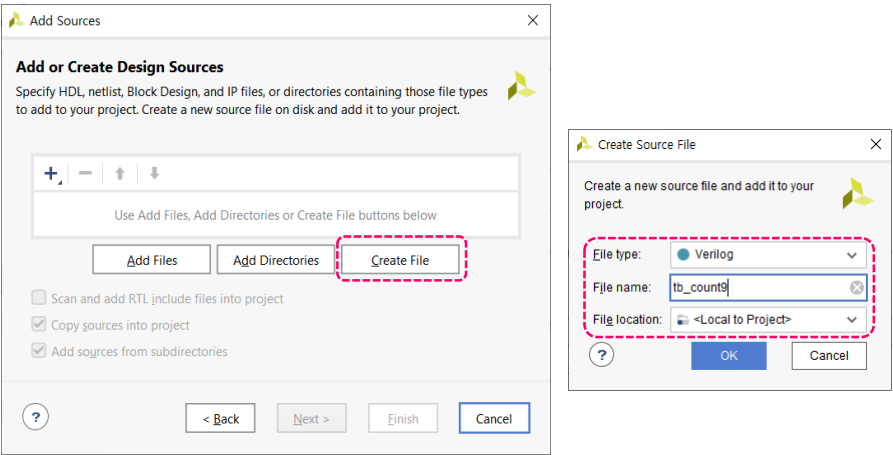
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

5

테스트벤치 파일 생성 – Create Simulation Sources



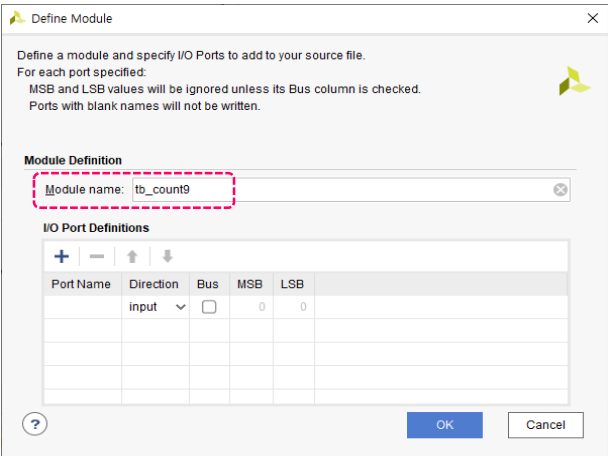
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

6

테스트벤치 파일 생성 – Define Module



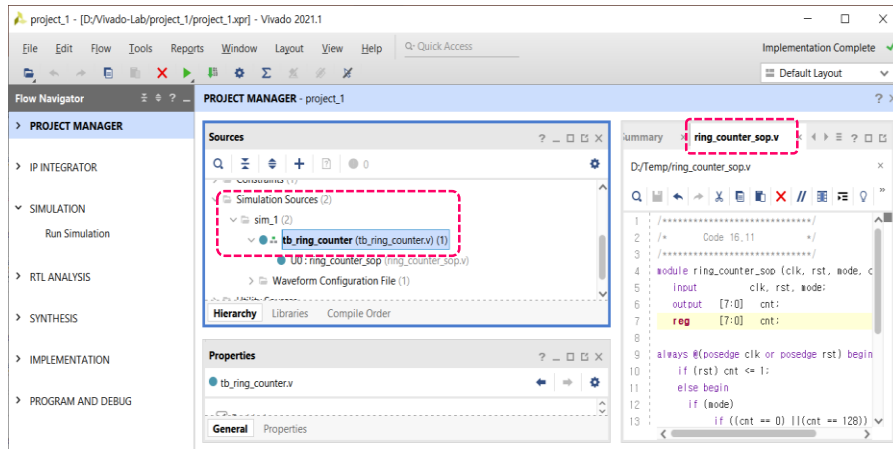
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

7

- 테스트벤치 파일이 프로젝트에 삽입된 상태



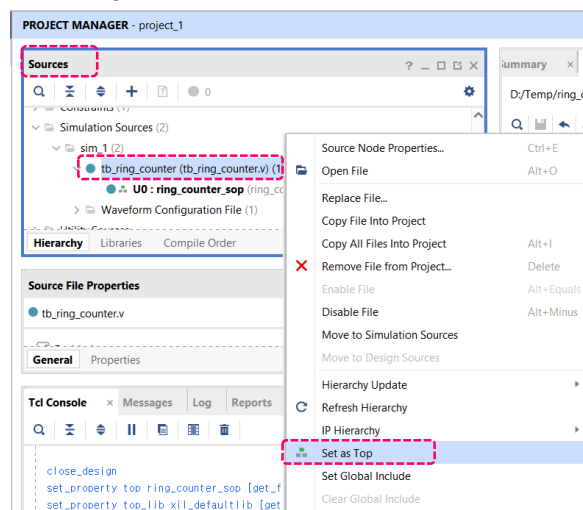
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

8

- 테스트벤치를 top 모듈로 설정; 테스트 벤치 파일 우클릭 → Set as Top



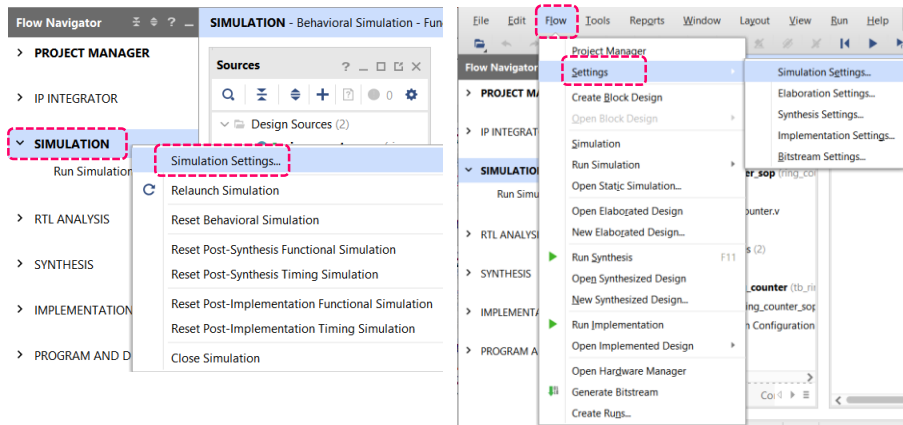
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

9

시뮬레이션 설정



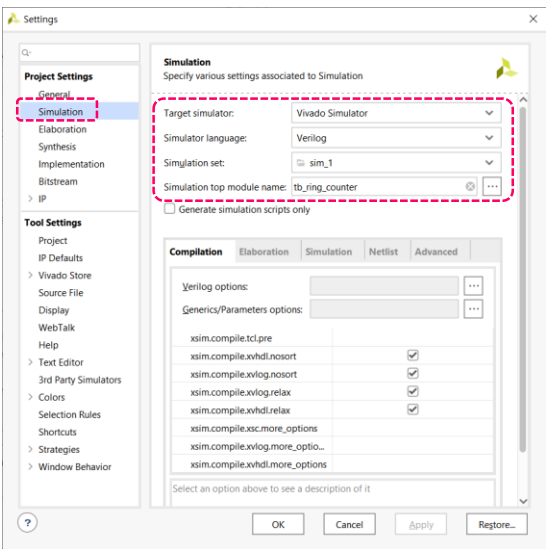
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

10

시뮬레이션 설정



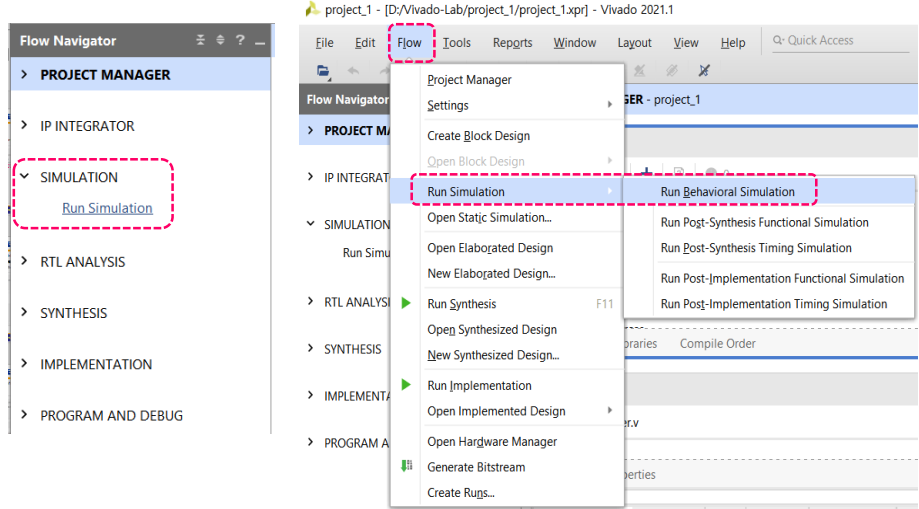
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

11

□ 시뮬레이션 실행



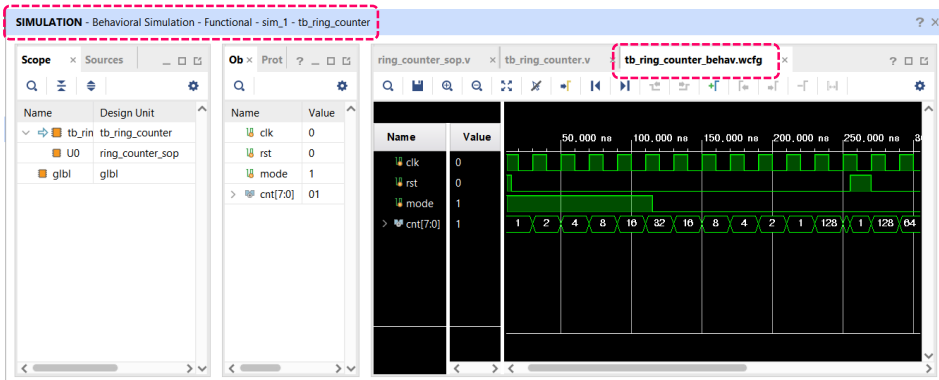
Verilog HDL

Xilinx Vivado Design Suite

5. RTL 시뮬레이션

12

□ 시뮬레이션 결과 확인



Verilog HDL

Xilinx Vivado Design Suite