

조합논리회로 모델링(1)

Kyung-Wook Shin
kwshin@kumoh.ac.kr

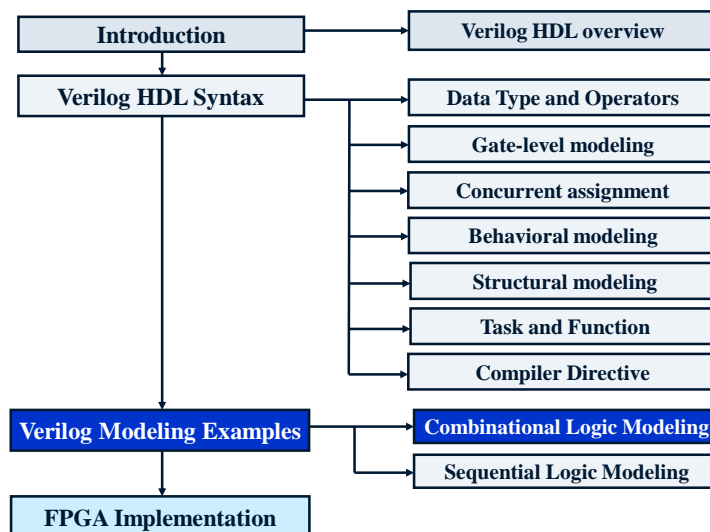
School of Electronic Eng.,
Kumoh National Institute of Technology

Verilog HDL

조합논리회로 모델링

Learning Map

2



Verilog HDL

조합논리회로 모델링

10.0 조합논리회로 모델링

3

조합논리회로의 형태와 설계에 사용되는 Verilog 구문

| | | |
|----------------------------|--|---|
| 조합논리회로의 형태 | <ul style="list-style-type: none"> ·논리 게이트 ·Multiplexer ·Encoder ·Decoder ·Random Logic | <ul style="list-style-type: none"> ·Adder ·Subtractor ·ALU ·Lookup Table ·Comparator |
| 조합논리회로 설계에 사용되는 Verilog 구문 | <ul style="list-style-type: none"> ·게이트 프리미티브 ·연속 할당문 (assign 문) ·행위수준 모델링 (if 문, case 문, for 문) ·함수 및 task (시간 또는 event 제어를 갖지 못한다) ·모듈 인스턴스 | |
| 논리합성이 지원되지 않는 Verilog 구문 | <ul style="list-style-type: none"> ·initial 문 ·스위치 프리미티브 (cmos, nmos, tran 등) ·forever 반복문 ·wait, event, 지연 등 타이밍 제어 구문 ·force-release, fork-join ·시스템 task (\$finish, \$time 등) | |

Verilog HDL

조합논리회로 모델링

10.0 조합논리회로 모델링

4

□ 조합논리회로 모델링 시 유의사항

- ❖ always 구문
 - 감지신호 목록 (sensitivity list)에 회로 (즉, always 블록으로 모델링되는 회로)의 입력신호들이 빠짐없이 모두 포함되어야 함
 - 그렇지 않은 경우 ; 합성 전과 합성 후의 시뮬레이션 결과가 다를 수 있음
- ❖ if 조건문과 case 문
 - 모든 입력 조건들에 대한 출력값이 명시적으로 지정되어야 함
 - 그렇지 않은 경우 ; 래치가 생성되어 순차논리회로가 될 수 있음
- ❖ 논리 최적화가 용이한 구조와 표현을 사용
 - 최소의 게이트 수와 최소 지연경로를 갖는 회로가 합성되도록 해야 함
- ❖ 소스코드가 간결해지도록 모델링
 - 소스코드의 가독성 (readability)을 좋게 하여 오류 발생 가능성을 줄여 주고, 디버깅을 용이하게 하여 설계 생산성을 높여 줌

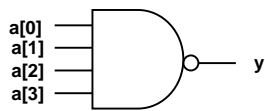
Verilog HDL

조합논리회로 모델링

10.1.1 기본 논리게이트 모델링

5

□ 4입력 NAND 게이트



비트 연산자, 축약연산자, 게이트 프리미티브

```
module nand4_op1(a, y);
    input  [3:0] a;
    output          y;

    assign y = ~(a[0] & a[1] & a[2] & a[3]); // 비트 연산자
    // assign y = ~&a;                        // 축약 연산자
    // nand U0(y, a[0], a[1], a[2], a[3]);    // 게이트 프리미티브
endmodule
```

코드 10.1 ~ 10.3

Verilog HDL

조합논리회로 모델링

10.1.1 기본 논리게이트 모델링

6

□ 4입력 NAND 게이트

if 조건문

```
module nand4_if(a, y);
    input  [3:0] a;
    output          y;
    reg          y;

    always @(a) begin
        if(a == 4'b1111) y = 1'b0;
        else             y = 1'b1;
    end
endmodule
```

코드 10.4

Verilog HDL

조합논리회로 모델링

10.1.1 기본 논리게이트 모델링

7

4입력 NAND 게이트 (테스트벤치)

```
module tb_nand4;
  reg [3:0] a;
  wire      y;
  integer   i;

  nand4_op1 U0(a, y);
  // nand4_op2 U0(a, y);
  // nand4_gate U0(a, y);
  // nand4_if U0(a, y);

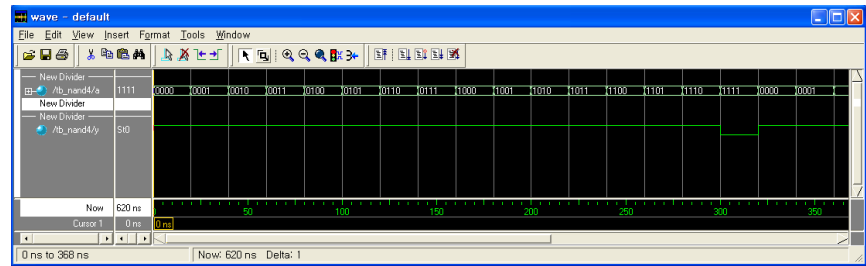
  initial begin
    a = 0;
    for(i=1; i < 32; i=i+1)
      #20 a = i;
  end

endmodule
```

코드 10.5

10.1.1 기본 논리게이트 모델링

8



[그림 10.2] 4입력 NAND 게이트의 시뮬레이션 결과

10.1.1 기본 논리게이트 모델링

9

🔗 설계과제 10.1

- ❑ 3입력 NOR 게이트를 아래의 방식으로 모델링하고, 테스트벤치를 작성하여 기능을 검증
 - ① 비트단위 연산자를 사용하는 방법
 - ② 축약 연산자를 사용하는 방법
 - ③ 게이트 프리미티브를 사용하는 방법
 - ④ if 조건문을 사용하는 방법

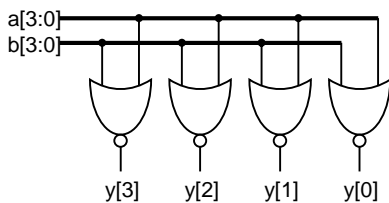
Verilog HDL

조합논리회로 모델링

10.1.2 멀티비트 논리연산의 모델링

10

- ❑ 4비트 2입력 NOR 게이트



비트 연산자

```
module nor_op(a, b, y);  
  input  [3:0] a, b;  
  output [3:0] y;  
  
  assign y = ~(a | b);  
  
  // assign y[0] = ~(a[0] | b[0]);  
  // assign y[1] = ~(a[1] | b[1]);  
  // assign y[2] = ~(a[2] | b[2]);  
  // assign y[3] = ~(a[3] | b[3]);  
  
endmodule
```

코드 10.6

Verilog HDL

조합논리회로 모델링

10.1.2 멀티비트 논리연산의 모델링

11

□ 4비트 2입력 NOR 게이트

게이트 프리미티브 배열

```
module nor_gate(a, b, y);
    input  [3:0] a, b;
    output [3:0] y;

    nor U0 [3:0] (y, a, b);
endmodule
```

코드 10.7

for 반복문

```
module nor_for(a, b, y);
    input  [3:0] a, b;
    output [3:0] y;
    reg    [3:0] y;
    integer i;

    always @(a or b) begin
        for(i=0; i < 4; i=i+1)
            y[i] = ~(a[i] | b[i]);
        end
    endmodule
```

코드 10.8

Verilog HDL

조합논리회로 모델링

10.1.1 기본 논리게이트 모델링

12

□ 4입력 NOR 게이트 (테스트벤치)

```
module tb_nor;
    reg [3:0] a, b;
    wire [3:0] y;

    nor_gate U0(a, b, y);
    // nor_op U0(a, b, y);
    // nor_for U0(a, b, y);
endmodule
```

```
initial begin
    a = 4'b0000; b = 4'b0000;
    #10 a = 4'b1010; b = 4'b0101;
    #10 a = 4'b1100; b = 4'b1100;
    #10 a = 4'b1011; b = 4'b0000;
    #10 a = 4'b1001; b = 4'b1000;
    #10 a = 4'b1111; b = 4'b0000;
    #10 a = 4'b0010; b = 4'b0111;
    #10 a = 4'b1101; b = 4'b0101;
    #10 a = 4'b0000; b = 4'b1101;
    #10 a = 4'b1111; b = 4'b1111;
    #10 a = 4'b0111; b = 4'b0100;
    #10;
end
endmodule
```

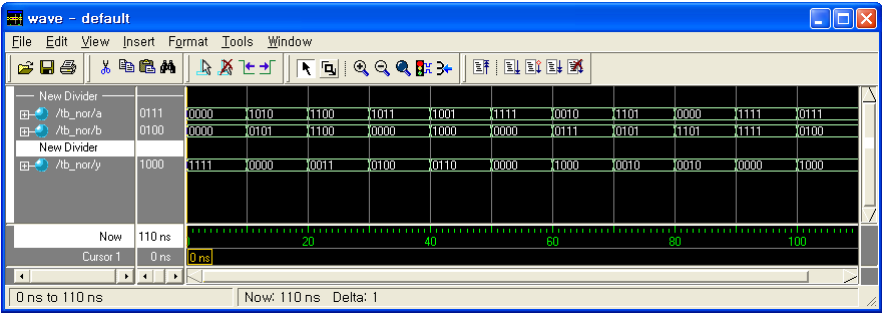
코드 10.9

Verilog HDL

조합논리회로 모델링

10.1.1 기본 논리게이트 모델링

13



[그림 10.4] 4비트 2입력 NOR 게이트의 시뮬레이션 결과

Verilog HDL

조합논리회로 모델링