

# if 조건문

Kyung-Wook Shin  
kwshin@kumoh.ac.kr

School of Electronic Eng.,  
Kumoh National Institute of Technology

Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.3 if 조건문

2

### □ if 조건문

```
if (expression)
    statement_true;
[else
    statement_false;]
```

- ❖ 조건식이 참 (0이 아닌 알려진 값)이면, `statement_true` 부분 실행
- ❖ 조건식이 거짓 (0, x, z)이면, `statement_false` 부분 실행
- ❖ `else` 부분이 없으면, 변수는 이전에 할당 받은 값을 유지 (**latch 동작**)
- ❖ if 문의 내포(**nested**) (즉, if 문 내부에 또 다른 if 문이 있는 경우)
  - if 문 내부에 하나 이상의 `else` 문장이 생략되는 경우, 내부의 `else` 문은 이전의 가장 가까운 if와 결합됨
  - 들여쓰기 또는 `begin – end`로 명확하게 표현

Verilog HDL

행위수준 모델링

K. W. SHIN

# 5.3 if 조건문

3

```
if(index > 0)           // IF-1
  if(rega > regb)        // IF-2
    result = rega;
  else                  // else of the IF-2
    result = regb;
```

```
if(index > 0) begin     // IF-1
  if(rega > regb)        // IF-2
    result = rega;
end
else result = regb;     // else of the IF-1
```

# 5.3 if 조건문

4


```
module mux21_if(a, b, sel, out);
  input  [1:0] a, b;
  input    sel;
  output [1:0] out;
  reg  [1:0] out;

  always @(a or b or sel)
    if(sel == 1'b0) // 또는 if(!sel)
      out = a;
    else
      out = b;
endmodule
```

예 5.3.1

if 조건문을 이용한 2 : 1 멀티플렉서

코드 5.9



[그림 5.8] [코드 5.9]의 시뮬레이션 결과

# 5.3 if 조건문

5

예 5.3.2 비동기식 Active-Low set/reset을 갖는 D 플립플롭

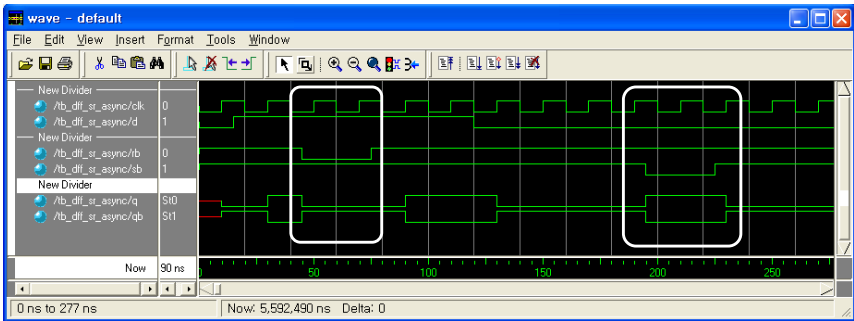
```
module dff_sr_async(clk, d, rb, sb, q, qb);
  input clk, d, rb, sb;
  output q, qb;
  reg q;
  always @(posedge clk or negedge rb or negedge sb)
  begin
    if(rb == 0)
      q <= 0;
    else if(sb == 0)
      q <= 1;
    else
      q <= d;
  end
  assign qb = ~q;
endmodule
```

코드 5.10

# 5.3 if 조건문

6

예 5.3.2 코드 5.10의 시뮬레이션 결과



# 5.3 if 조건문

7

참고: 동기식 Active-Low reset을 갖는 D 플립플롭

```
module dff_sync_rst(clk, d, rst_n, q, qb);
  input  clk, d, rst_n;
  output q, qb;
  reg    q;

  assign qb = ~q;

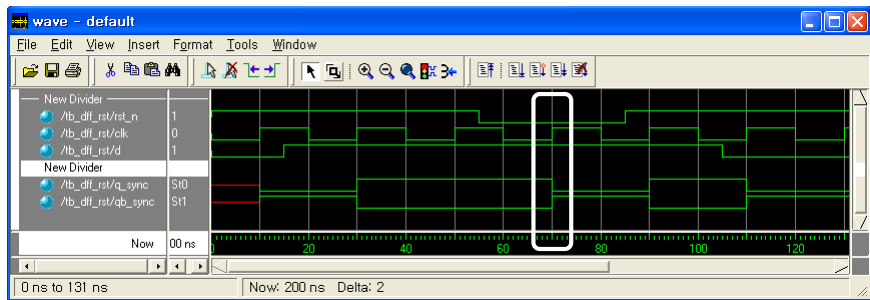
  always @(posedge clk) // include only clk
  begin
    if(!rst_n)          // active-low reset
      q <= 1'b0;
    else
      q <= d;
  end
endmodule
```

코드 11.11

# 5.3 if 조건문

8

참고: 동기식 Active-Low reset을 갖는 D 플립플롭



코드 11.11의 시뮬레이션 결과