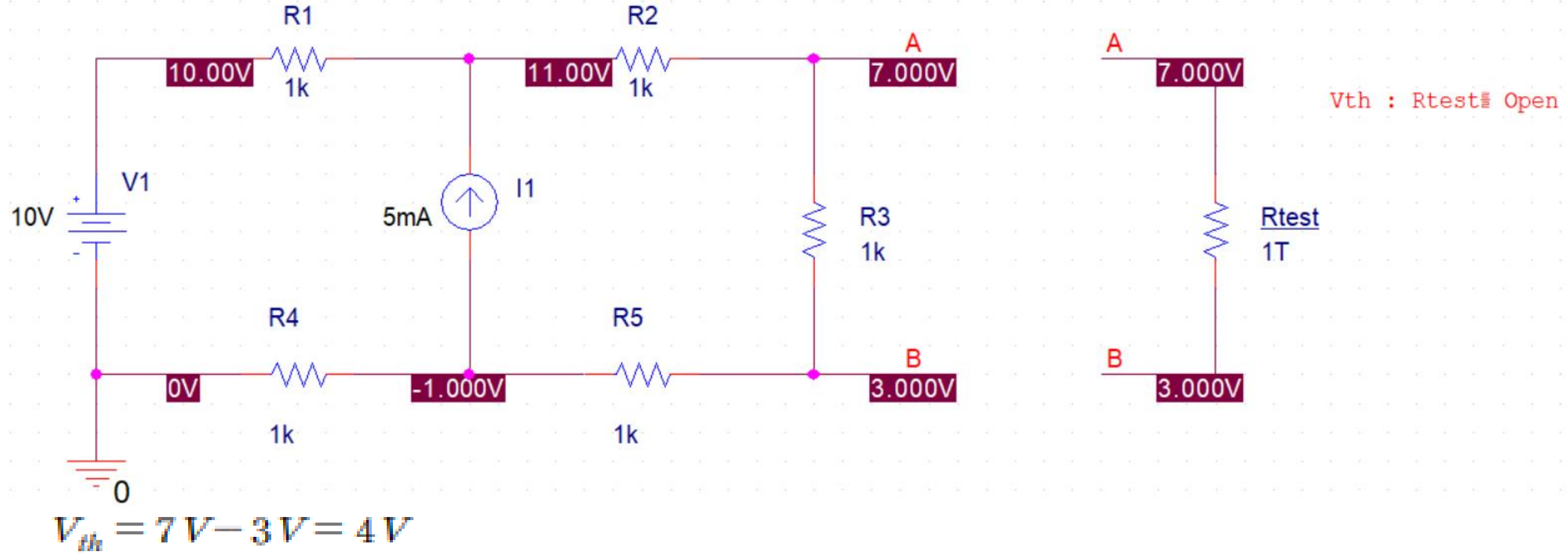


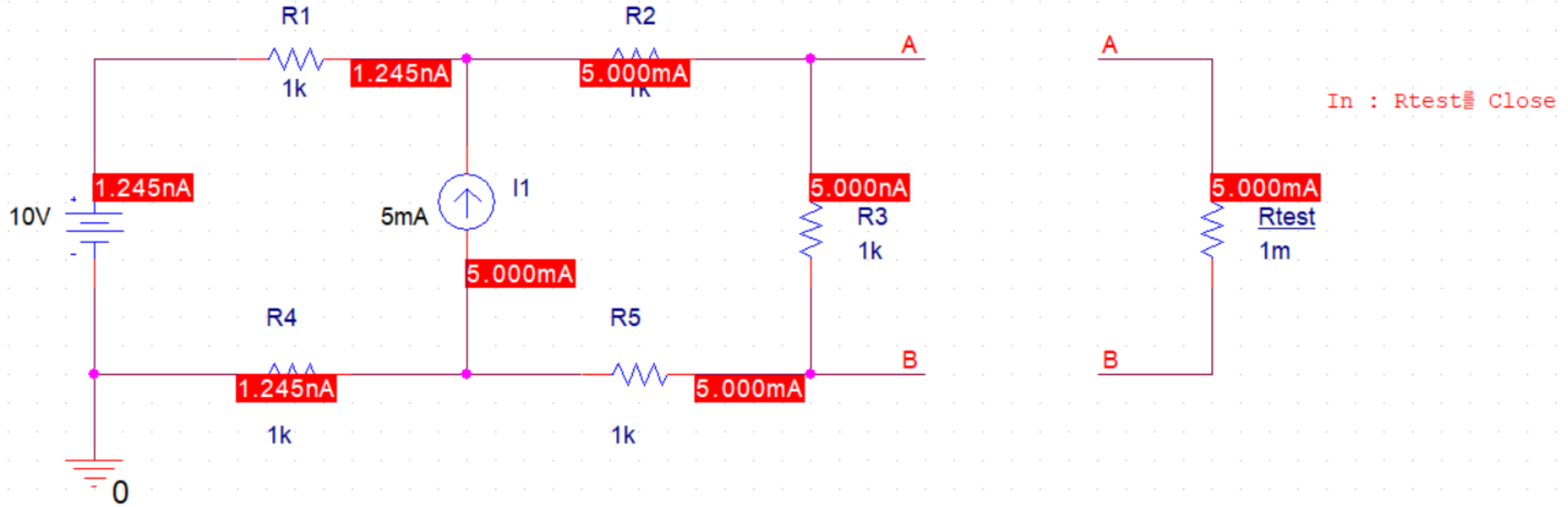
## 과제 1.

1) A-B 단에서 <회로 1>의 테브닌 등가 회로와 노턴 등가 회로를 SPICE 시뮬레이션을 이용하여 구하시오.



## 과제 1.

1) A-B 단에서 <회로 1>의 테브닌 등가 회로와 노턴 등가 회로를 SPICE 시뮬레이션을 이용하여 구하시오.

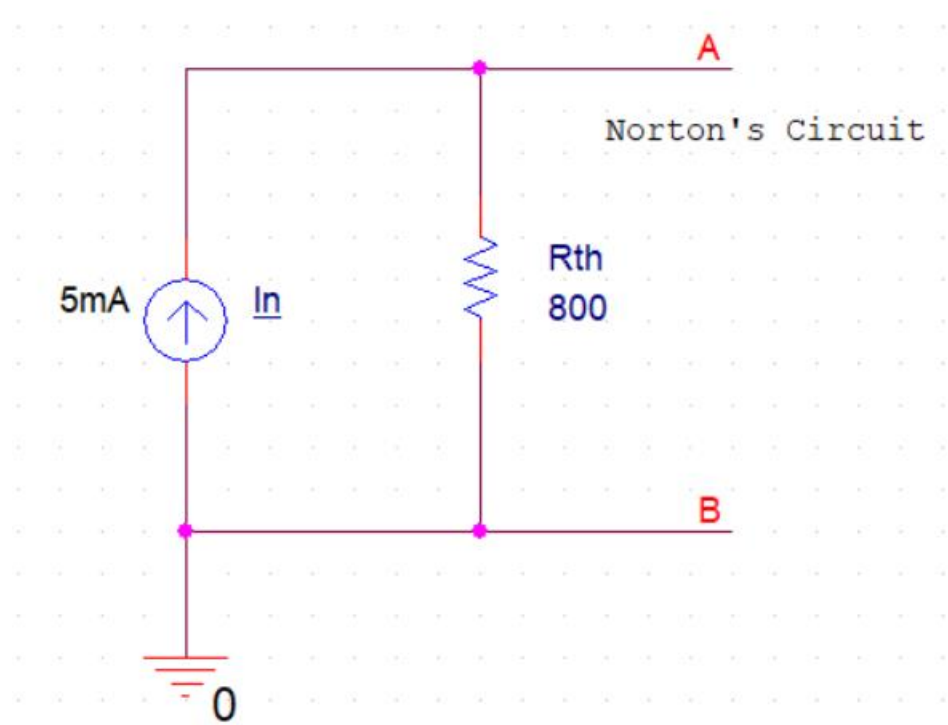
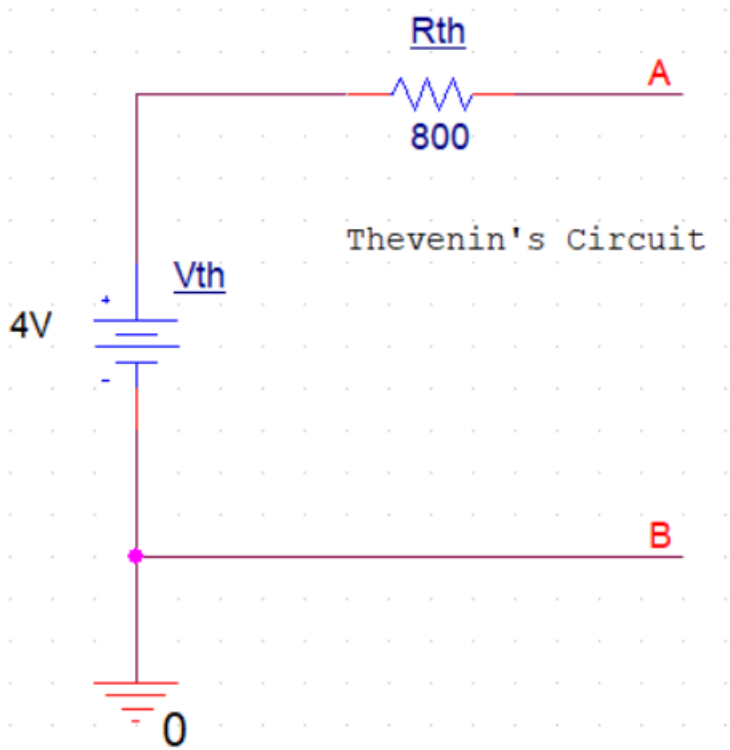


$$I_m = 5.0 \text{ mA}$$

$$\frac{V_{th}}{I_n} = R_{th} = \frac{4V}{5mA} = 800\Omega$$

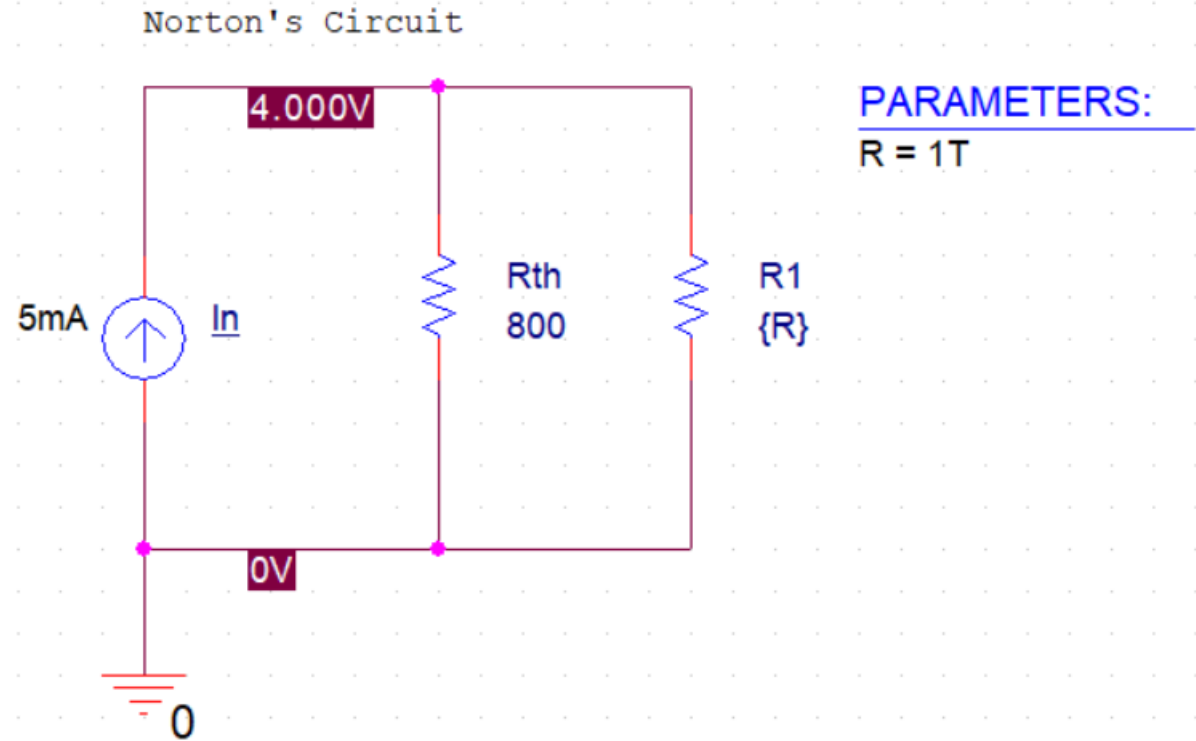
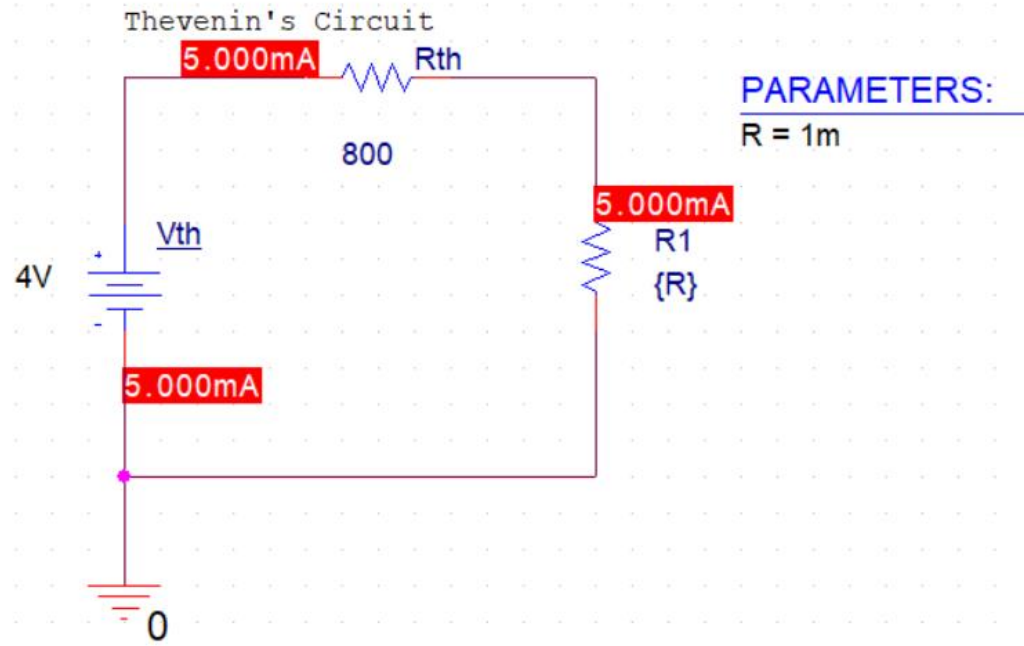
과제 1.

1) A-B 단에서 <회로 1>의 테브닌 등가 회로와 노턴 등가 회로를 SPICE 시뮬레이션을 이용하여 구하시오.



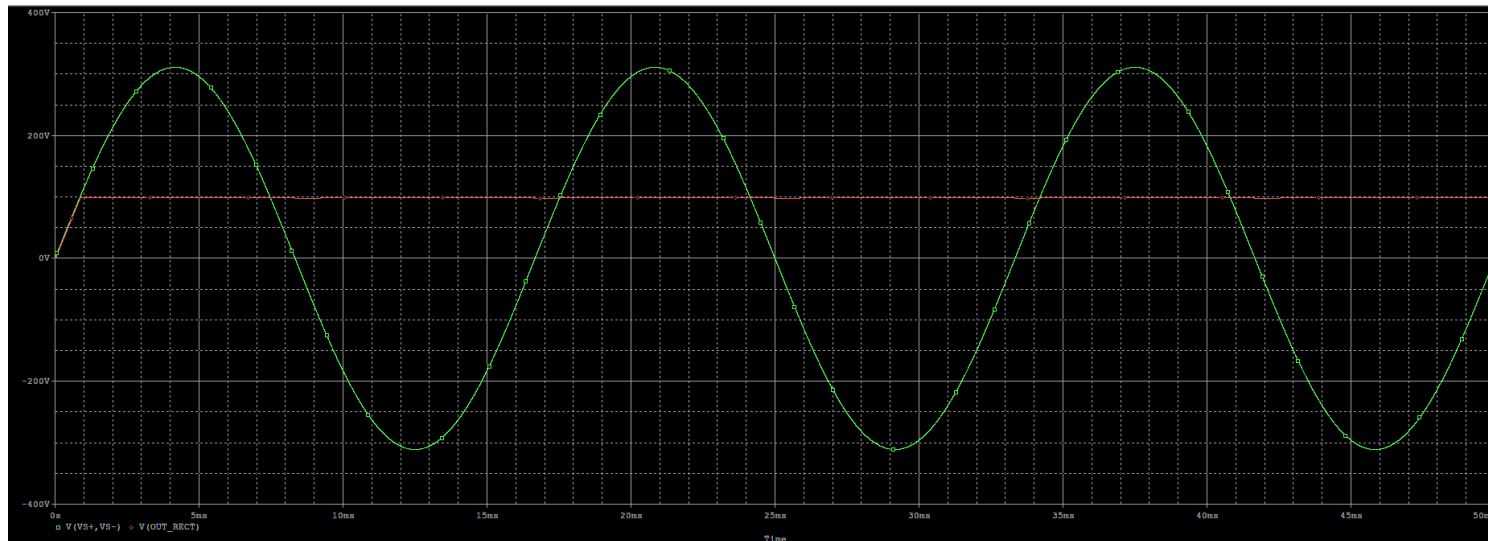
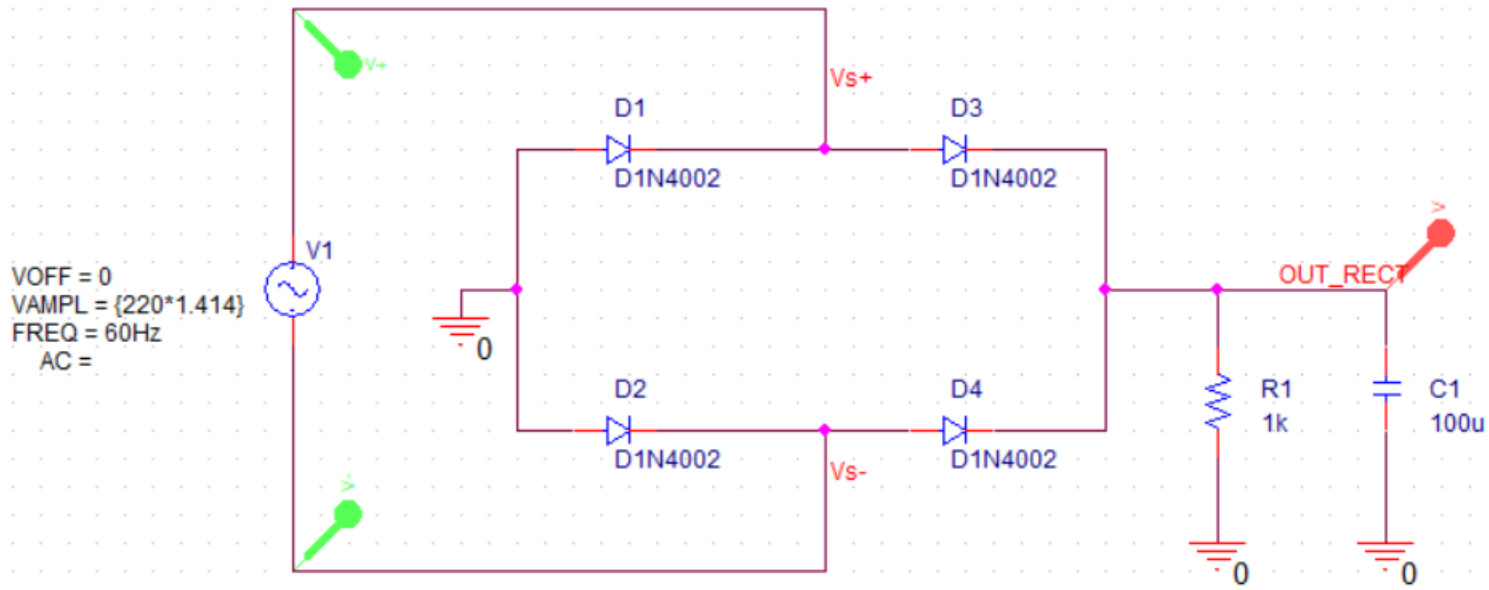
## 과제 1.

2) 1)에서 구한 테브닌, 노턴 등가 회로가 회로1과 등가 관계가 맞는 지를 SPICE 시뮬레이션으로 검증하시오.



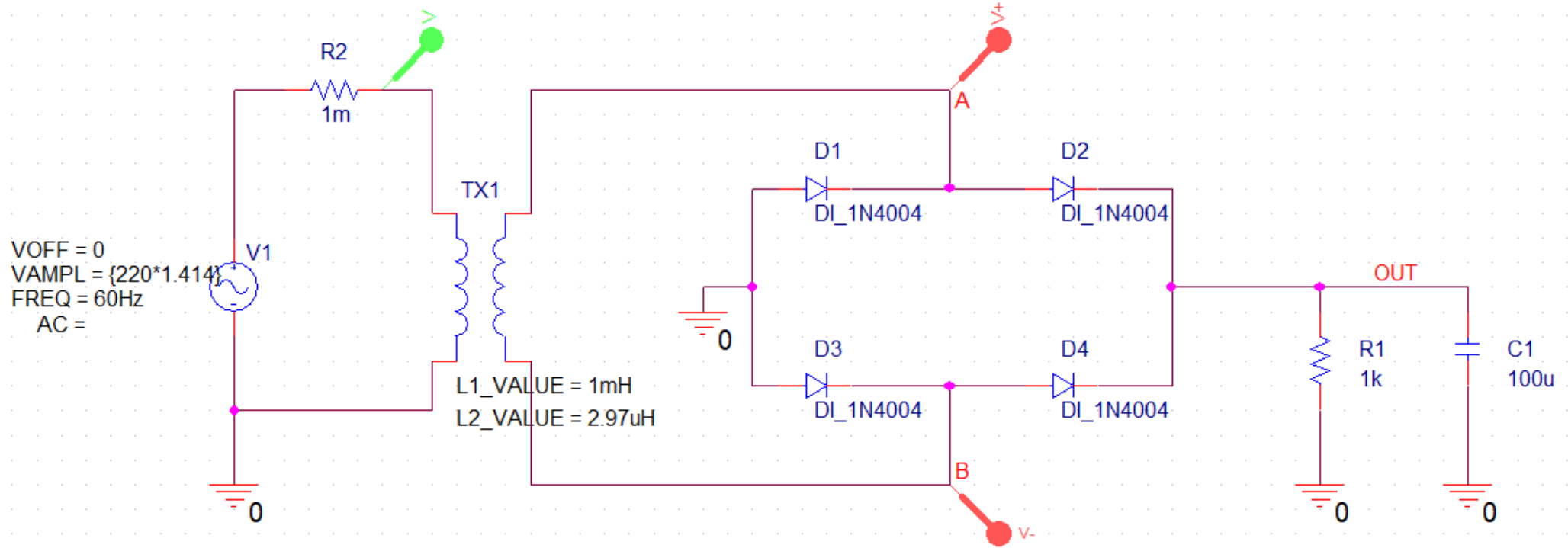
## 과제 2.

1) VSIN 전원을 이용하여 가정용 전원 220 Vrms, 60 Hz 전원을 구현하시오.



## 과제 2.

2) 앞의 VSIN 을 입력 받아서 크기를 12 Vrms 정현파가 되도록 회로를 구성하고 그 파형을 아래의 브릿지 정류 회로 Vs+, Vs- 단자에 입력하여 정류하시오.



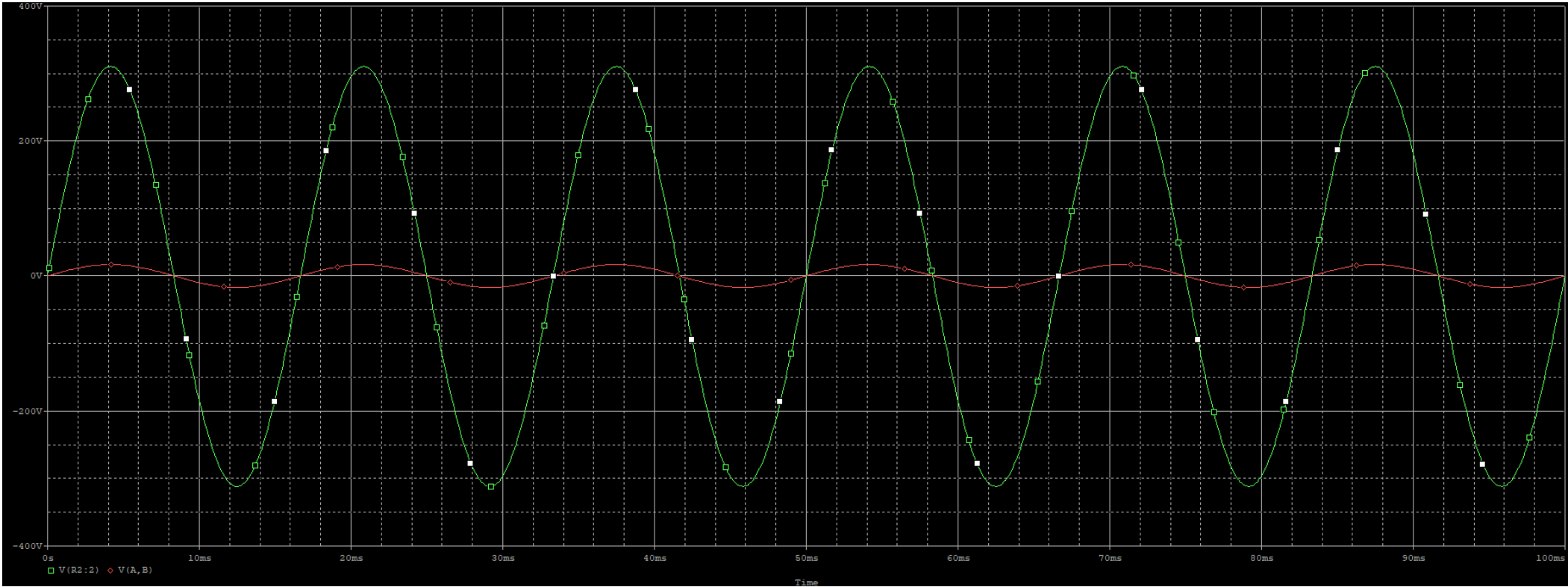
변압기 L 1 을 1 mH로 설정

$$\frac{V_2}{V_1} = \sqrt{\frac{L_2}{L_1}} = \frac{12V}{220V} = \sqrt{\frac{L_2}{1mH}}$$

$$L_2 = 2.97\mu H$$

과제 2.

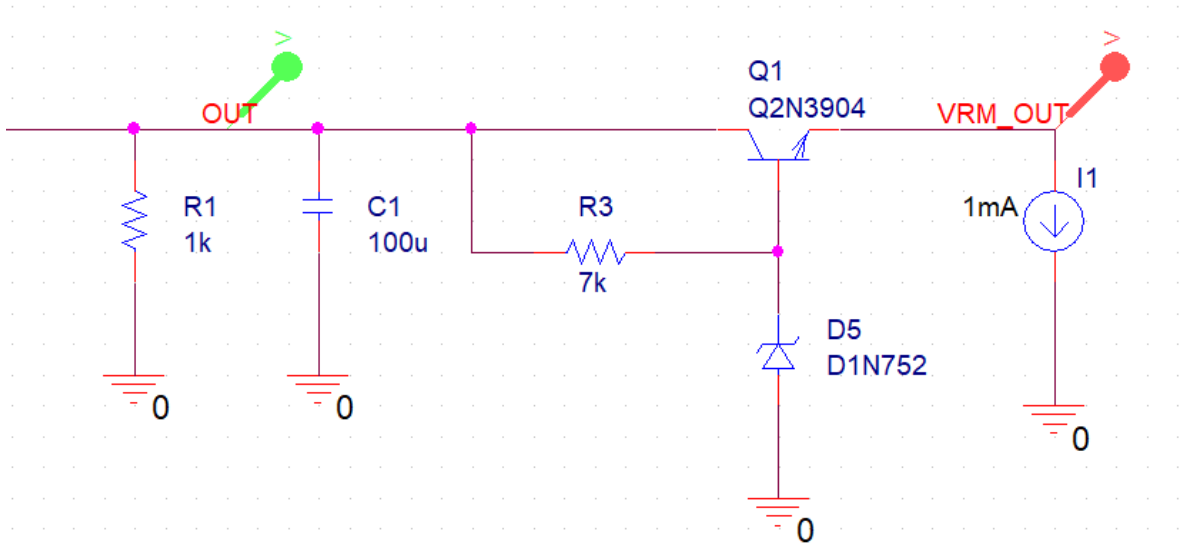
2) 앞의 VSIN 을 입력 받아서 크기를 12 Vrms 정현파가 되도록 회로를 구성하고 그 파형을 아래의 브릿지 정류 회로 Vs+, Vs- 단자에 입력하여 정류하시오.



	Trace Color	Trace Name	Y1	Y2	Y1 - Y2
		X Values	4.1341m	0.000	4.1341m
	CURSOR 1,2	V(R2:2)	310.306	0.000	310.306
		V(A,B)	16.905	6.3912m	16.899

과제 2.

3) 2)회로의 출력 OUT\_RECT를 입력 받아서 DC 5 V 전압과 1 mA 전류를 출력하는 회로를 구현하시오.  
( 단, D1N752 제너 다이오드를 활용하고 출력 전압의 오차는  $\pm 5\%$  까지 허용한다.)



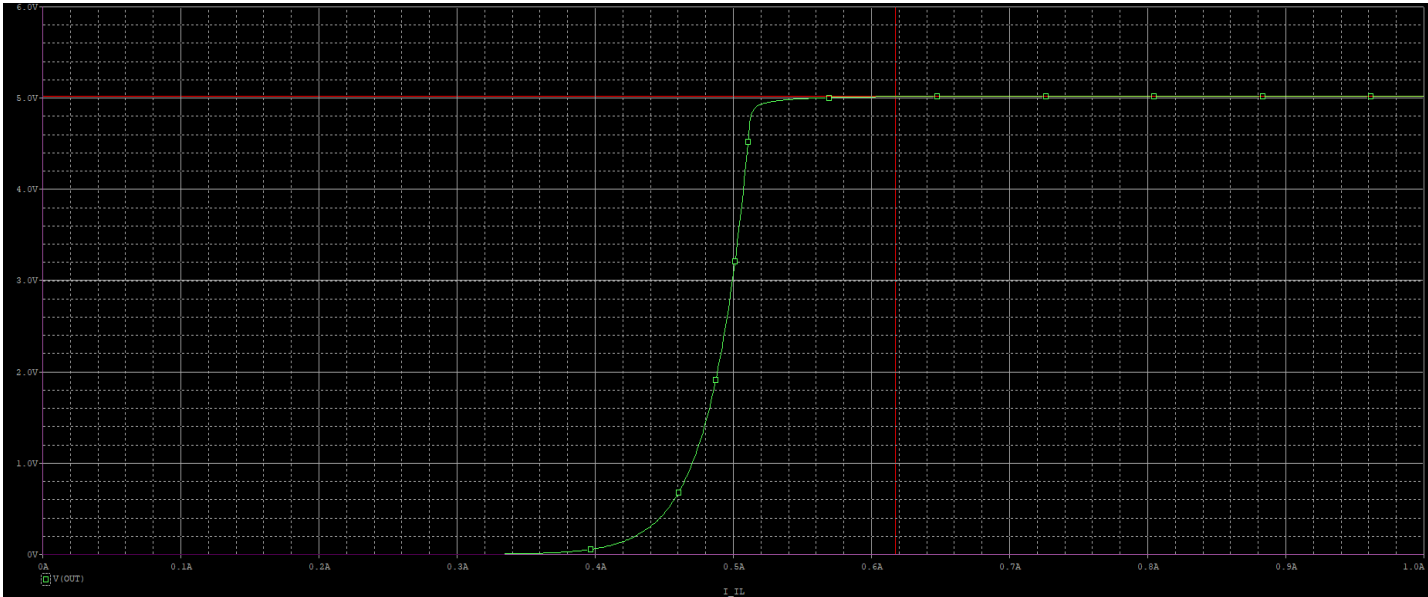
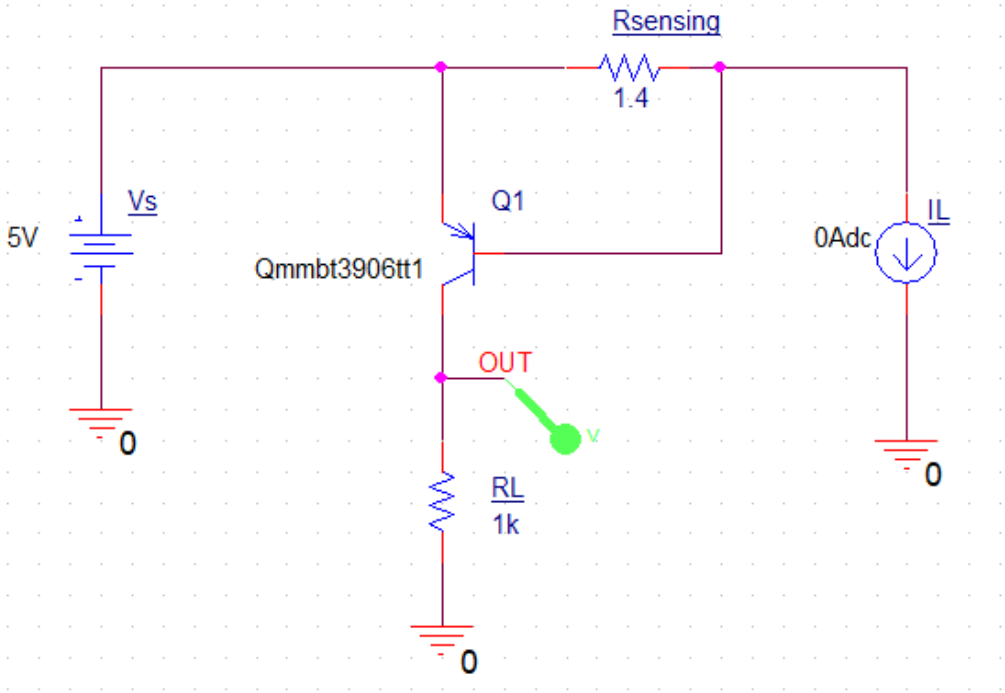
Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	4.3889m	0.000	4.3889m
CURSOR 1,2	V(OUT)	15.415	-914.152m	16.329
	V(VRM_OUT)	4.8688	-1.2429	6.1117





과제 3.

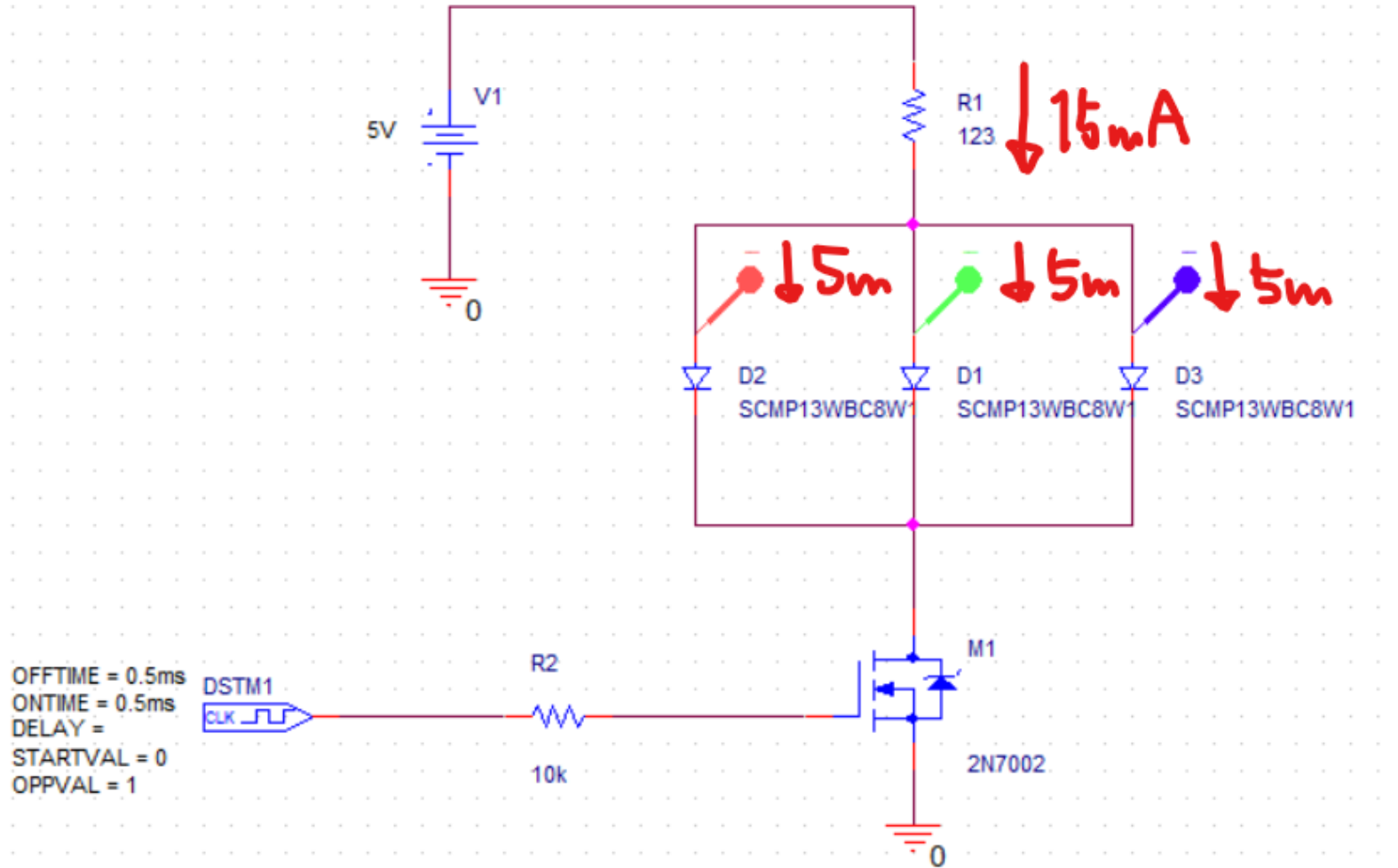
1) 아래의 Qmmbt3906tt1 PNP 트랜지스터를 이용한 과전류 검출 회로에서 IL 전류가 0.5 A 이상이 흐를 때 OUT 단자의 전압이 5 V (±5%)가 되도록 Rsensing 저항 값을 설계하시오.



Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	617.318m	0.000	617.318m
CURSOR 1,2	V(OUT)	5.0180	781.181n	5.0180

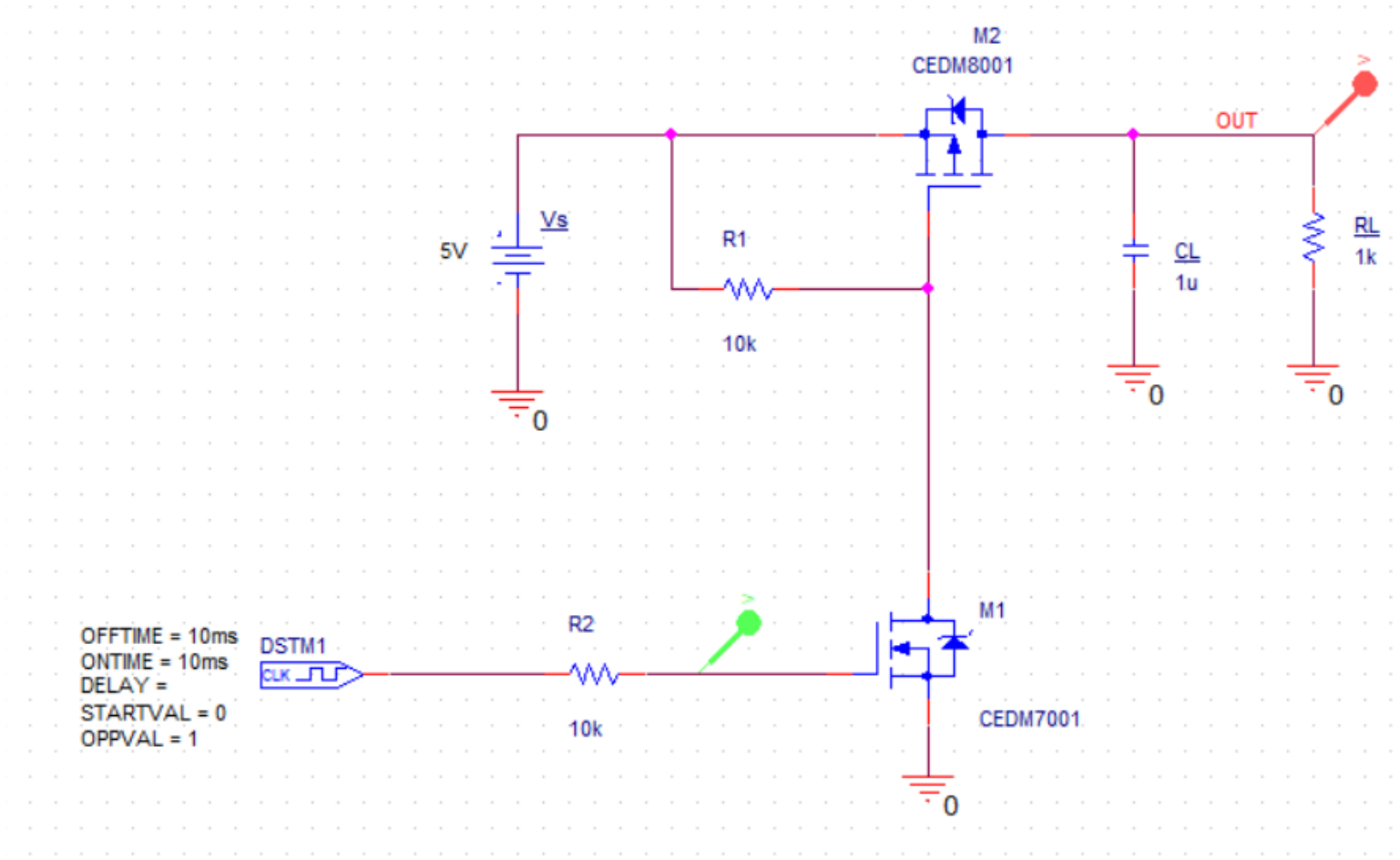
## 과제 4.

1) 아래 회로 1에서 SCMP13WBC8W1의 White LED 3개를 스위칭하는 회로를 설계하시오.  
(단, 각각의 SCMP13WBC8W1에 5 mA ON 전류가 흐르게 한다.)



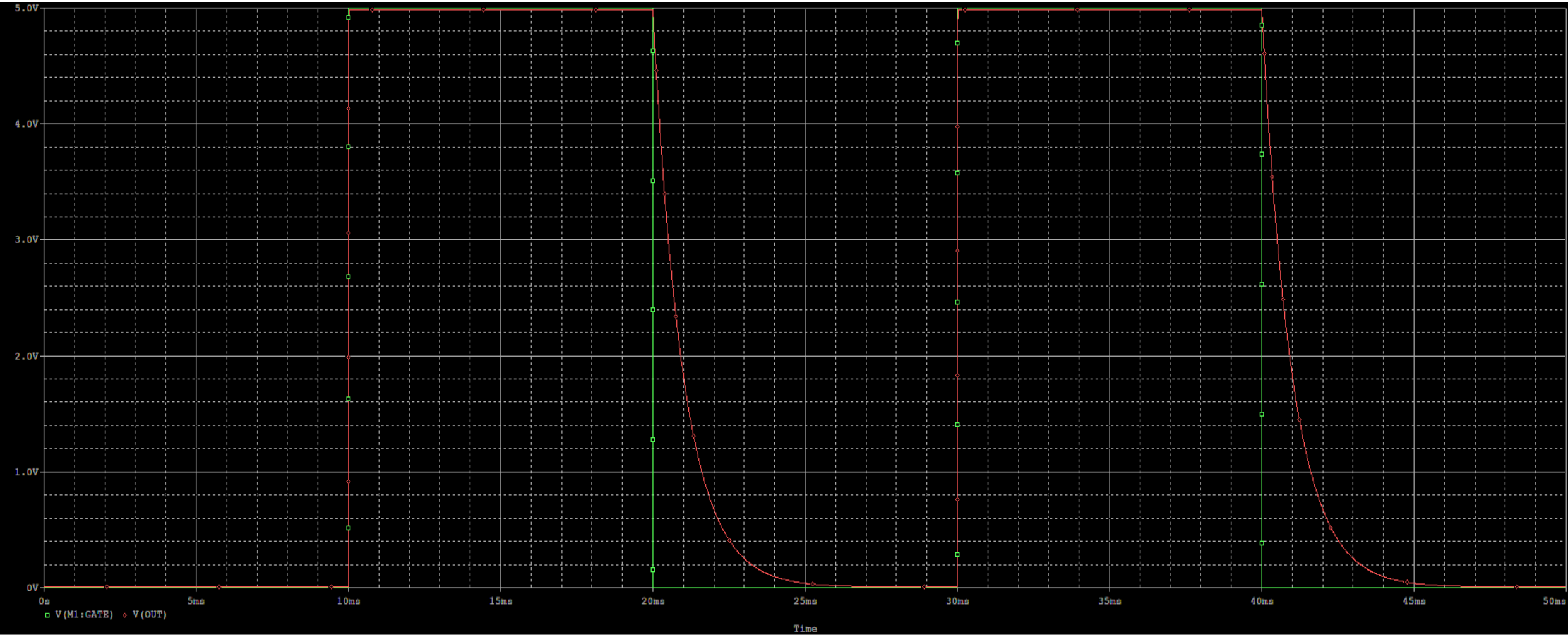
과제 5.

1) 아래 Load Switch 회로의 입력 신호와 출력 신호의 파형을 관찰하고 Load Switch 동작을 설명하시오.



# 과제 5.

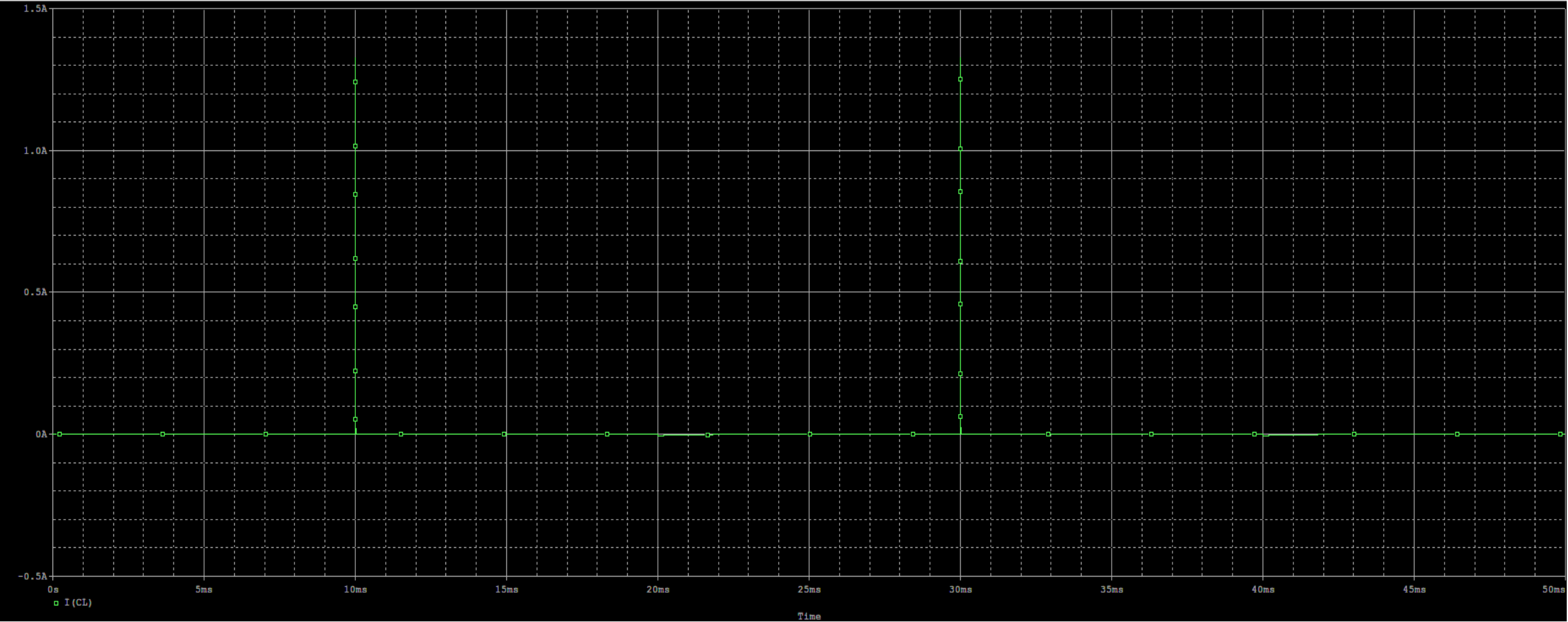
1) 아래 Load Switch 회로의 입력 신호와 출력 신호의 파형을 관찰하고 Load Switch 동작을 설명하시오.



CL 커패시터로 인하여 Low에서 서서히 전압이 방전되는 모습을 확인할 수 있다.

과제 5.

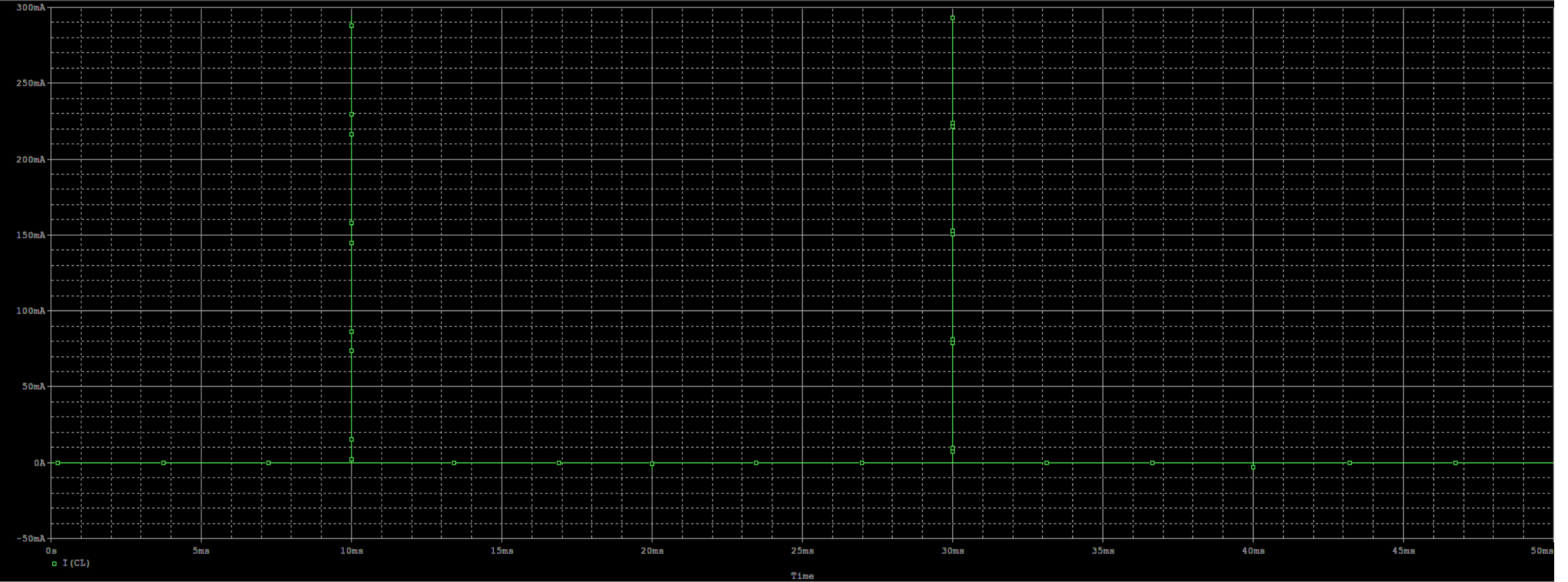
2) CL 커패시터로 흐르는 inrush current 를 확인하고 그 최대 크기를 300 mA 이하가 되도록 회로를 적절하게 수정하시오.



커패시터의 값이 작아질수록 Inrush Current도 작아진다.

## 과제 5.

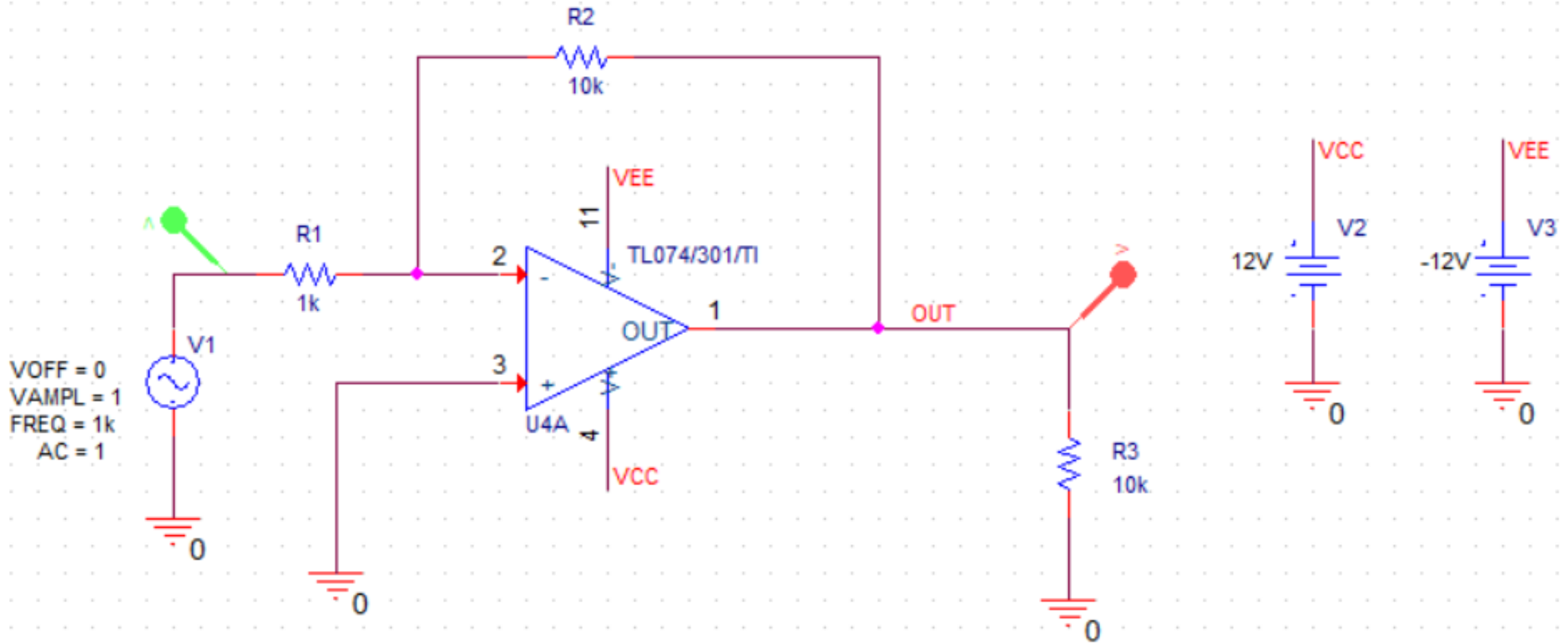
2) CL 커패시터로 흐르는 inrush current 를 확인하고 그 최대 크기를 300 mA 이하가 되도록 회로를 적절하게 수정하시오.



CL의 값을 약 3.3nF로 했을 때 Inrush Current의 값이 300mA 이하가 되는 모습을 확인할 수 있습니다.

## 과제 6.

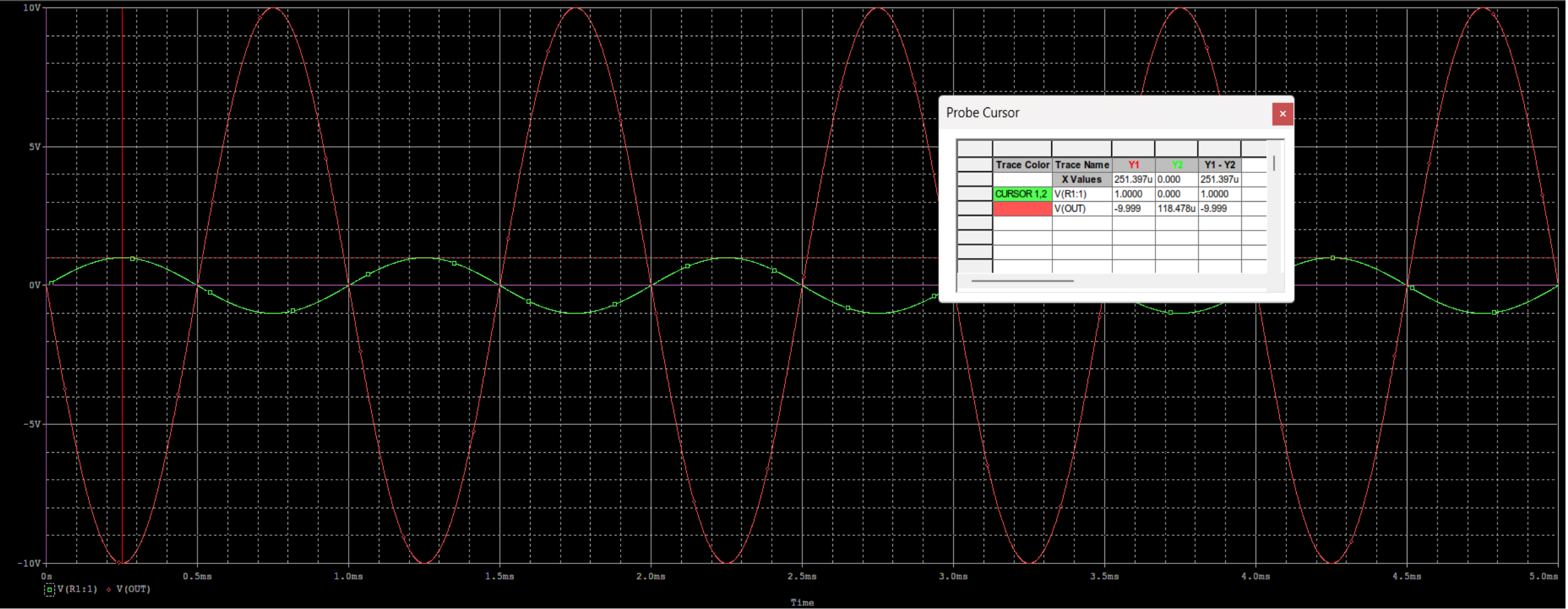
1) TL074 OP-AMP를 이용하여 증폭도가 -10인 반전 증폭기와 +10인 비반전 증폭기를 설계하고 그 결과를 SPICE 시뮬레이션으로 확인하시오. (단, 공급 전압  $V_{CC} = 12\text{ V}$ ,  $V_{EE} = -12\text{ V}$ )



< 반전 증폭기 >

과제 6.

1) TL074 OP-AMP를 이용하여 증폭도가 -10인 반전 증폭기와 +10인 비반전 증폭기를 설계하고 그 결과를 SPICE 시뮬레이션으로 확인하시오. (단, 공급 전압 VCC = 12 V, VEE = -12 V)

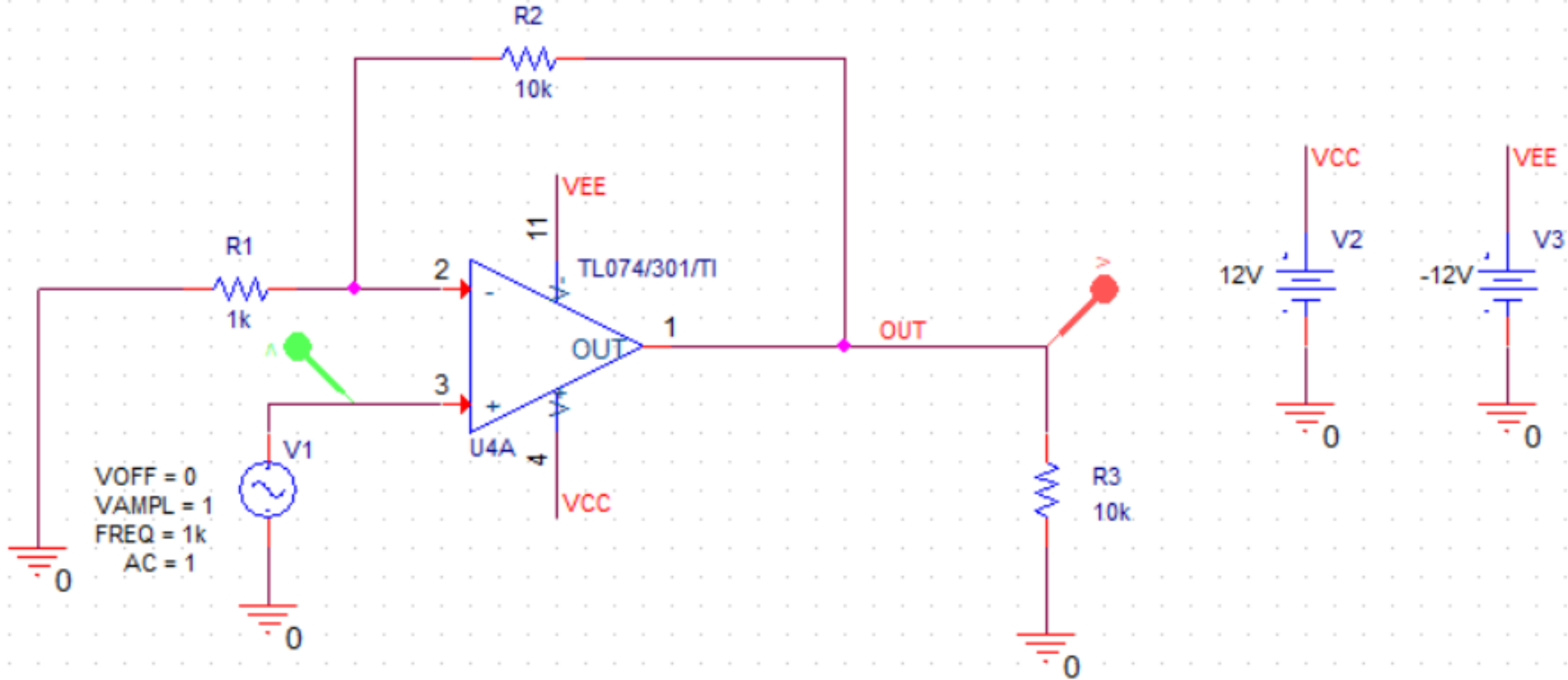


< 반전 증폭기 >



## 과제 6.

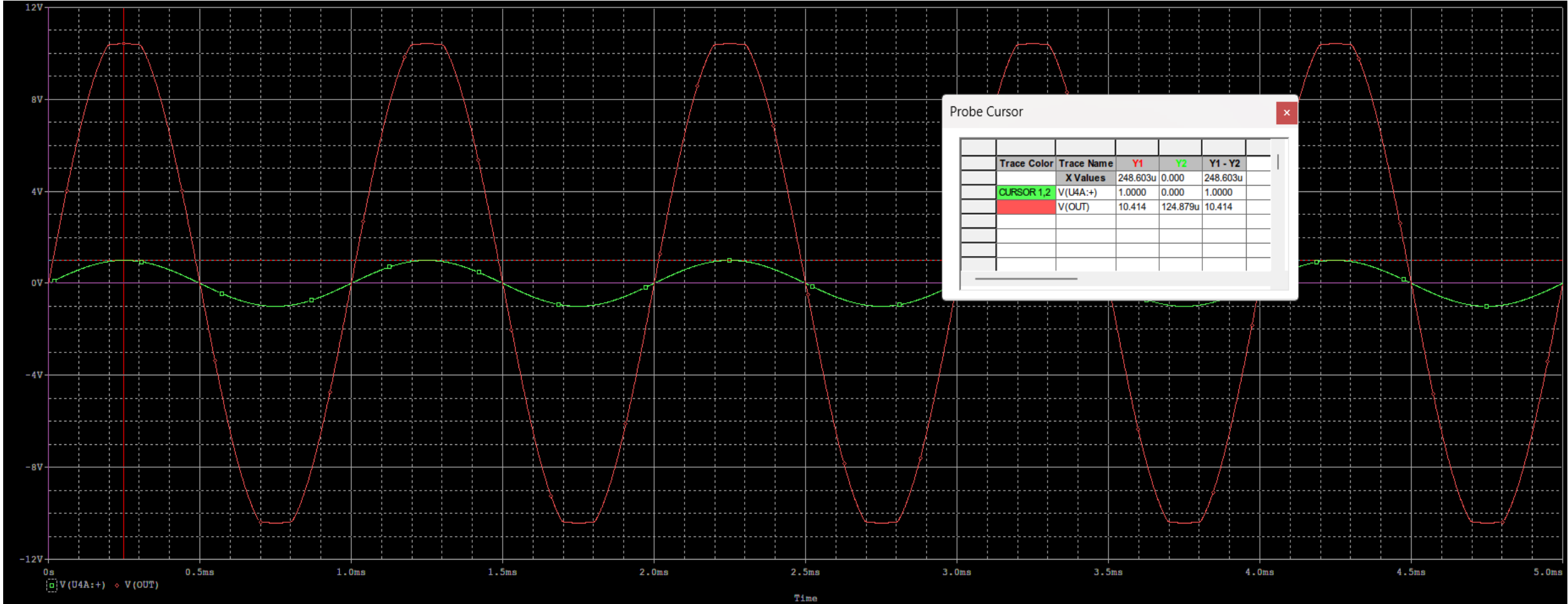
1) TL074 OP-AMP를 이용하여 증폭도가 -10인 반전 증폭기와 +10인 비반전 증폭기를 설계하고 그 결과를 SPICE 시뮬레이션으로 확인하시오. (단, 공급 전압  $V_{CC} = 12\text{ V}$ ,  $V_{EE} = -12\text{ V}$ )



< 비반전 증폭기 >

## 과제 6.

1) TL074 OP-AMP를 이용하여 증폭도가 -10인 반전 증폭기와 +10인 비반전 증폭기를 설계하고 그 결과를 SPICE 시뮬레이션으로 확인하시오. (단, 공급 전압  $V_{CC} = 12\text{ V}$ ,  $V_{EE} = -12\text{ V}$ )



< 반전 증폭기 >