## **PROFILE**

### **INFORMATION**

Name 정 \* 원

Contact 010 - 2565 - 6574

Email ranhwang00 naver.com

## **EDUCATION**

2013. 03. ~ 2016. 02. 강북고등학교 졸업

2016. 03. ~ 2022. 02. 영남대학교 전자공학과 졸업

2023. 07. ~ 진행 中 [Harman] 세미콘 아카데미 반도체 설계 교육

## **CREDENTIAL**

2015.12.14 운전면허 1종 보통 2009.03.27 컴퓨터활용능력 2급

2008.04.23 정보처리기능사 2007.08.03 워드프로세서 2급

2023.10.23 OPIC IH

### CAREER

2021.08.09 ~ 2022.01.28 (주)에이치엠지 인턴 근무 (BMS 품질 검증 및 SW 개발 업무)

2022.02.01 ~ 2023.07.07 TECC 정규직 근무 (sw개발 및 유지 보수 업무)

## 1V 가성 불량 불합리 개발 件

기관: TECC

기 간: 23.03~23.05

역 할: S/W 메인 개발 및 디버깅

## 개요

목적

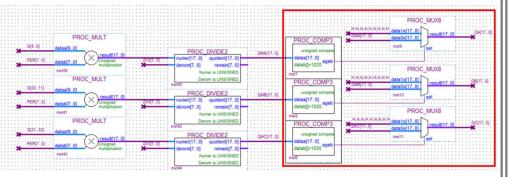
FPGA(Cyclone III) Logic 개선 및 Library 수정

History

- 1) 전체 평균 전압값 \* 문턱 전압값이 3.3V 이상이 될 경우 Overflow현상으로 인하여 불합리 발생
- 2) Multiplex를 이용하여 1번 문제를 해결하였으나 지속적인 불합 리성 발생 디버깅을 통해 Library 단의 문제로 확인하여 수정
- 3) 2번의 문제를 해결하기 위해 GUI 영역 수정

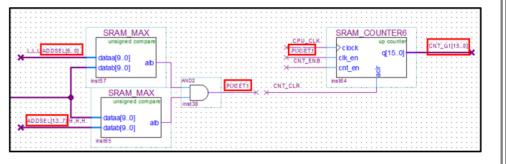
## FPGA 수정 영역

### 1) 3.3V 이상으로 인하여 Overflow시 3.3V로 Fixed



- Multiplexer를 이용하여 Fixed

### 2) 평균 진폭(AMP\_SUM/COUNT)값 계산 Logic 개선



- AMP = Sampling Max Samplin MIN
- AMP\_SUM = 각 Gate AMP 값의 합
- COUNT = VTL < AMP < VTH 범위내의 AMP 의 수
- AVG\_AMP = AMP\_SUM / COUNT

### FPGA 수정으로 일부 불합리성 개선

## Library 영역

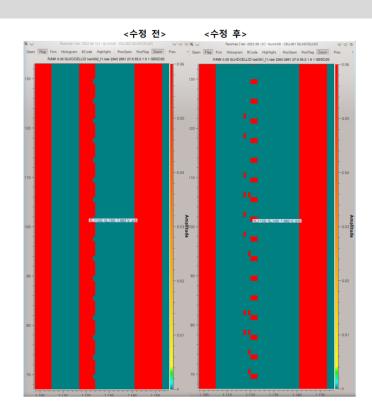
- 1st Pattern의 경우 GUI에서 VTL, VTH 값이 설정이 가능하나 2nd Pattern의 경우 Library 상에서 0x1FF(dec: 511)로 Fixed 돼있음.
- → Voltage로 환산 시 1.646V로 Fixed

이에 AVG AMP 값이 제대로 계산하지 못하여 Fail Code 발생

## GUI 영역

LAS	S PIN_VOLTAGE	SUB PIN	VOLTAGE	< RecipeGui > TIMING_NEW TIMING Mura PATTERN OPEN_TEST FUNC_TEST COMPLE
_	Name	Value	Unit	Description
4	VTL	0.5		Amplitude LOW Limit
5	VHIGH	3.29		Amplitude HIGH (Amp > 0.5), (Sum > 2.0)
6	ARG_VTL	0.5		AVG VTL
7	ARG_VTH	2.5		AVG VTH
8	COND	0xa	(0x)Hex	CONDITION BIT Double(0x2000), T2-DBL(0x8000) TR8-DBL(0x20000) SUM/AMP(0x40000) 1:T2 2:TR8 4:SC 8:NOIS
9	SC_LOW	0		S/C , A-B < 20mV
10	SC_HIGH	2560		S/C , Fail Limit for Avg Bit12 ( 10 S/C Fail -> Avg Bit10(0x400) set)
11	POS1	0		S/C , A Sample Position ( 7:8th Sample)
12	POS2	0		S/C , B Sample Position ( 5'6th Sample)
13	NOISE_LOW	0		NOISE LOW ( 0:DISABLE )
14	NOISE_CNT	0		NOISE CNT
15	NOISE_POS	0		NOISE POS Sample Position ( 4:5th Sample)
16	CONTACT_LOW	0		CONTACT LOW (0:DISABLE)
17	T2_INIT	0.05		T2 LOW 60 * 0.0032 = 192mV
18	T2_VTH	0x3fc	(0x)Hex	Amplitude HIGH Limit (T2)
19	T2_VTL	0.5		Amplitude LOW Limit (T2)
20	T2_AVG_VTL	0.2		T2 AVG VTL
21	T2_AVG_VTH	2.5		T2 AVG VTH
22	VT_EO	0		NOR EVEN-ODD > ? mV (0:DISABLE)
23	VT_12	0		NOR  1'st Avg-2'nd Avg  > ? mV (0:DISABLE)
24	VT_T2_12	0		T2   1'st Avg-2'nd Avg  > 60 × 0.0032 = 192mV (0:DISABLE)
25	VT_INIT_AMP	0		NOR LOW SC CNT , 1'st != 2'nd && cnt >= 1 (0:DISABLE)
26	VT_VTL_AMP	0		NOR VTL SC CNT , 1'st != 2'nd && cnt >= 1 (0:DISABLE)
27	VT_INIT_T2	0		T2 LOW SC CNT . 1'st != 2'nd && cnt >= 1 (0:DISABLE)
28	VT_VTL_T2	0		T2 VTL SC CNT , 1'st != 2'nd && cnt >= 1 (0:DISABLE)
29	AMP_ALLLOW_CNT	0		NOR LOW FAIL LIMIT (0:DISABLE)
30	T2_ALLLOW_CNT	0		T2 LOW FAIL LIMIT (0:DISABLE)
31	JUDGE_SUM	0		JUDGE_SUM (0:DISABLE)

## 결과



# 하드웨어 환경 감시를 위한 신호처리 시스템 설계 프로젝트

기 관 : [Harman] 세미콘 아카데미 반도체 설계 과정

기 간: 23.08.24~23.09.15

역 할 : Analog/Digital 하드웨어 분석 및 Bare PCB 기판 실장

## 개요

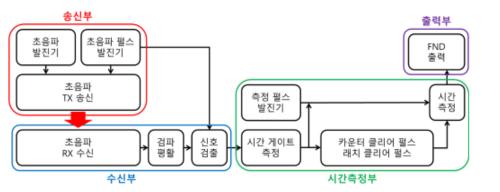
#### 모적

초음파 거리 측정 회로를 구성하여 물체와의 거리 측정 후, 해당 Data를 시각적으로(FND) 표시

### 설계 스펙

초음파 발진기 발진 주파수 : 40KHz 펄스 발진기 발진 주파수 : 15Hz 측정 펄스 발진기 발진 주파수 : 17.2KHz FND를 통해 1cm를 1~100의 자리로 출력

## 블록 다이어그램

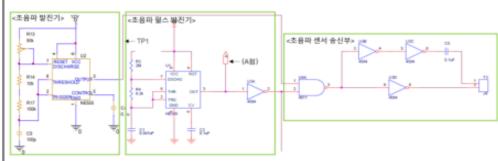


## 부품목록(EBOM)

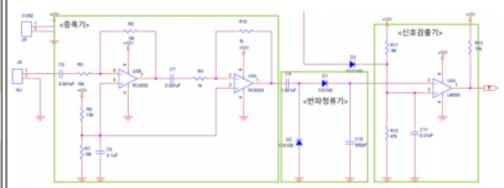
_				_								부를 받으	부표 지수	48 40	节数内计	건면서 당한	Milit
41.	Henry	Specifications	Unit	any	Hemark							21	120k	(1)	451.8510.000	101	190
	(CISMD)	HENRY	.78		OMD									- 63	104	100.	3.000
	E	8,000	79	-	1-09							12	10k	- (3	101	100.	6.01
	16	NOVATABLE .	21		Solveits Nig							43	2M	131	108	101	tile
_				_	(1476)							64	6.29	- 0	104	412	0.004
	IC.	FW10118	19		NANO GANCMOS												-
	IC.	1,4558	79	- 1	8.08							25	106	- 19	100	681	1789
	к	USI	- 11	1	LISIN Plats							86	108	67	102		
Ц	ic.	19/10/07/8	79		USA: Plantin								100	- (8	194		
	10	14111	4		MC14TTROP							27	106	-09	100		
-	ic .	4111	401 7	_	C049198							74	1006	- : CW	481		
١.				2 1	71 1	75 1	-71	PDP-10	. 44	Depote	MONTHS of	11.		Moler type	- 10	Tions	_
	60.7	90%	- 21	-		-81	Tapoter	migri	- 1	1	Disamin tipe	22	200	231	101		
Н	649	1400	79	-	-	100	(speker	1996	. 1	- 1	Johnson State	RIO	74	cu.	A72		
,	643	1650	79	-	-	. 23	Deporter	254	-1	-	Derent type	NIL		- 211	101		
	119	120900 5%	- 21	-	-	29	Especitor -	14594	7	-	Courte top:	811	TM	CW	101		
Н	119	100903-79	79	- 2	-	20	Legacite	0.045(0)	4	-	Column type						_
Н	118	10903, 79	79	-	-	-	140000	104/11		-	49-000 ET	R12	476	5.91	194		
-	119	29MOL 5%	- 71			-27	tands bearing	1000	17	. 8	-90	818	10k -	1.86	194		
,	119	12(62), 1%	19	-		- 11	handle femin	1980	. 1	1.1	101	411	100	1011	104		
П	119	1960L99	19	-	$\overline{}$	- 21	Tweeter -	100	111	. 1	Dot have :-	814	10k	EW.	194		
	110	47900, 9%	7			41	- Integrant	195 500	. 11	1	\$1010M	RIS	106		_		
	110	190, 1%	19	-			(Water) Serve	.15-60071WI	18	1	.75			C48	194		
	PERMIT	2000	79	-	1MD	.14	- 本省中計刊	18-4000FMI	- 1		.00	R16	100	0.00	194		

## 구성 회로

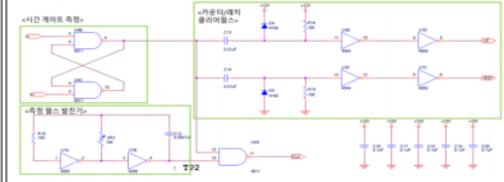
## 1) 송신부



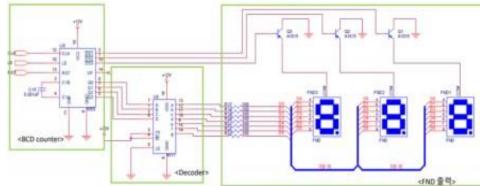
## 2) 수신부



## 3) 시간측정부



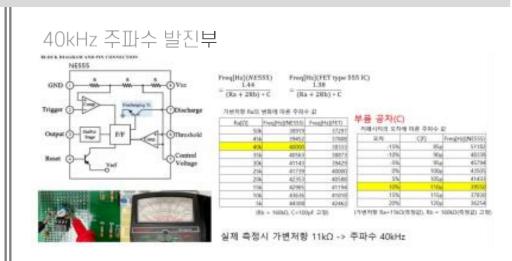
## 4) 출력부



## 실험결과



거리(cm)	측정 값	오차값		
20	20	0		
30	39	9		
40	51	11		
50	62	12		
60	74	14		
70	88	18		
80	98	18		
90	109	19		
100	122	22		



# VERILOG를 이용한 디지털 시계 설계 프로젝트

기 관 : [Harman] 세미콘 아카데미 반도체 설계 과정

기 간 : 23.10.04 ~ 23.11.01 역 할 : 시계 모드, 시간 설정, 알람 설정, 타이머 기능 설계

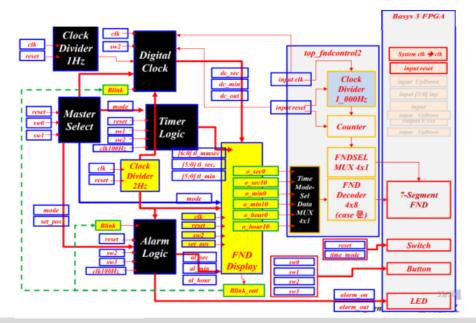
## 개요

Basys3 FPGA 보드 제어 (사용 언어 : Verilog) 디지털 시계의 스위치 및 동작 모드 구현

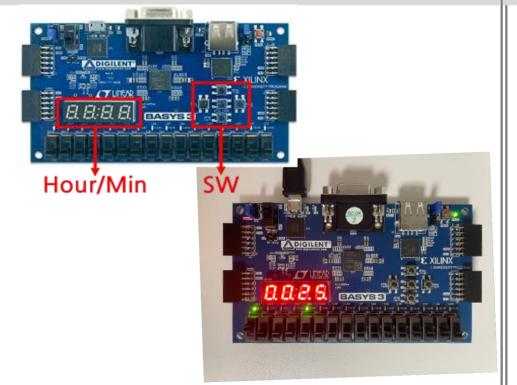
### 디지털 시계의 스위치 & 동작모드

모드	드 선택(swo)	선택1(SW1)	선택3(SW3)	
0	시계 모드	현재 시		
1	시간 설정	[Hour/Min]	시간 증가	알람
2	알람 설정	[Hour/Min]	시간 증가	ON/OFF
3	타이머	[Start/Stop]	리 셋	

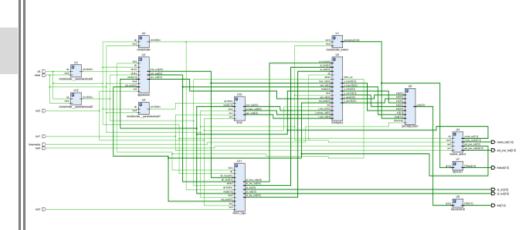
## 블록 다이어그램

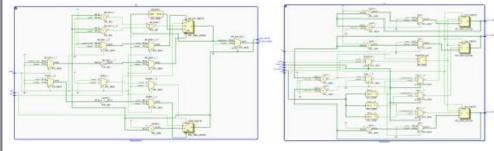


## 동작 시연



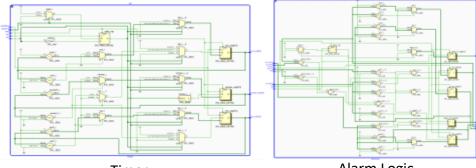
### **RTL ANALYSIS Schematic**





**Master Select** 

**Digital Clock** 



Alarm Logic

## 결과 및 결론

필요한 기능들을 Module별로 구현하여 추후 재사용 가능

Verilog에서 FSM(Finite-state machine)을 이용하여 구현을 하였으며 Moore Machine을 이용하였다.

FSM: 시스템이나 프로세스의 동작을 추상화하고 모델링하는데 사 용하며, transition(전이)규칙을 정의함으로써 복잡한 시스템을 효과 적으로 표현 가능하다.

Moore Machine vs Mealy Machine

- Moore : 출력이 상태에만 의존한다. (안정적)

- Mealy : 출력이 입력과 상태에 의존한다. (빠른 응답 가능)

해당 프로젝트에서는 Mealy Machine을 사용

# 하만 커넥티드 자율 이동체 개발 프로젝트

기 관: [Harman] 세미콘 아카데미 반도체 설계 과정

기 간: 2023.11.01~2023.12.08

역 할 : Main Coding, Debugging (팀장 역할)

## 개요

### 목적

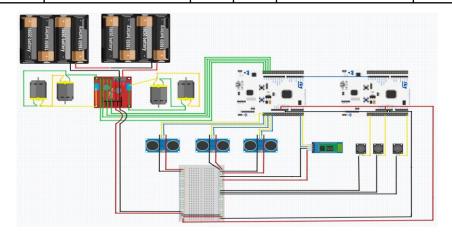
자율주행 RC카 제작을 통한 STM32 마이크로컨트롤러, 초음파센서, App Inventor 조작 및 이해

### 목표

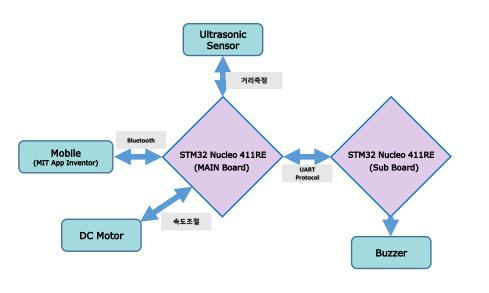
- 초음파 센서를 이용한 자율 주행 구현
- 블루투스 모듈을 이용한 수동 제어 구현
- 부저음을 통한 위험 상황 통제 및 알림

## 하드웨어 구성

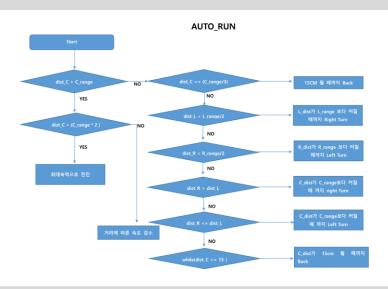
No.	Items	Q'ty	No.	Items	Q'ty
1	바퀴	4	7	블루투스모듈	1
2	DC Motor	4	8	초음파센서 (HC-SR04)	3
3	모터 고정 핀	8	9	건전지 (AA)	8
4	Bread board	1	10	아크릴 프레임	3
5	STM32 411RE	2	11	건전지 소켓 4구	2
6	buzzer	3	12	모터드라이버	1



## 시스템 구성도

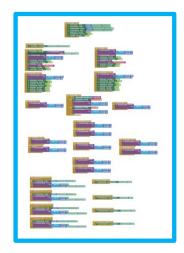


## 자율 주행 모드

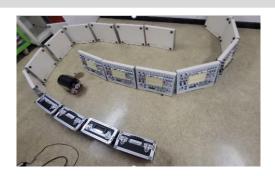


## 원격 제어 모드





## 동작 시연









### 성과 및 결과

- 자율주행 정확성
- 최적의 움직임
- Bluetooth를 이용한 원격 제어 및 Parameter 조정 가능
- Uart통신을 이용한 Board간 통신 제어