

구조적 모델링(2)

Kyung-Wook Shin
kwshin@kumoh.ac.kr

School of Electronic Eng.,
Kumoh National Institute of Technology

Verilog HDL

구조적 모델링

K. W. SHIN

6.3 모듈 parameter

2

□ 모듈 parameter

- ❖ variable 또는 net 범주에 속하지 않는 상수
- ❖ 모듈이 인스턴스될 때 값을 변경시킬 수 있음
 - 구조적 설계에서 모듈 인스턴스의 개별화(customize)를 위한 유용한 수단
 - localparam으로 선언된 parameter는 그 값을 변경할 수 없음

□ 모듈 parameter 값의 변경

- ❖ defparam 문을 이용하는 방법
- ❖ 모듈 인스턴스를 통해 parameter 값을 변경하는 방법
- ❖ 위의 두 가지 방법에 의한 parameter 값 변경이 충돌되는 경우,
defparam 문에 의해 설정된 값이 사용됨

Verilog HDL

구조적 모델링

K. W. SHIN

6.3 모듈 parameter

3

□ defparam 문

- ❖ parameter의 계층적 이름을 사용하여 전체 설계에 걸친 모듈 인스턴스의 parameter 값을 변경
 - 인스턴스 배열의 하위 계층 구조에 있는 defparam 문은 계층 구조 밖의 parameter 값을 변경시킬 수 없음
- ❖ 모든 parameter 변경 문들을 함께 묶어 독립된 모듈로 정의할 때 유용

Verilog HDL

구조적 모델링

K. W. SHIN

6.3 모듈 parameter

4

예 6.3.2

defparam 문에 의한 parameter 값의 변경

```
module vdff(out, in, clk);
    parameter size = 1, delay = 1;
    input  [0:size-1] in;
    input  clk;
    output [0:size-1] out;
    reg    [0:size-1] out;

    always @(posedge clk)
        # delay out = in;
endmodule
```

코드 6.11-(b)

```
module top (clk, in1, in2, o1, o2);
    input      clk;
    input  [0:4] in1;
    input  [0:9] in2;
    output [0:4] o1;
    output [0:9] o2;

    annotate U0 ();
    vdff m1(o1, in1, clk);
    vdff m2(o2, in2, clk);
endmodule
```

코드 6.11-(a)

```
module annotate;
    defparam
        top.m1.size = 5,
        top.m1.delay = 10,
        top.m2.size = 10,
        top.m2.delay = 20;
endmodule
```

코드 6.11-(c)

Verilog HDL

구조적 모델링

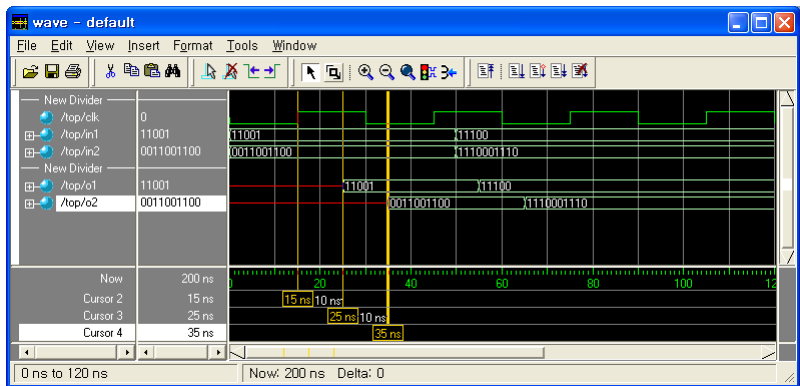
K. W. SHIN

6.3 모듈 parameter

5

예 6.3.2

defparam 문에 의한 parameter 값의 변경



Verilog HDL

구조적 모델링

K. W. SHIN

6.3 모듈 parameter

6

- 모듈 인스턴스의 parameter 값 변경
 - ❖ 순서화된 parameter 목록에 의한 방법(ordered_parameter_assignment)

```
#(expression {, expression,} )
```
 - ❖ parameter 이름에 의한 방법 (named_parameter_assignment)

```
#(.parameter_name([expression]))
```
 - ❖ 단일 모듈 인스턴스 문에서 이들 두 가지 방법을 혼용하여 사용할 수 없음
 - ❖ 기호 # : delay operator로도 사용됨

Verilog HDL

구조적 모델링

K. W. SHIN

6.3 모듈 parameter

7

예 6.3.3 모듈 parameter 값의 변경

```
module dffn(q, d, clk);
    parameter BITS = 1;
    input  [BITS-1:0] d;
    input          clk;
    output [BITS-1:0] q;

    DFF dff_array [BITS-1:0] (q, d, clk); // instance array
endmodule

module MxN_pipeline(in, out, clk);
    parameter M = 3, N = 4; // M=width,N=depth
    input  [M-1:0] in;
    output [M-1:0] out;
    input          clk;
    wire  [M*(N-1):1] t;

    // #(M)은 모듈 dffn의 Parameter BITS 값을 재설정
    dffn #(M) p [1:N] ({out, t}, {t, in}, clk);
endmodule
```

코드 6.12

Verilog HDL

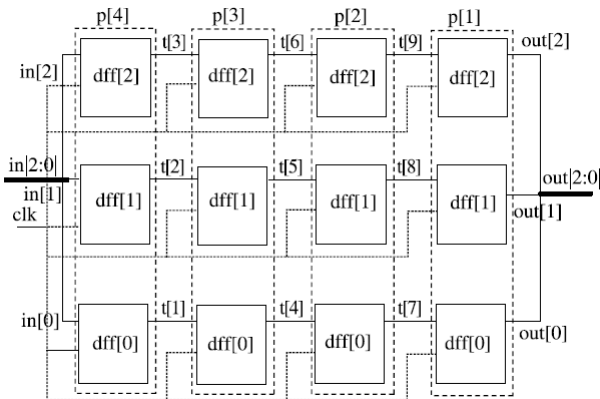
구조적 모델링

K. W. SHIN

6.3 모듈 parameter

8

예 6.3.3 모듈 parameter 값의 변경



[그림 6.7] [코드 6.12]의 회로

Verilog HDL

구조적 모델링

K. W. SHIN