



Park Junho  
박준호



010 8920 3089



pjh0063@gmail.com

## About

### 안녕하세요

합리적이고 필요로 하는  
엔지니어가 되고 싶은  
박준호입니다.

## Tools & Skills

- **OS skills**  
[ Word, Excel, PPT ]
- **전자설계 EDA Tool**  
- 회로 설계 및 Simulation  
[ OrCAD, Ltspice ]
- **CodeVisionAVR**  
- 8bit 마이크로컨트롤러 IDE
- **STM32CubeIDE**  
- STM32 마이크로컨트롤러 IDE
- **Xilinx Vivado/Vitis**  
- Verilog, C 등을 활용한 FPGA 및 SoC 설계
- **Cadence Virtuoso**  
- 아날로그 및 IC 설계  
- Schematic, Simulation, Layout 등
- **Git**  
- source code 관리 및 협업
- **VS Code**  
- 확장성을 위한 code editor
- **C/C++**

## Certification

2021.02 ~ 2031.12

**Driver's License Class 1**

1종 보통 운전면허

2022.11 취득

**Engineer Electricity**

전기기사

## Education

2016.03 – 2022.02

**Ulsan University**

울산대학교 전기전자공학전공 졸업

2013.03 – 2016.02

**Gijang High School**

기장고등학교 졸업

## Experience

2024.02 – 2024.08 예정 (진행 中)

**[Harman] Semiconductor Academy- 반도체 설계 교육**

하만 세미콘 아카데미 부산 3기 교육 진행 중

## Career

2023.04 ~ 2023.09

**SoulbrainSLD 인턴**

솔브레인SLD 생산팀 공정기술 파트 근무

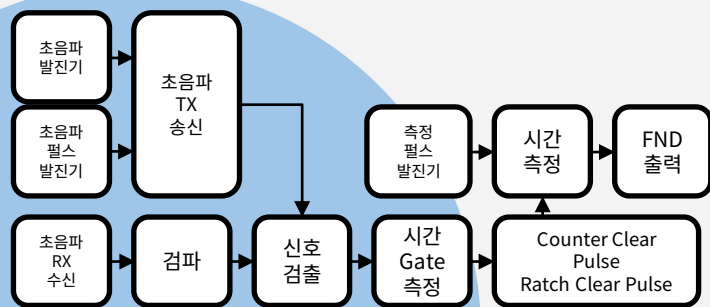
# Project 1.

H/W 환경감시를 위한 신호처리 시스템 프로젝트

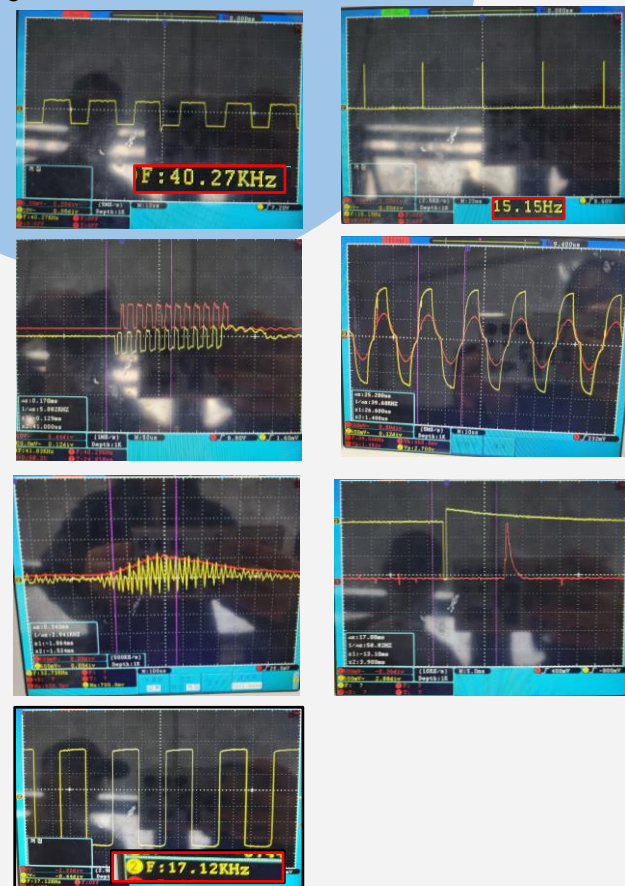
## 개요

- **Project Period**  
2024.03.15 - 2024.03.29
- **Project Goal**  
주파수를 활용하여 초음파 센서로 물체 간의 거리측정 및 Data Display.
- **Tools & Skills / Components**  
LTspice, OrCAD Pspice / NE555, ILC555, HC-SR04
- **Design Spec**  
초음파 발진기 : 40kHz  
초음파 Pulse 발진기 : 15Hz  
Counter Pulse 발진기: 17.2kHz

## Block Diagram

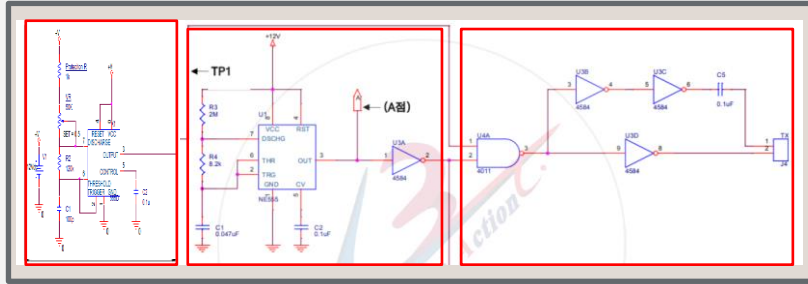


## 동작 검증

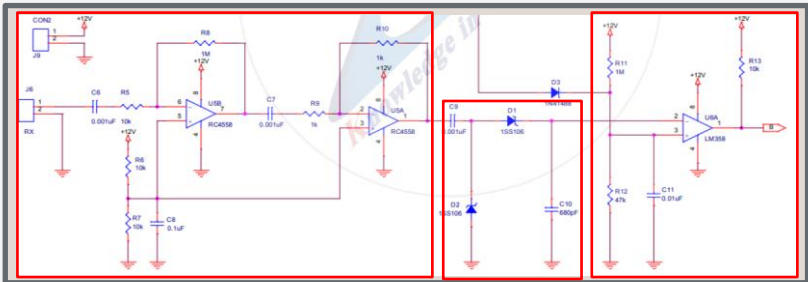


## 회로 구성

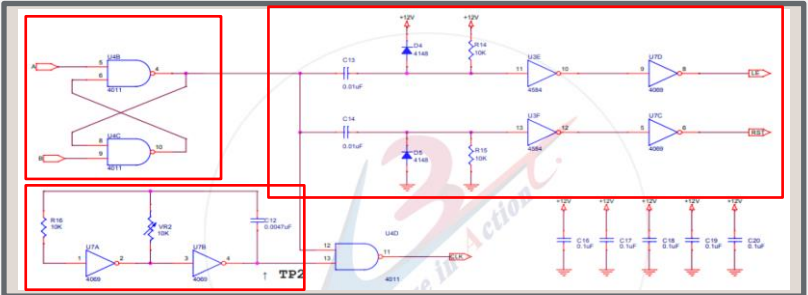
### 1. 송신부



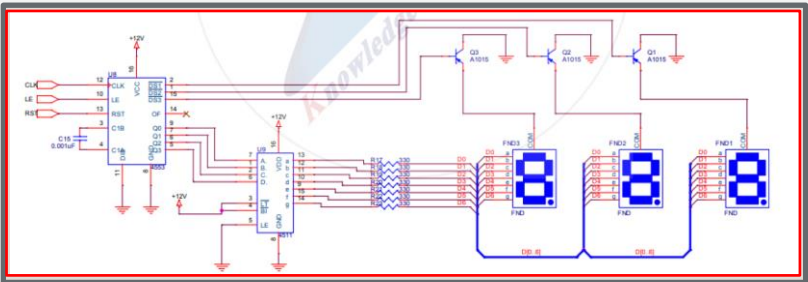
### 2. 수신부



### 3. 시간 측정부



### 4. 출력부



## 결과

거리(cm)	측정값	오차	오차율
0	20	20	100%
10	20	10	50%
20	25	5	20%
30	32	2	6.25%
40	42	2	4.762%
50	52	2	3.846%
60	61	1	1.639%
60 ~	측정불가		

### < 결과 분석 >

- 거리에 비례하여 측정값이 커지는 것을 확인.
- 따라서, 센서가 거리에 따라 신호를 잘 감지하여 송수신.

# Project 2.

## 하만커넥티드 자율 이동체 개발 프로젝트

### 개요

- **Project Period**  
2024.05.08 - 2024.05.30
- **Project Goal**  
주행모드(Auto/Manual) 제어 및 초음파 센서와 블루투스 모듈을 활용하여 자율 주행 구현.
- **Tools & Skills / Components**  
STM32CubeIDE, VS Code, Android Mobile, C/C++ / F411RE-Board, HW-095, HC-SR04, HC-06 등

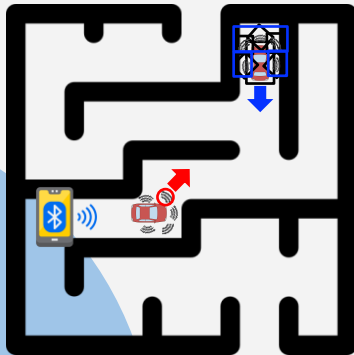
### 주행 구상도

#### 1) 초음파 센서

- 센서 전방 3개 + 측면 2개
- ① 전방 3개: 전진/후진, 코너링 제어
- ② 측면 2개: 코너링 방향 제어

#### 2) 블루투스 모듈

- ① 속도 제어
- ② 수동 조작



### 작품 시연



➔ Auto / Manual MODE 시연 영상



자율이동체 시연영상

### 개발 과정 및 성과



자율 주행 성능 테스트 통과 후 Model Design 과정에서 **애로사항(자율 주행 오류)** 발생.



특정 PORT에서 PWM 신호 약화 검출 → **PORT 변경** 후 개선 완료.



Motor Driver 1EA, Timer 2EA 연동 시, **동시 제어 오류(전압 공급 오차)** 발생.



이로 인하여 양측 Motor 속도 차 발생 → **Driver 2EA 사용** 후 균일한 전력인가 개선.



초음파 센서 3EA 사용 시, **급커브 대응 불가.**



정확한 벽 탐지를 위한 좌/우측 **센서 2EA 추가.**



Board **전원 공급 (5V) 오류** 발생.



초기 개발 시 **Motor Driver**에서 Board로 **5V 인가** (오류 발생) → **외부 전원(건전지)**를 통해 6V 공급함으로써 전원 정상 공급 개선.



외부전원(건전지) 인가 시 **12V 공급 불가.**



건전지(1.5V) 4EA x 2를 병렬 연결하여 오류 발생 → **직렬 연결** 변경 후 개선 완료.

#### 기타 추가사항

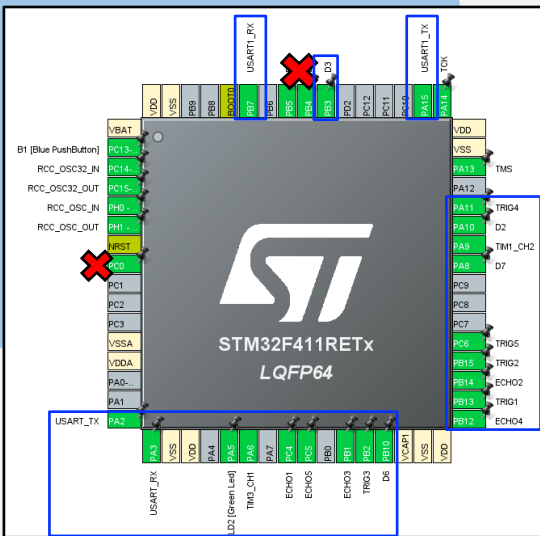


차량 속도에 비례하여 초음파 센서 **감지거리 조절**



효율적인 후진 동작을 위해 → **좌/우측 후진** 기능 추가

### Pin Mapping



#### 초음파 센서 (4PIN)

ECHO/TRIG/VCC/GND

- 1번: 전방
- 2번: 전방(좌측)
- 3번: 전방(우측)
- 4번: 좌측
- 5번: 우측

#### USART

USART1,2

- USART 1: BLUETOOTH
- USART 2: PUTTY

#### MOTOR (4EA)

D2,3,6,7

- D2/D3: 좌측 휠  
→ TIM1\_CH2
- D6/D7: 우측 휠  
→ TIM3\_CH1



초음파 센서 2개 추가하여 조금 더 **유연한 움직임** 구현



돌발상황을 대비한 **MANUAL MODE** 구현



미흡하지만, 안전하게 완주하는데 성공

## SoC를 위한 Peripheral Design

- **Project Period**

- **Project Goal**

IP, SPI, UART, AMBA의 이해와 MicroBlaze를 이용한 Block Memory Interface, W5500 활용.

- **Tools & Skills / Components**

Xilinx Vivado&amp;Vitis, Verilog HDL / Basys 3 Board

The diagram illustrates the MicroBlaze AXI Interconnect architecture. It shows the internal components of the interconnect, including the MicroBlaze processor core, the AXI Interconnect controller, and various peripheral modules like the AXI BRAM Controller, AXI GPO, and AXI UART. The interconnect is connected to external memory (BRAM) and other system components via AXI ports. Key signals include reset, clock, interrupt, and data paths.

[illegible]

## A blue Digilent BASYS3 development board is shown. It features a 7-segment display in the center showing the number '8.8.8.8'. The board is populated with various components including a Digilent logic analyzer, a Xilinx KCU103 FPGA, and several push buttons. The board is connected to a USB cable and a power source.





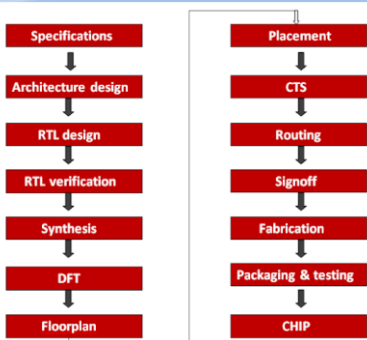
# Project 4.

## Full Custom IC One Chip Design

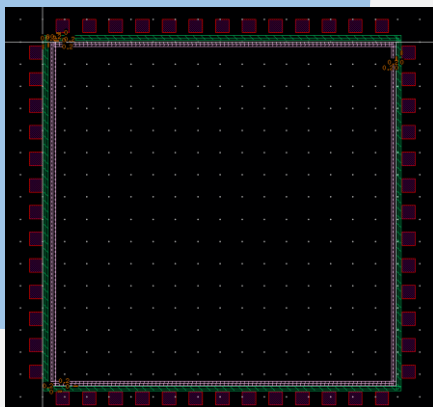
### 개요

- **Project Period**  
2024.06.03 - 2024.07.11 (진행 중)
- **Project Goal**  
CMOS 집적회로 이론 및 One Chip Design 설계.
- **Tools & Skills / Components**  
Cadence Virtuoso Schematic, Editor, ADE, Layout, Assura DRC/LVS

### ASIC Design Flow



### One Chip Design [ 진행 중 ]



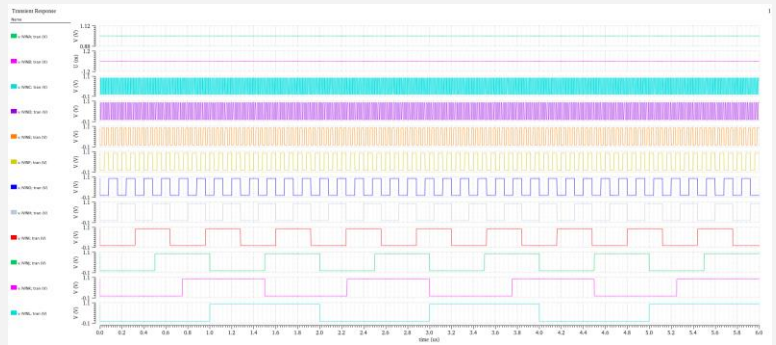
< Chip PAD Frame >

### Layout



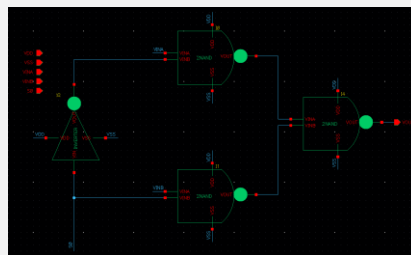
< 16x1 MUX Layout >

### Simulation

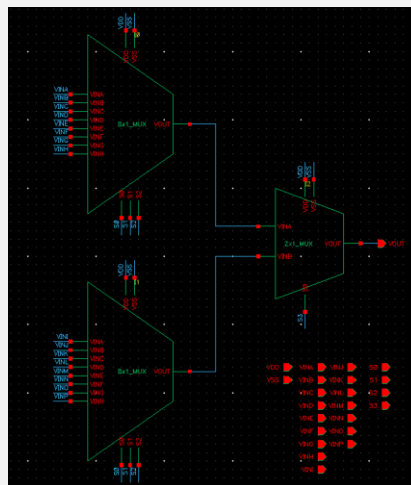


< 16x1 MUX Transient Analysis >

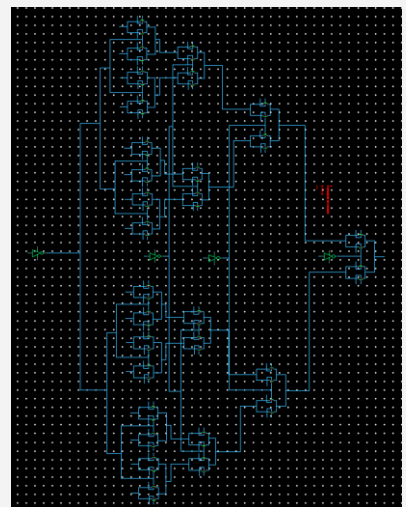
### Schematic



< 2x1 MUX >



< 16x1 MUX >



< 16x1 MUX Switch >