

## Vivado Design Suite 소개

Kyung-Wook Shin  
*kwshin@kumoh.ac.kr*

School of Electronic Eng.,  
Kumoh National Institute of Technology

Verilog HDL

Xilinx Vivado Design Suite

## Xilinx Vivado Design Suite

2

1. Vivado Design Suite
2. Vivado IDE
3. Project 생성
4. 설계 입력
5. RTL Simulation
6. Design Synthesis
7. Design Implementation
8. FPGA Device Programming

Verilog HDL

Xilinx Vivado Design Suite

# 1. Vivado Design Suite

3

## ❑ Vivado® Design Suite

- ❖ Xilinx FPGA(Field Programmable Gate Array) 개발 환경
  - SoC(System-on-Chip)를 포함한 다양한 규모의 디지털 시스템을 설계, 검증, Xilinx FPGA 디바이스에 구현하는 제반 과정을 지원하는 집적화된 설계환경
  - 7 series (Artix, Spartan, Kintex, Virtex), UltraScale™, Zynq® UltraScale+™ MPSoCs, Zynq®-7000 SoCs
- ❖ 기존의 ISE(Integrated Software Environment) 개발 환경을 대체
  - Project Navigator, Xilinx Synthesis Technology (XST), implementation, CORE Generator tool, Timing Constraints Editor, ISE Simulator (ISim), PlanAhead design tool

## ❑ Vivado IDE (Integrated Design Environment )

- ❖ Graphical user interface (GUI) for Vivado® Design Suite

Verilog HDL

Xilinx Vivado Design Suite

# 1. Vivado Design Suite

4

## ❑ Interaction with Vivado Design Suite

- ❖ GUI-based commands in Vivado IDE
- ❖ Tcl commands 실행
  - entered in **Tcl Console** in Vivado IDE
  - entered in **Vivado Design Suite Tcl shell** outside Vivado IDE
  - saved to a **Tcl script file** that is run either in Vivado IDE or in Vivado Design Suite Tcl shell
- ❖ A mix of GUI-based and Tcl commands

Tcl: Tool Command Language

## ❑ Two design flows for Xilinx Vivado IDE

- ❖ **Project Mode**: Vivado tools automatically manage design process and design data using project
- ❖ **Non-Project Mode**: a Tcl script-based method
  - Allows design flow in **batch mode** using the Tcl script
  - No default reports or intermediate files created
  - Needs to direct creation of reports, design checkpoints with Tcl commands

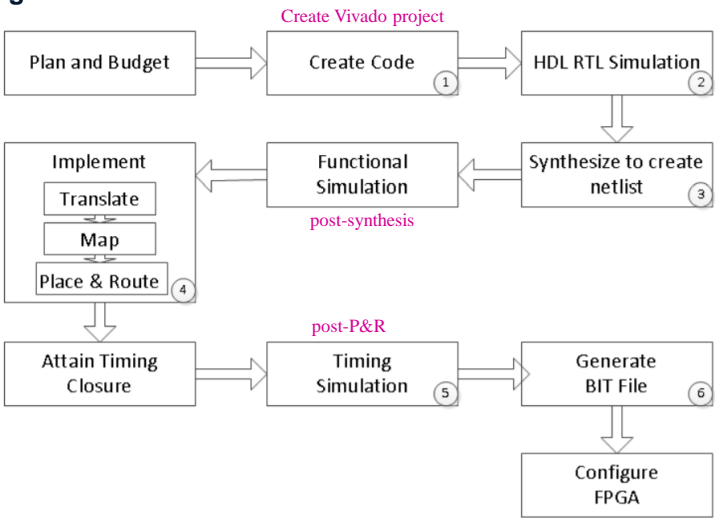
Verilog HDL

Xilinx Vivado Design Suite

# 1. Vivado Design Suite

5

## Design Flow



Verilog HDL

Xilinx Vivado Design Suite

# Xilinx Vivado Design Suite

6

- 1. Vivado Design Suite
- 2. Vivado IDE
- 3. Project 생성
- 4. 설계 입력
- 5. RTL Simulation
- 6. Design Synthesis
- 7. Design Implementation
- 8. FPGA Device Programming

Verilog HDL

Xilinx Vivado Design Suite

## 2. Vivado IDE

7



Vivado 2021.1

Verilog HDL

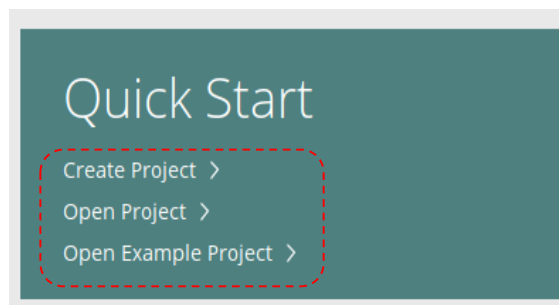
Xilinx Vivado Design Suite

## 2. Vivado IDE

8

### □ Quick Start

- ❖ **Create Project:** New Project wizard를 이용한 프로젝트 생성
- ❖ **Open Project:** 기존 프로젝트 열기
- ❖ **Open Example Project:** Xilinx에서 제공하는 예제 프로젝트 열기



[Vivado IDE 시작 화면의 Quick Start]

Verilog HDL

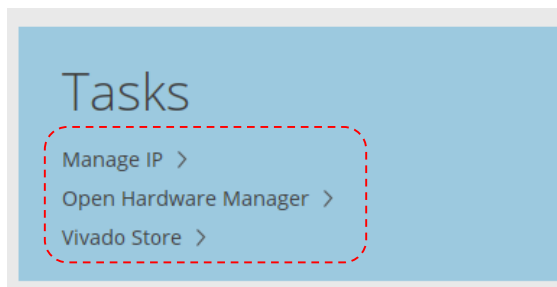
Xilinx Vivado Design Suite

## 2. Vivado IDE

9

### □ Tasks

- ❖ **Manage IP:** IP 관리 창 열기
- ❖ **Open Hardware Manager:** FPGA 디바이스에 프로그램 (bit 파일)
- ❖ **Vivado Store:** Tcl Apps(Synopsys, Mentor 등), Evaluation Boards, Design Examples의 검색, 설치



[Vivado IDE 시작 화면의 Tasks]

Verilog HDL

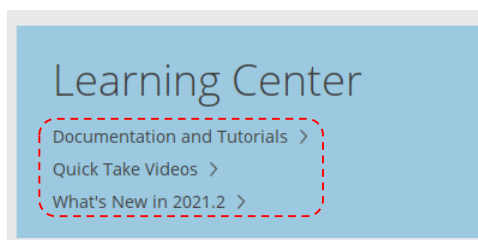
Xilinx Vivado Design Suite

## 2. Vivado IDE

10

### □ Learning Center

- ❖ **Documentation and Tutorials:** 자료 및 튜토리얼 제공
- ❖ **Quick Take Videos:** 동영상 자료 제공
- ❖ **What's New:** 새로운 버전에 대한 release notes 제공



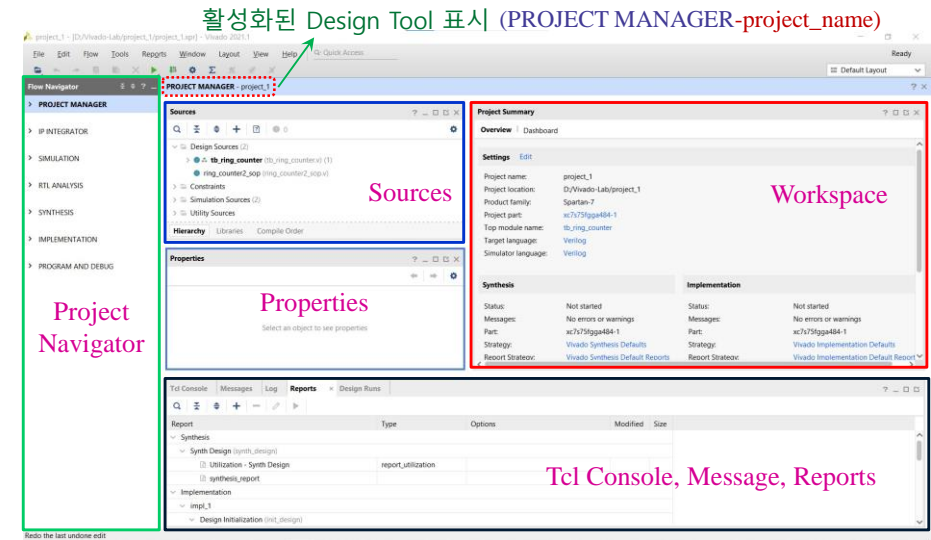
[Vivado IDE 시작 화면의 Learning Center]

Verilog HDL

Xilinx Vivado Design Suite

## 2. Vivado IDE

11



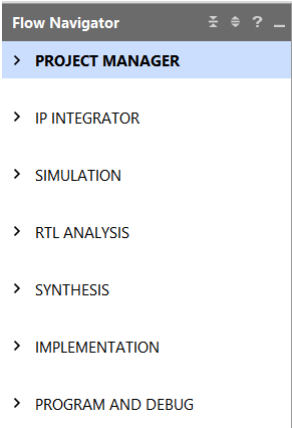
Verilog HDL

Xilinx Vivado Design Suite

## 2.1 Flow Navigator

12

- ❖ project 설정, 설계 입력에서부터 device program까지 설계 과정의 각 단계에서 사용되는 tool들에 접근할 수 있도록 함



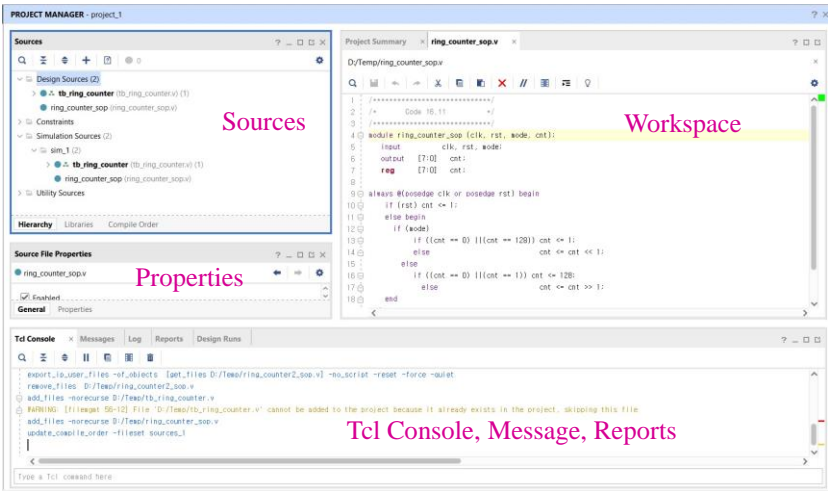
Verilog HDL

Xilinx Vivado Design Suite

## 2.2 Project Manager

13

❖ Sources, Properties, Results, Workspace의 4개 창으로 구성



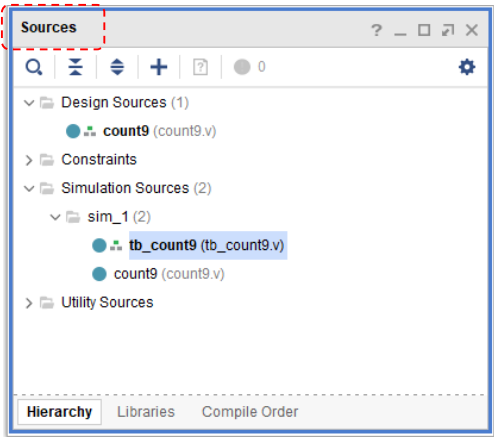
Verilog HDL

Xilinx Vivado Design Suite

## 2.3 Sources window

14

□ Hierarchy, Libraries, and Compile Order 등이 표시되는 창



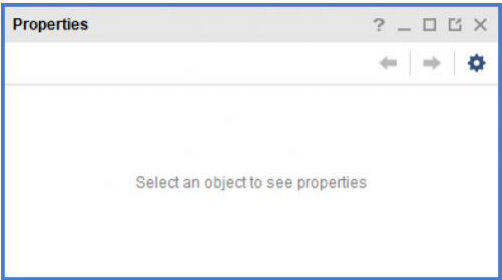
Verilog HDL

Xilinx Vivado Design Suite

## 2.4 Properties window

15

- 파일의 속성을 확인, 수정할 수 있는 창
  - ❖ Sources 창에서 파일을 선택하면, 파일 속성이 표시됨



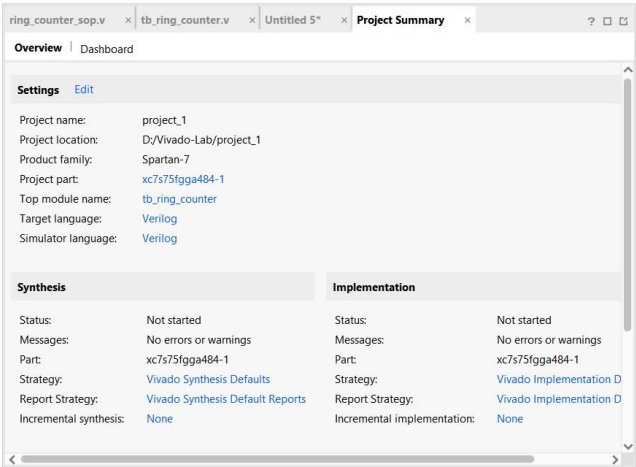
Verilog HDL

Xilinx Vivado Design Suite

## 2.5 Workspace window

16

- Project Summary, 작업 관련 창들이 표시됨
  - ❖ source 파일을 열어 편집하고, report 파일과 project summary를 확인함



Verilog HDL

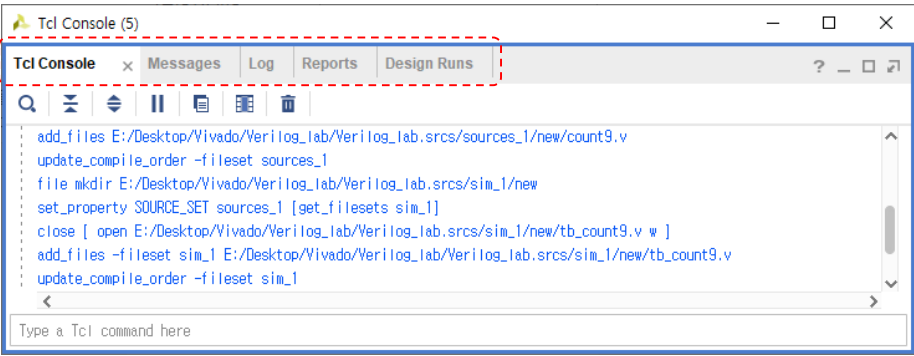
Xilinx Vivado Design Suite



## 2.6 Results Windows Area

17

- ❑ Tcl 명령어 입력, 실행된 작업의 결과, 에러, 경고, 각종 정보를 표시
  - ❖ **Tcl Console Tab:** GUI 대신 tcl 명령어를 직접 입력해서 실행시키기 위한 탭



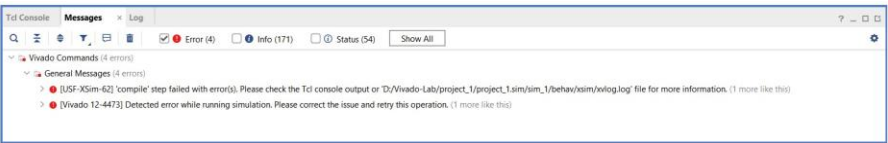
Verilog HDL

Xilinx Vivado Design Suite

## 2.6 Results Windows Area

18

- ❖ **Messages Tab:** 실행된 작업의 결과로 발생한 에러, 경고 등을 표시
  - 발생한 에러, 경고 메시지를 마우스 오른쪽으로 클릭하고, “**Search for Answer Record**”를 선택하면, 해결책을 찾을 수 있음



Verilog HDL

Xilinx Vivado Design Suite

## 2.6 Results Windows Area

19

- ❖ **Reports Tab:** Vivado에서 생성된 reports (power, timing, utilization) 중 하나를 직접 선택해서 확인할 수 있음



- ❖ **Log Tab:** 최근의 Synthesis, Implementation, Simulation 실행 결과를 표시
- ❖ **Design Runs Tab:** 마지막으로 실행된 tool의 실행 설정을 편집, 생성

