

게이트 수준 모델링(1)

Kyung-Wook Shin
kwshin@kumoh.ac.kr

School of Electronic Eng.,
Kumoh National Institute of Technology

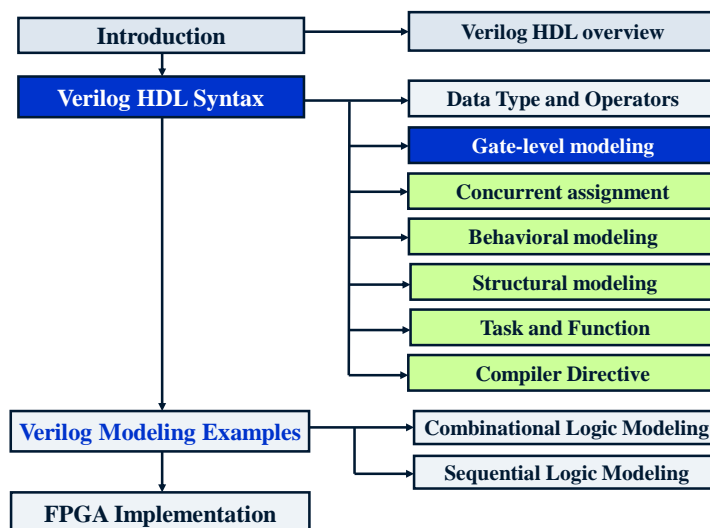
Verilog HDL

게이트 수준 모델링

K. W. SHIN

Learning Map

2



Verilog HDL

게이트 수준 모델링

K. W. SHIN

3.0 게이트 및 스위치 프리미티브

3

□ predefined primitives

- ❖ 정의나 선언 없이 사용 가능
- ❖ 모듈 내에서만 사용 가능
 - initial과 always 구문 내부에서는 사용 불가

표 3.1 Verilog에서 제공되는 게이트 및 스위치 프리미티브

n-input gates	n-output gates	three-state gates	pull gates	MOS switches	bidirectional switches
and	buf	bufif0	pulldown	cmos	rtran
nand	not	bufif1	pullup	nmos	rtranif0
nor		notif0		pmos	rtranif1
or		notif1		rcoms	tran
xnor				rnmos	tranif0
xor				rpmos	tranif1

3.1 게이트 프리미티브

4

□ gate primitives

- ❖ 인스턴스 구문

```
primitive_gate_name [#(n1,n2)][instance_name](output, input1, ..);
```

- ❖ #(n1,n2) : 게이트 프리미티브의 지연. default 지연값은 0
 - n1 : 상승지연, n2 : 하강지연
 - min(n1, n2) : 출력이 x (unknown)로 변할 때의 지연
- ❖ instance_name : 생략 가능
- ❖ 포트 연결 :
 - 순서에 의한 매핑만 사용 가능 (이름에 의한 포트 매핑 불가능)
 - 출력 포트가 처음에 오며, 입력 신호들은 임의의 순서로 나열

3.1 게이트 프리미티브

5

and 게이트

and	0	1	x	z
0	0	0	0	0
1	0	1	x	x
x	0	x	x	x
z	0	x	x	x

or 게이트

or	0	1	x	z
0	0	1	x	x
1	1	1	1	1
x	x	1	x	x
z	x	1	x	x

nand 게이트

nand	0	1	x	z
0	1	1	1	1
1	1	0	x	x
x	1	x	x	x
z	1	x	x	x

nor 게이트

nor	0	1	x	z
0	1	0	x	x
1	0	0	0	0
x	x	0	x	x
z	x	0	x	x

3.1 게이트 프리미티브

6

xor 게이트

xor	0	1	x	z
0	0	1	x	x
1	1	0	x	x
x	x	x	x	x
z	x	x	x	x

xnor 게이트

xnor	0	1	x	z
0	1	0	x	x
1	0	1	x	x
x	x	x	x	x
z	x	x	x	x

3.1 게이트 프리미티브

7

예 3.1.1

```
and      U1(out1, a, b);      // 2입력 and 게이트
nand     (out2, a, b);      // 인스턴스 이름을 생략한 경우
or       U3(out3, a, b, c);   // 3입력 or 게이트
nor #2   U4(out4, a, b);     // 2입력 nor 게이트
xor #3, 4 U5(out5, c, b, a);  // 3입력 xor 게이트
xnor     U6(out6, a, b);     // 2입력 xnor 게이트
nor #2   G5(y5, a0, a1), (y6, a1, a2), (y7, a2, a3);
// multiple instantiations
```

Verilog HDL

게이트 수준 모델링

K. W. SHIN

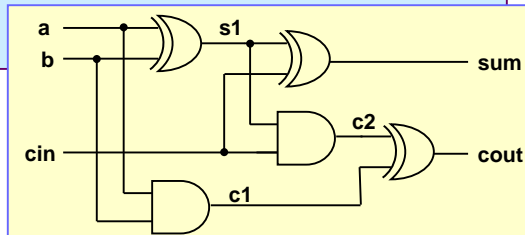
3.1 게이트 프리미티브

8

예 3.1.2 게이트 프리미티브를 이용한 1비트 전가산기 모델링

```
module full_adder_g(a, b, cin, sum, cout);
  input a, b, cin;
  output sum, cout;
  wire s1, c1, c2;

  xor (s1, a, b); // 인스턴스 이름이 생략됨
  and (c1, a, b); // 인스턴스 이름이 생략됨
  and G3 (c2, s1, cin);
  xor G4 (sum, s1, cin);
  xor G5 (cout, c1, c2);
endmodule
```



Verilog HDL

게이트 수준 모델링

K. W. SHIN