

Vivado 설계 실습

Kyung-Wook Shin
kwshin@kumoh.ac.kr

School of Electronic Eng.,
Kumoh National Institute of Technology

Verilog HDL

Xilinx Vivado 설계 실습

Vivado 설계 흐름

1. Vivado project 생성
2. 설계 입력
3. RTL 시뮬레이션
4. 설계 합성
5. 설계 구현
6. FPGA 디바이스 프로그래밍

Verilog HDL

Xilinx Vivado 설계 실습

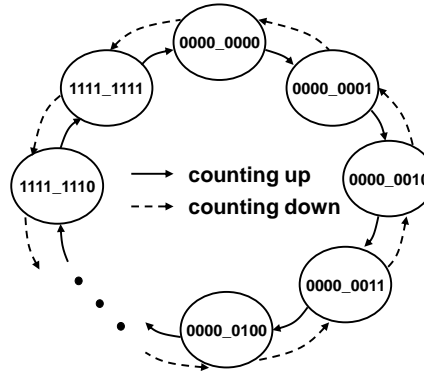
설계실습 예제 회로

3

□ 8비트(256진) 증가/감수 계수기

- ❖ mode=0 ; +1씩 증가하는 증가 계수기(up counter)로 동작
- ❖ mode=1 ; -1씩 감소하는 감소 계수기(down counter)로 동작
- ❖ Active-high 동기식 리셋을 가짐

증가/감소 계수기의 동작		
rst	mode	동작
0	0	+1씩 증가
	1	-1씩 감소
1	-	0000 0000으로 초기화



증가/감소 계수기의 상태천이도

Verilog HDL

Xilinx Vivado 설계 실습

설계실습 예제 회로 – Verilog source code ⁴

```

module counter_ud (clk, rst, mode, cnt);
    input          clk, rst, mode;
    output [7:0]   cnt;
    reg [7:0]      cnt;

    always @(posedge clk) begin
        if (rst) cnt <= 0;
        else begin
            if (mode) cnt <= cnt - 1;
            else      cnt <= cnt + 1;
        end
    end
endmodule

```

Verilog HDL

Xilinx Vivado 설계 실습

설계실습 예제 회로 – Verilog Testbench

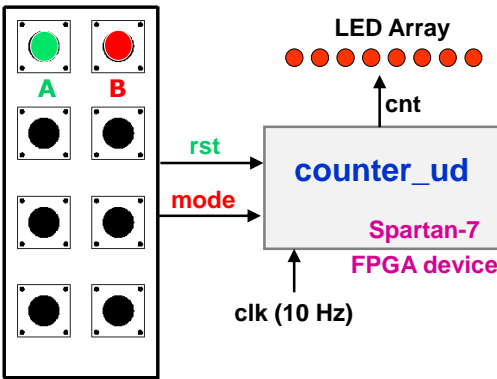
5

```
module tb_counter_ud;
  reg      clk, rst, mode;
  wire [7:0] cnt;

  counter_ud U0 (clk, rst, mode, cnt);
  initial begin
    clk = 0;
    mode = 0;
  end
  always
    #10 clk = ~clk;
  always
    #320 mode = ~mode;
  initial begin
    rst = 0;
    #5  rst = 1;
    #30 rst = 0;
    #100 rst = 1;
    #30 rst = 0;
  end
end
endmodule
```

설계실습 예제 회로 – 실습회로 구성도

6

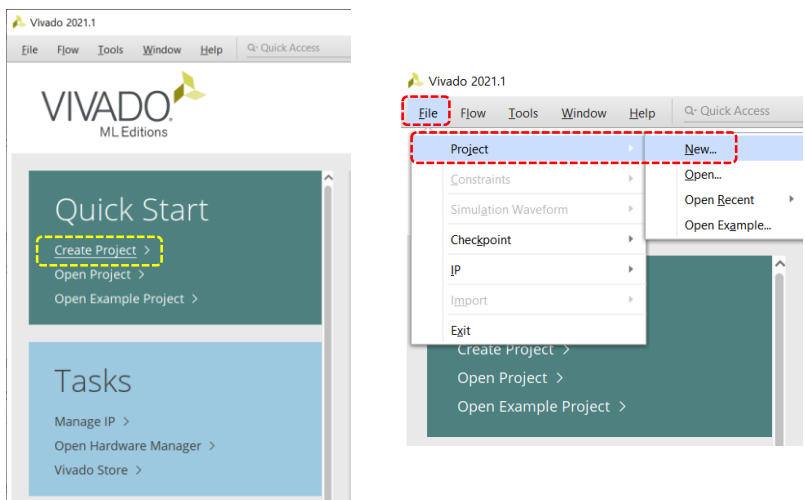


Device Pin 할당표	
FPGA Signal	Pin
LED1	U5
LED2	V1
LED3	V4
LED4	V5
LED5	W1
LED6	W2
LED7	W3
LED8	Y1
SW_A	Y6
SW_B	V7
clk	B6

❖ FPGA 디바이스에 프로그래밍한 후, 실습장비의 clock 주파수를 1 Hz 또는 10 Hz로 맞추고 동작을 확인한다.

1. Project 생성

7



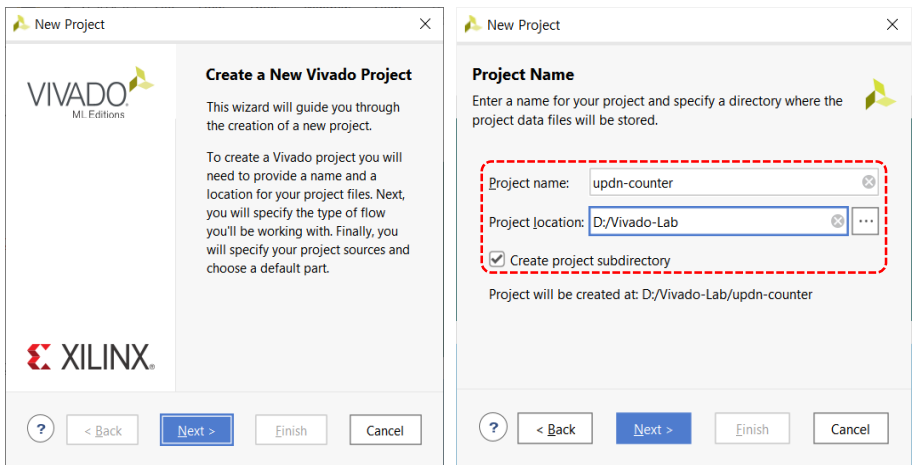
Verilog HDL

Xilinx Vivado 설계 실습

1.1 Project 생성 – New Project

8

□ Project Name, Location 설정



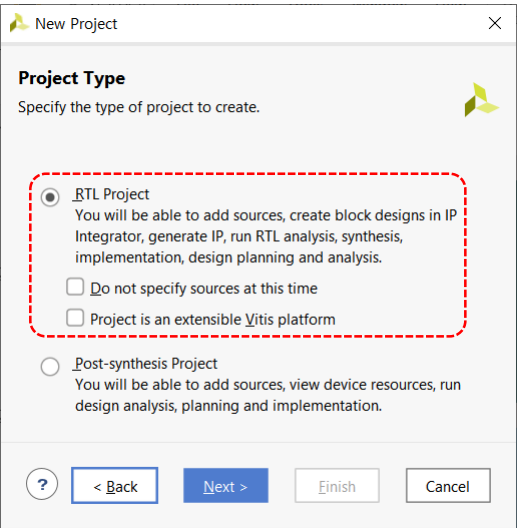
Verilog HDL

Xilinx Vivado 설계 실습

1.1 Project 생성 – New Project

9

Project Type 설정



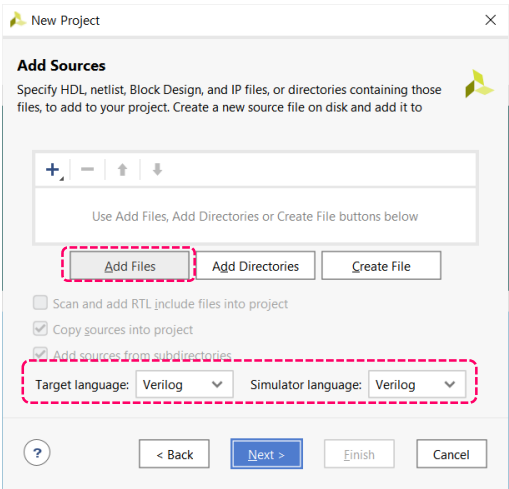
Verilog HDL

Xilinx Vivado 설계 실습

1.2 Project 생성 – Add Sources

10

Add Sources



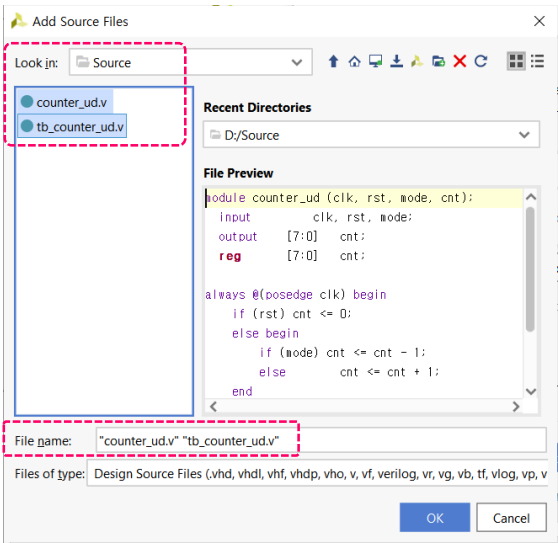
Verilog HDL

Xilinx Vivado 설계 실습

1.2 Project 생성 – Add Sources

11

Add Sources



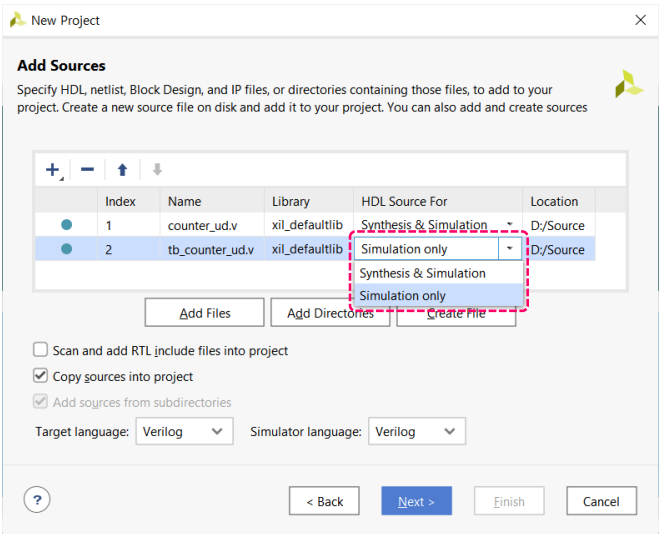
Verilog HDL

Xilinx Vivado 설계 실습

1.2 Project 생성 – Add Sources

12

Add Sources



Verilog HDL

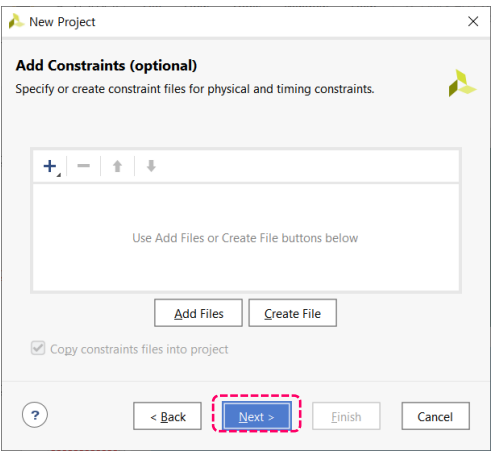
Xilinx Vivado 설계 실습

1.3 Project 생성 – Add Constraints

13

□ Add Constraints

❖ Constraint 파일(Xilinx Design Constraint; XDC) 생성 및 기존 파일 추가



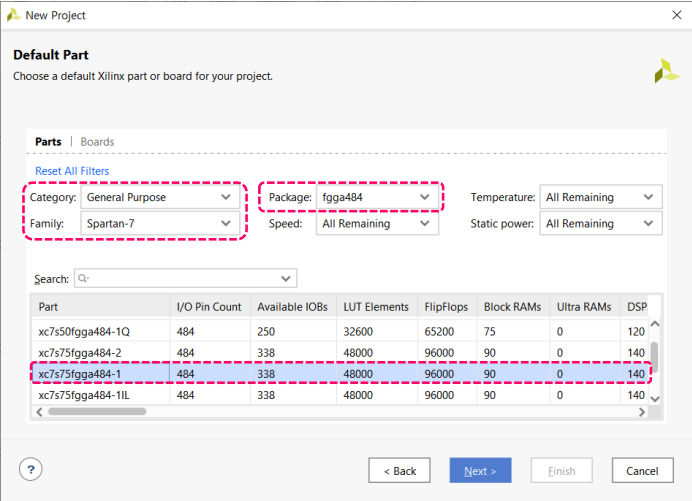
Verilog HDL

Xilinx Vivado 설계 실습

1.4 Project 생성 – Default Part

14

□ Default Part; FPGA 디바이스 및 보드 선택 (xc7s75fpga484-1)



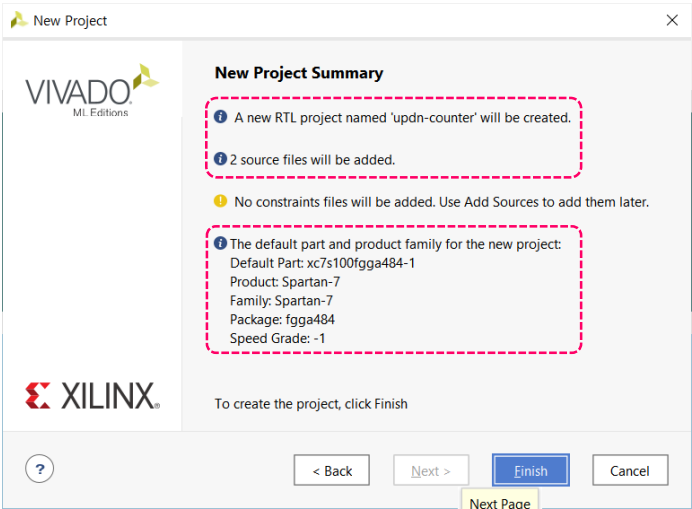
Verilog HDL

Xilinx Vivado 설계 실습

1.5 Project 생성 – Project Summary

15

New Project Summary

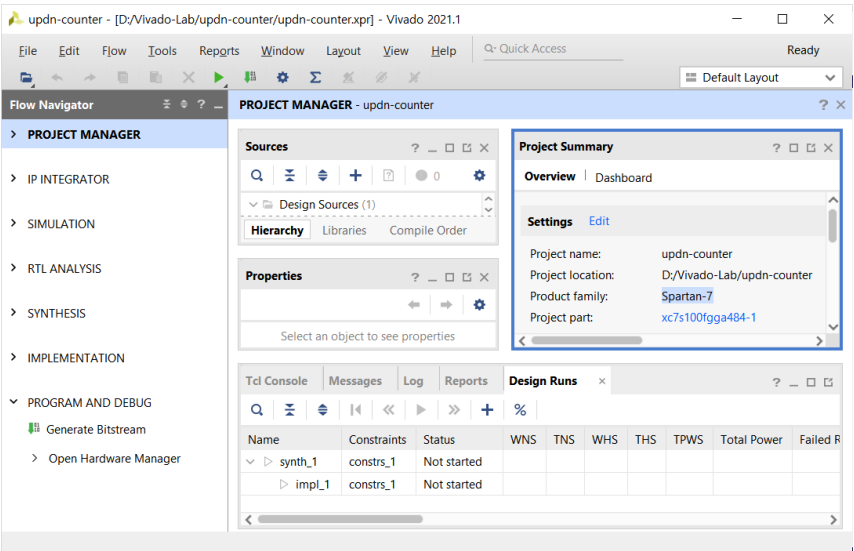


Verilog HDL

Xilinx Vivado 설계 실습

1.6 Project 생성 – 완료된 상태

16



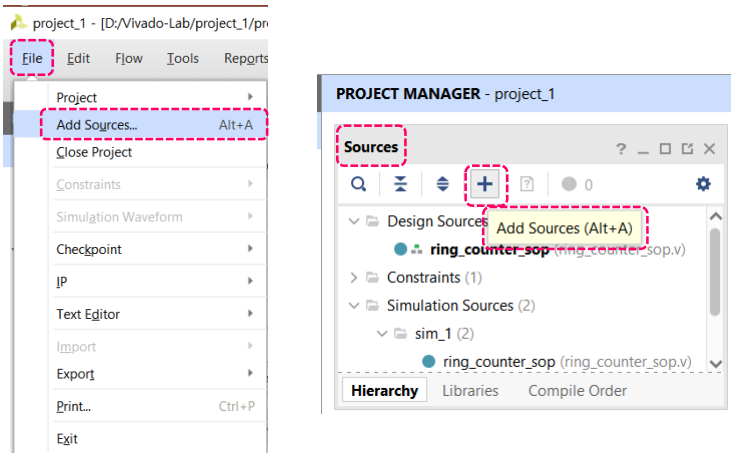
Verilog HDL

Xilinx Vivado 설계 실습

2.1 설계입력 – Add Sources

17

□ Add Sources



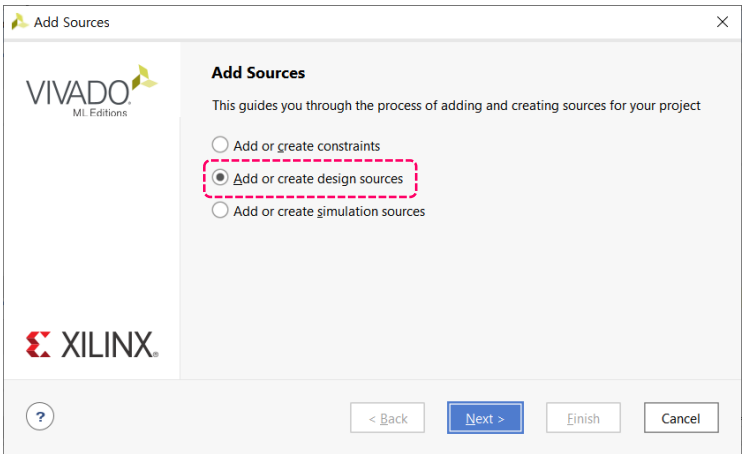
Verilog HDL

Xilinx Vivado 설계 실습

2.1 설계입력 – Add Sources

18

□ Add or Create Design Sources



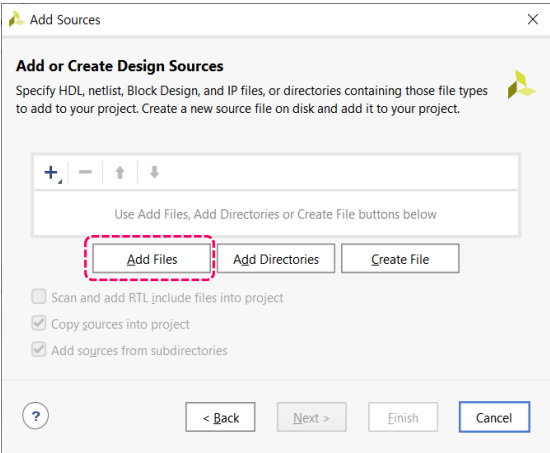
Verilog HDL

Xilinx Vivado 설계 실습

2.1 설계입력 – Add Files

19

■ Add Design Sources



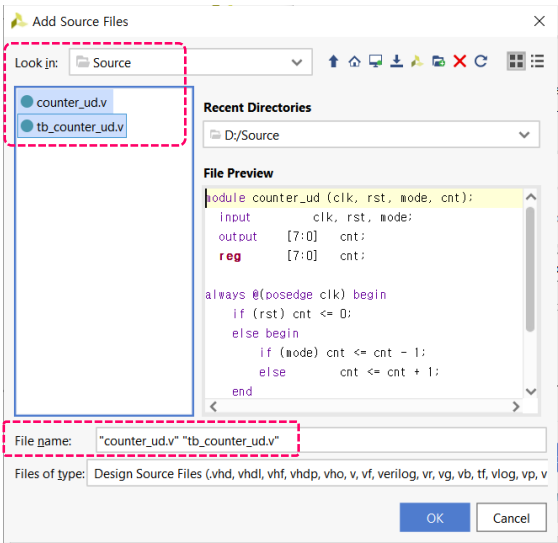
Verilog HDL

Xilinx Vivado 설계 실습

2.1 설계입력 – Add Files

20

■ Add Sources



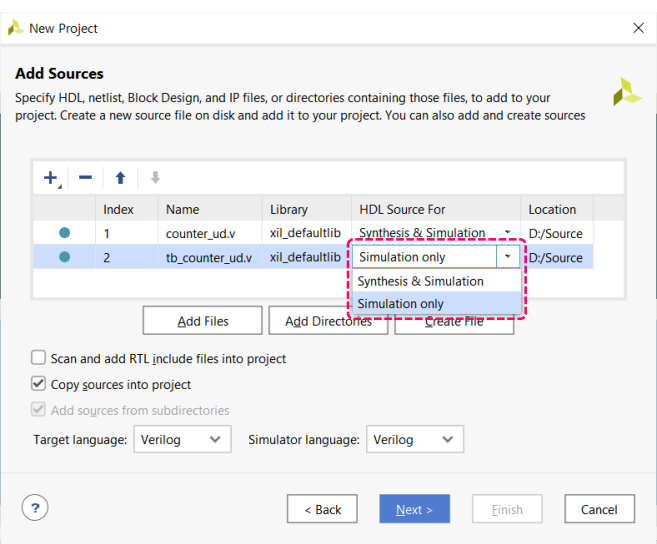
Verilog HDL

Xilinx Vivado 설계 실습

2.1 설계입력 – Add Files

21

□ Add Sources



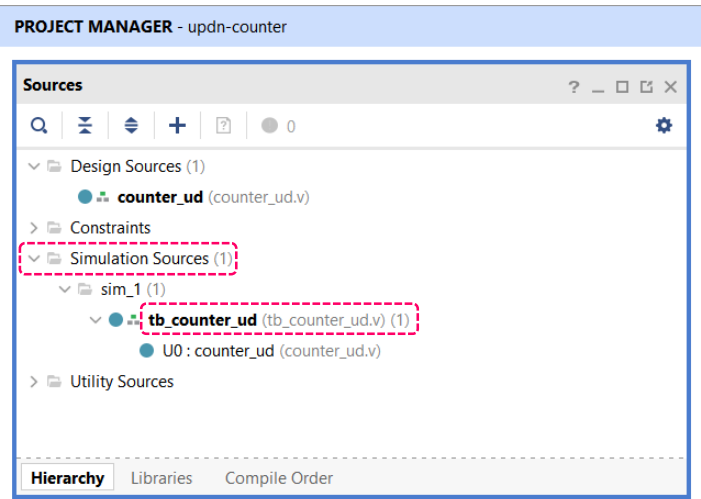
Verilog HDL

Xilinx Vivado 설계 실습

3.1 RTL 시뮬레이션

22

□ 테스트벤치 파일 확인



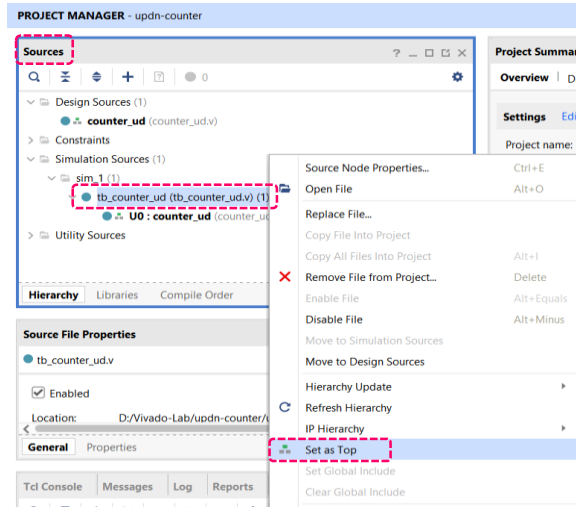
Verilog HDL

Xilinx Vivado 설계 실습

3.2 RTL 시뮬레이션 – Top 모듈 지정

23

- 테스트벤치를 top 모듈로 설정; 테스트 벤치 파일 우클릭 → Set as Top



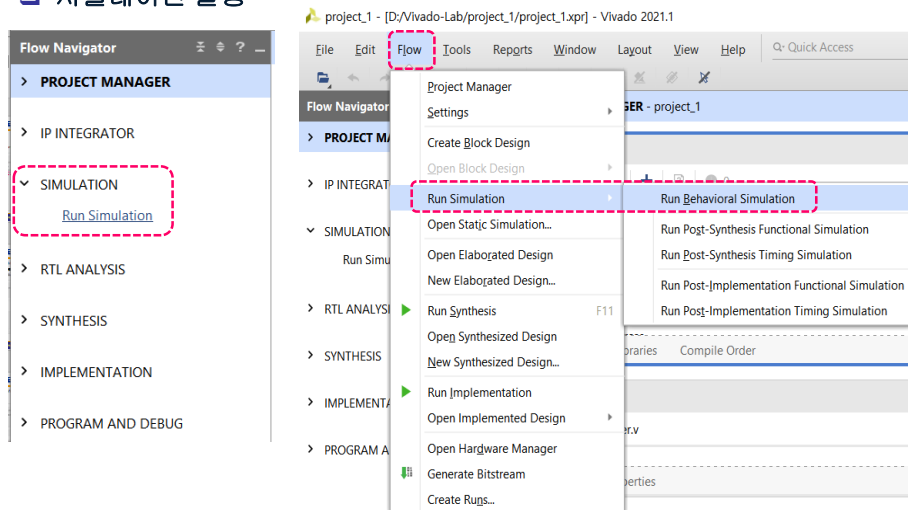
Verilog HDL

Xilinx Vivado 설계 실습

3.3 RTL 시뮬레이션 – Run Simulation

24

- 시뮬레이션 실행



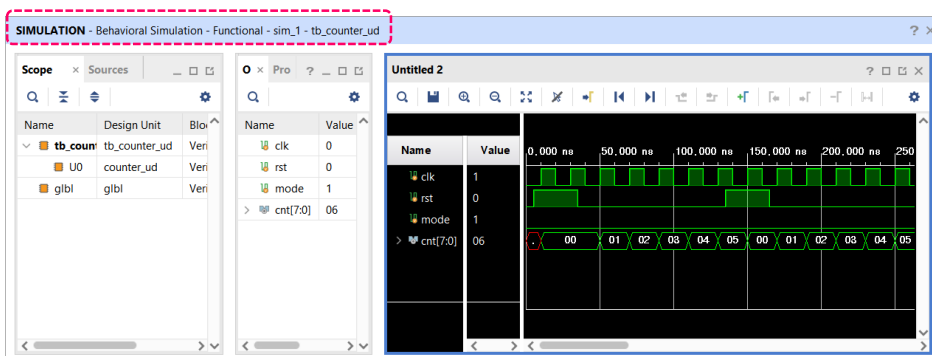
Verilog HDL

Xilinx Vivado 설계 실습

3.4 RTL 시뮬레이션 – 결과 확인

25

□ 시뮬레이션 결과 확인

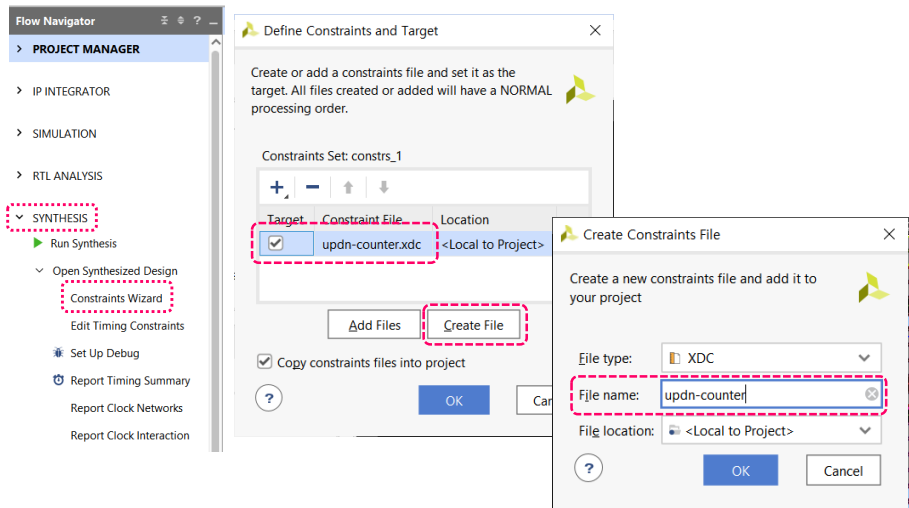


Verilog HDL

Xilinx Vivado 설계 실습

4.1 설계 합성 – Timing Constraints 설정

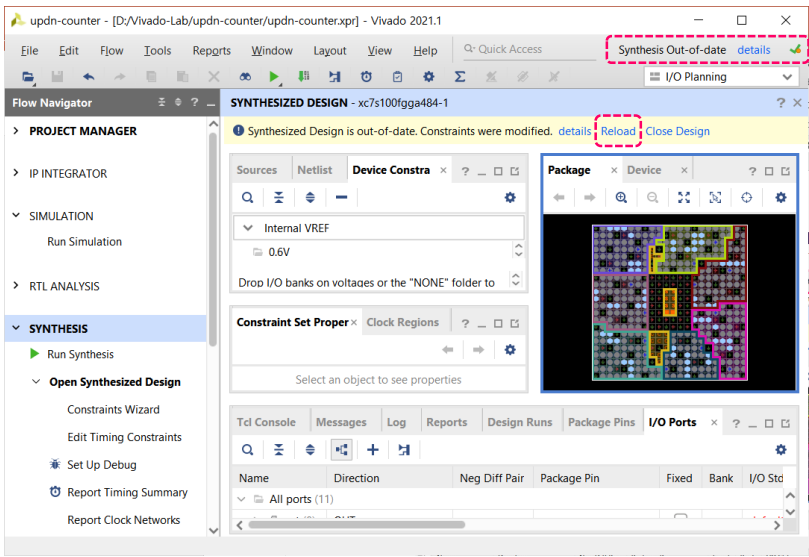
26



Verilog HDL

Xilinx Vivado 설계 실습

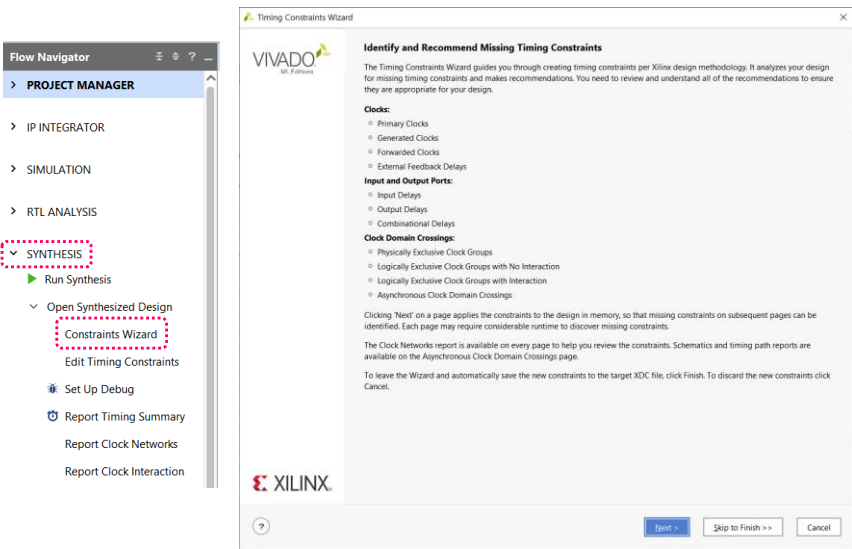
4.1 설계 합성 – Timing Constraints 설정 27



Verilog HDL

Xilinx Vivado 설계 실습

4.1 설계 합성 – Timing Constraints 설정 28



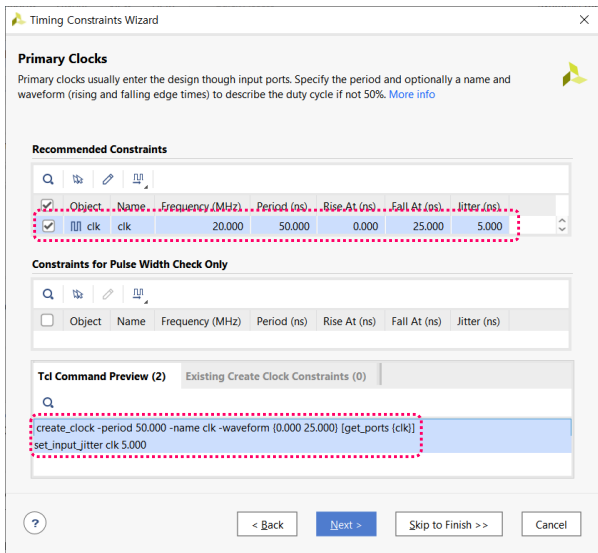
Verilog HDL

Xilinx Vivado 설계 실습

4.1 설계 합성 – Timing Constraints 설정 29

□ Timing Constraints 설정

❖ Primary clock,
input/output delay 등
합성 과정에 적용되는
constraints 설정

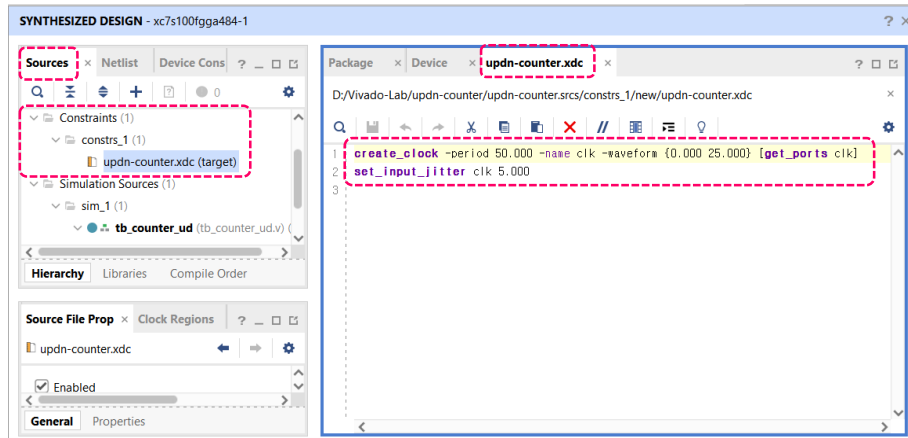


Verilog HDL

Xilinx Vivado 설계 실습

4.2 설계 합성 – XDC 파일 확인 30

□ Xilinx Design Constraints(XDC) 파일 확인



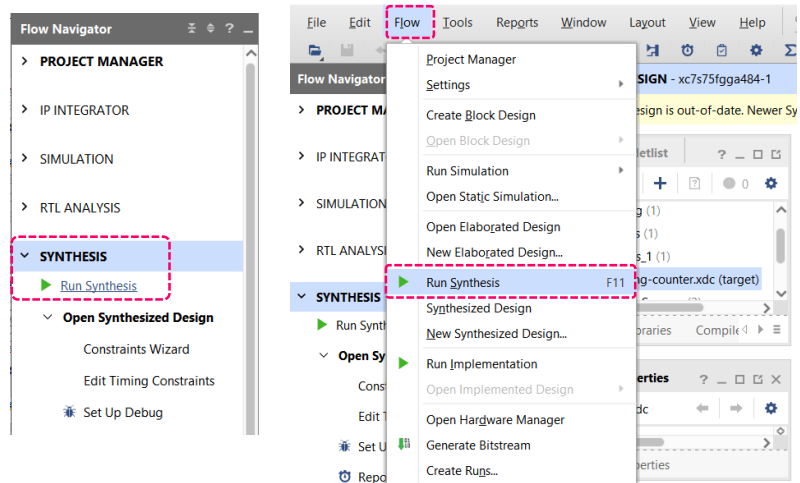
Verilog HDL

Xilinx Vivado 설계 실습

4.3 설계 합성 – Run Synthesis

31

Synthesis 실행



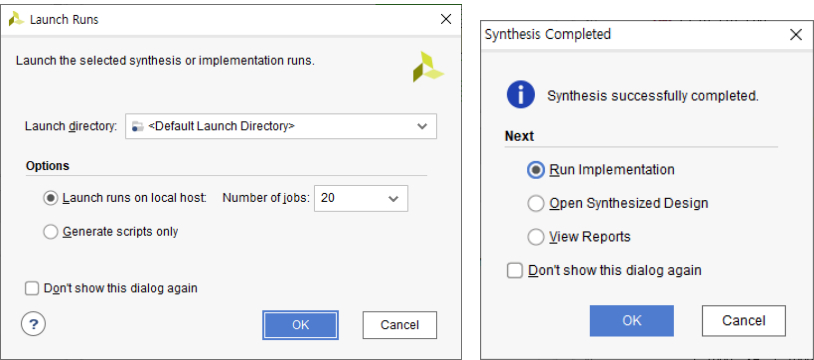
Verilog HDL

Xilinx Vivado 설계 실습

4.3 설계 합성 – Run Synthesis

32

Synthesis 실행

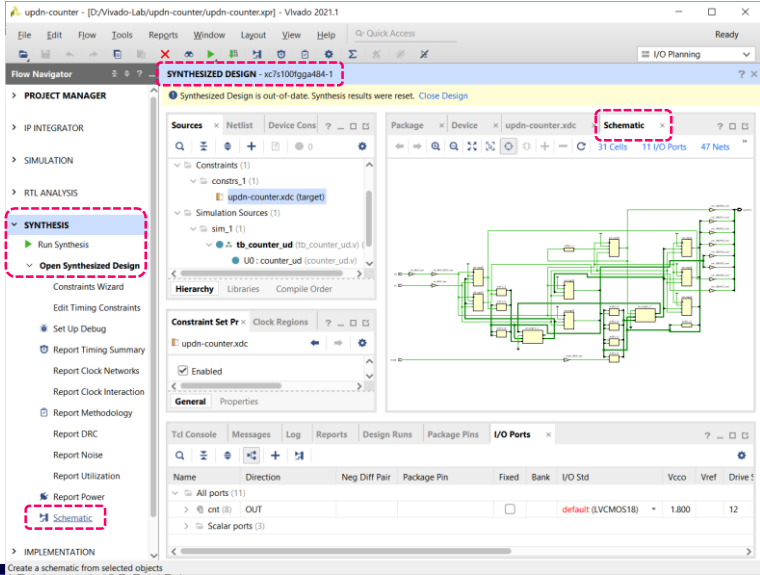


Verilog HDL

Xilinx Vivado 설계 실습

4.4 설계 합성 – 회로도 확인

33

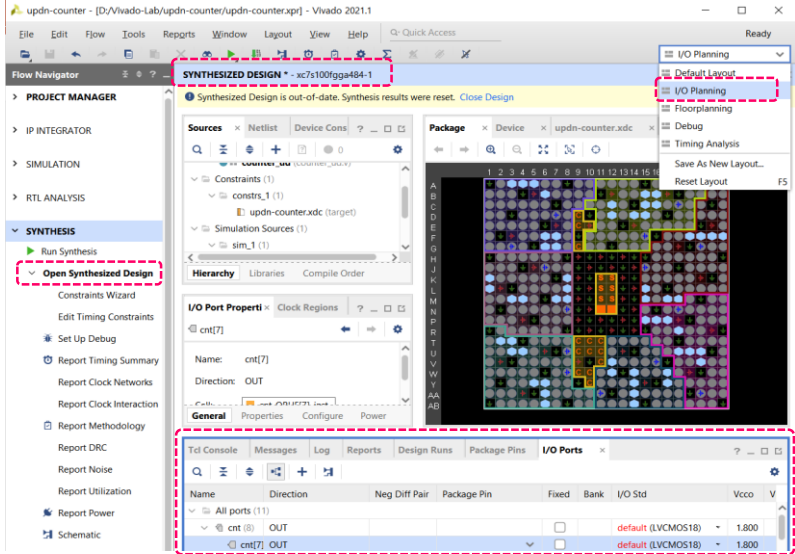


Verilog HDL

Xilinx Vivado 설계 실습

5.1 설계 구현 – 디바이스 핀 할당

34



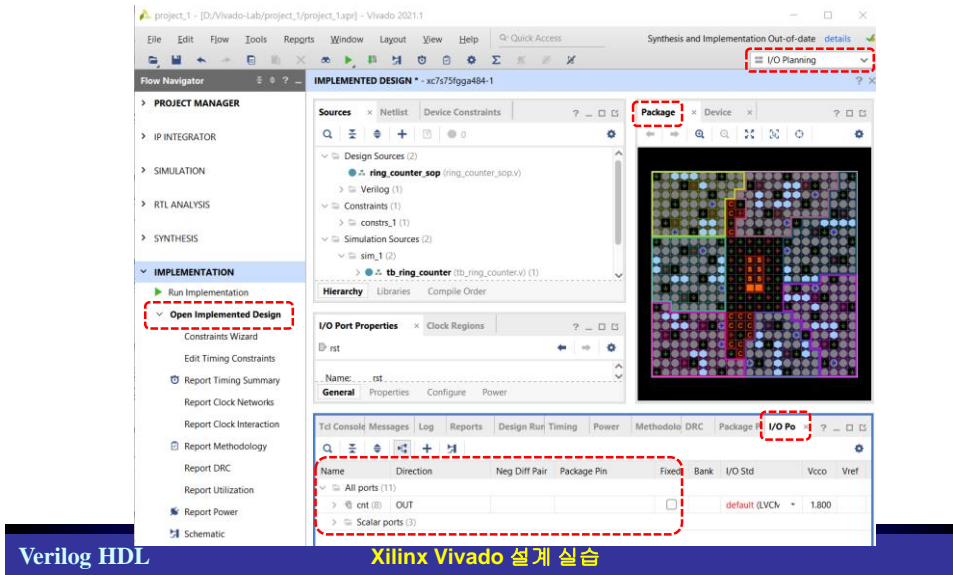
Verilog HDL

Xilinx Vivado 설계 실습

5.1 설계 구현 – 디바이스 핀 할당

35

□ 디바이스 핀 할당

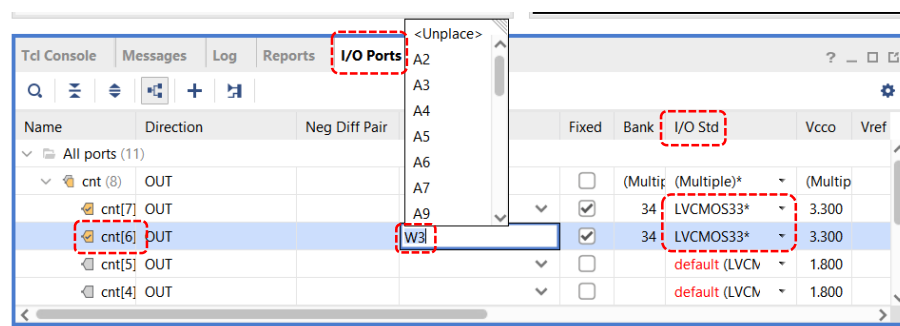


5.1 설계 구현 – 디바이스 핀 할당

36

❑ 디바이스 핀 할당(I/O Ports 탭)

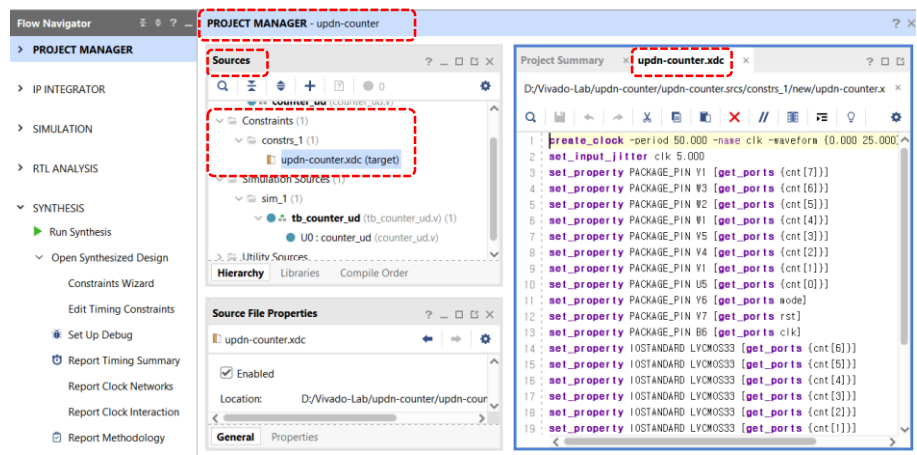
- ❖ port 선택, Package Pin 컬럼에 핀 할당(핀 할당 테이블 참조)
- ❖ I/O Std 컬럼: **LVC MOS33**으로 선택



5.2 설계 구현 – XDC 파일 확인

37

❖ 저장 후, Constraints 파일(XDC) 확인



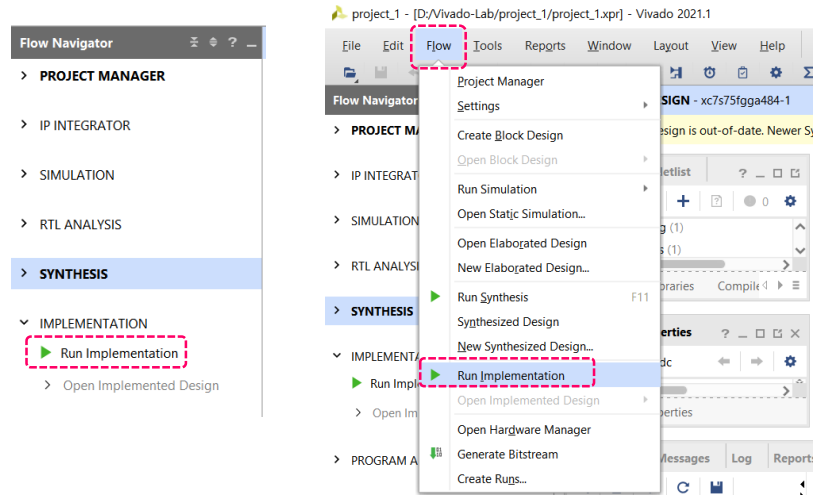
Verilog HDL

Xilinx Vivado 설계 실습

5.3 설계 구현 – Run Implementation

38

□ Implementation 실행



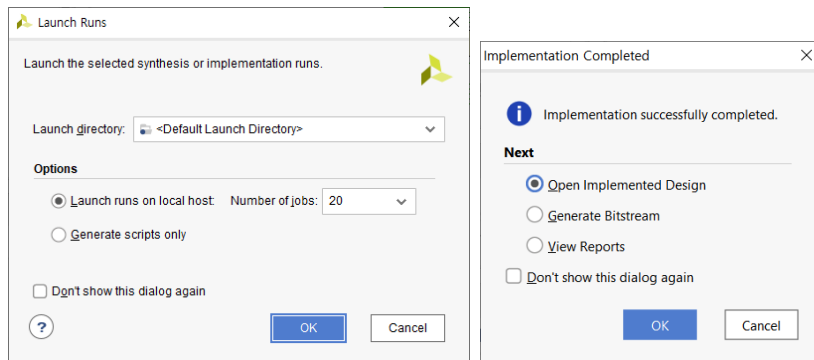
Verilog HDL

Xilinx Vivado 설계 실습

5.3 설계 구현 - Run Implementation

39

□ Implementation 실행



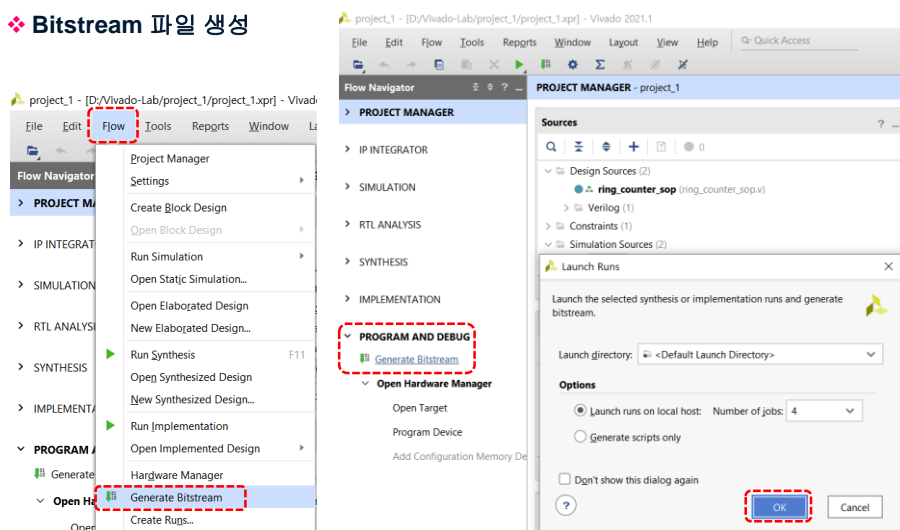
Verilog HDL

Xilinx Vivado 설계 실습

6.1 FPGA 디바이스 프로그래밍

40

❖ Bitstream 파일 생성



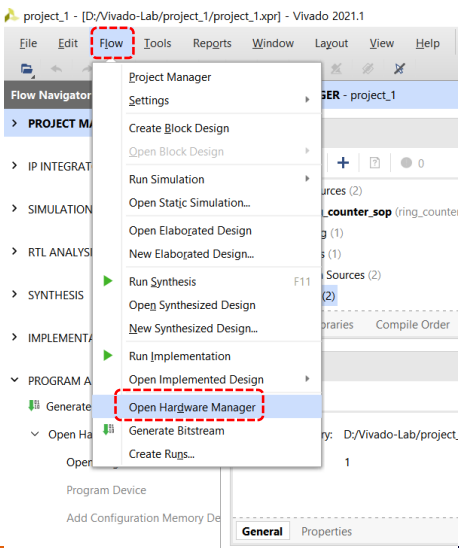
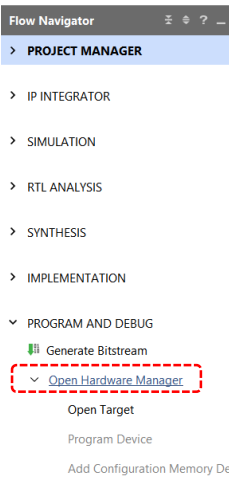
Verilog HDL

Xilinx Vivado 설계 실습

6.1 FPGA 디바이스 프로그래밍

41

❖ Open Hardware Manager



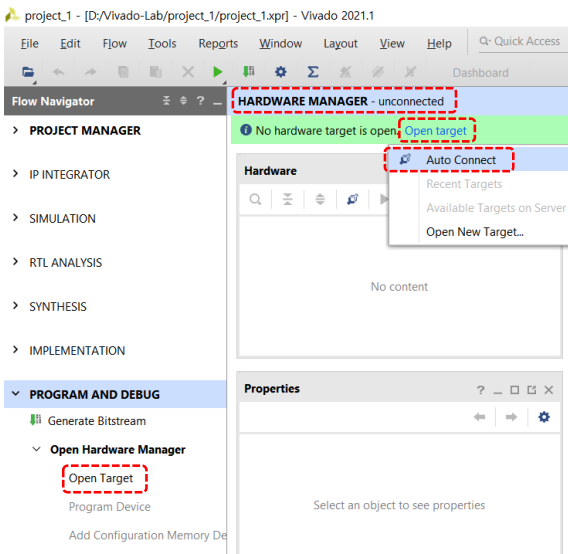
Verilog HDL

Xilinx Vivado 설계 실습

6.1 FPGA 디바이스 프로그래밍

42

- ❖ 실습장비 ↔ PC cable 연결
- ❖ 실습장비 전원 ON
- ❖ Open target
- ❖ Auto Connect



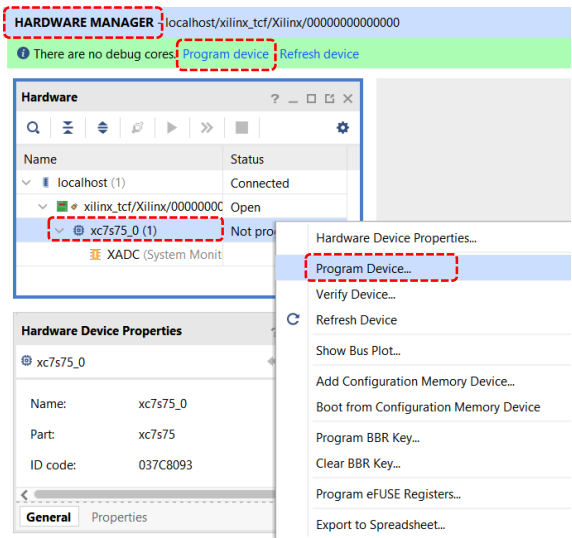
Verilog HDL

Xilinx Vivado 설계 실습

6.1 FPGA 디바이스 프로그래밍

43

- ❖ FPGA 디바이스 선택
- ❖ Program Device 실행



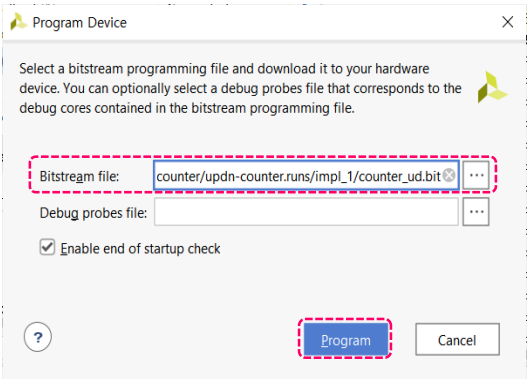
Verilog HDL

Xilinx Vivado 설계 실습

6.1 FPGA 디바이스 프로그래밍

44

- ❖ Bitstream 파일 선택
- ❖ Program Device 실행



- ❖ FPGA 실습장비의 clock 주파수를 1 Hz 또는 10 Hz로 맞추고 동작을 확인한다.

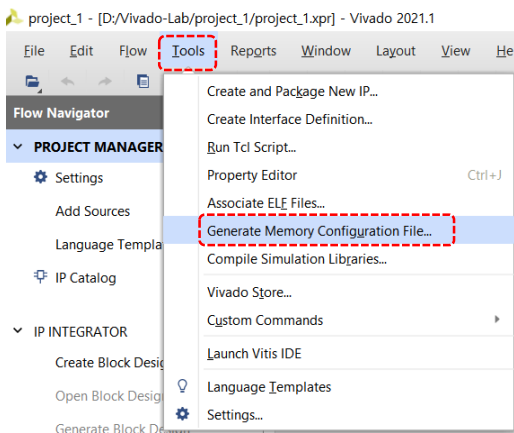
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

45

- ❖ 실습 키트에 장착된 configuration ROM 이용
 - s25FL128s (128 Mb) SPI Flash Memory (Spansion)
- ❖ 비트 스트림 파일을 configuration ROM에 저장할 수 있는 .mcs 파일로 변환

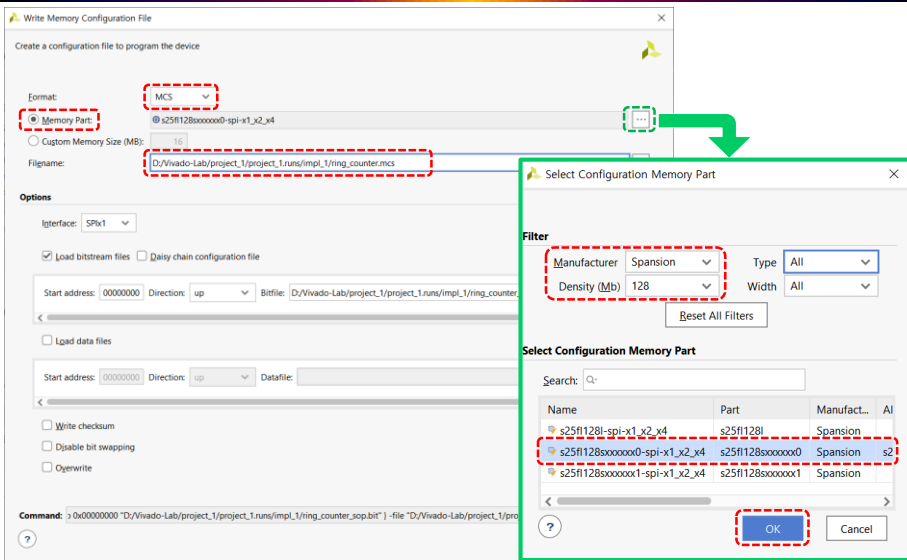


Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

46

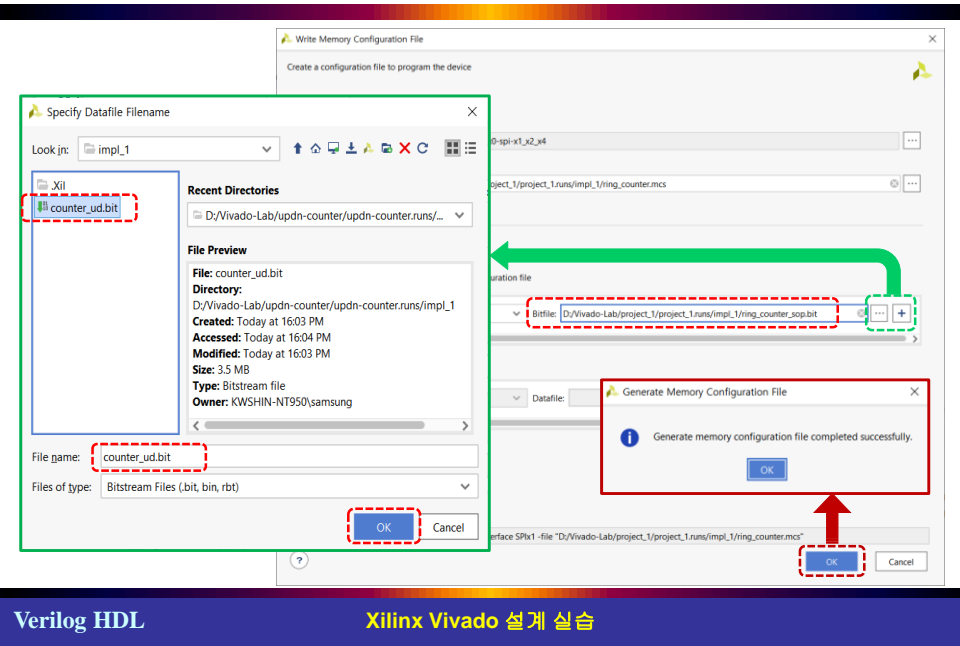


Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

47

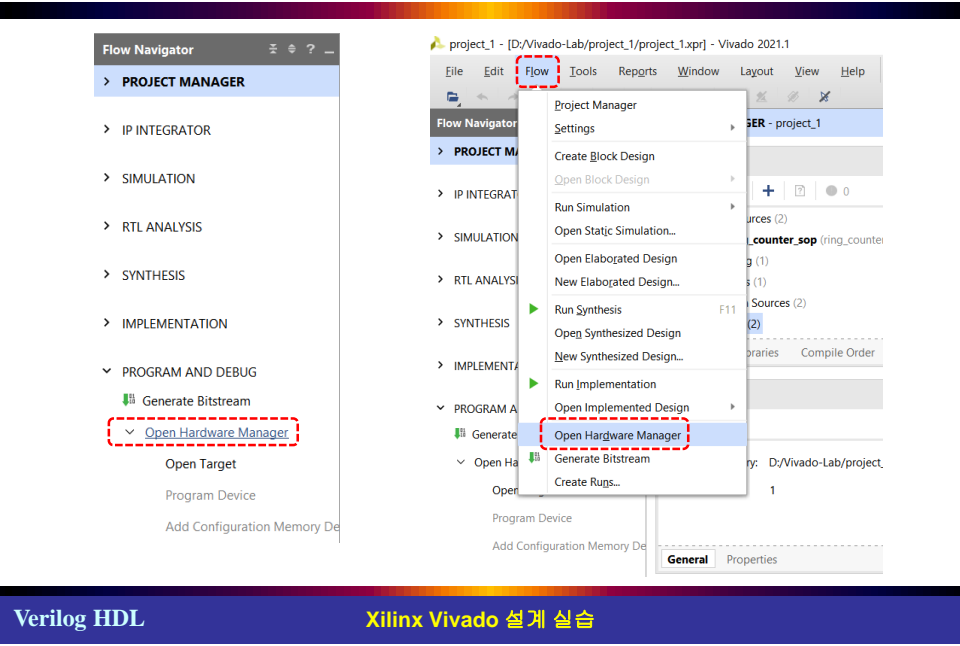


Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

48



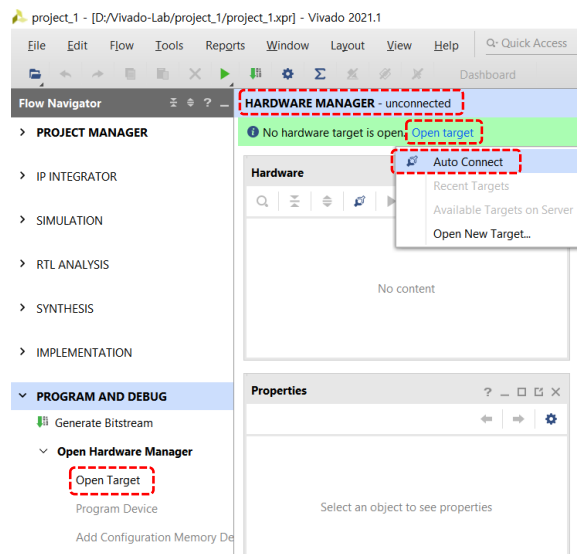
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

49

- ❖ 실습장비 ↔ PC cable 연결
- ❖ 실습장비 전원 ON
- ❖ Open target
- ❖ Auto Connect



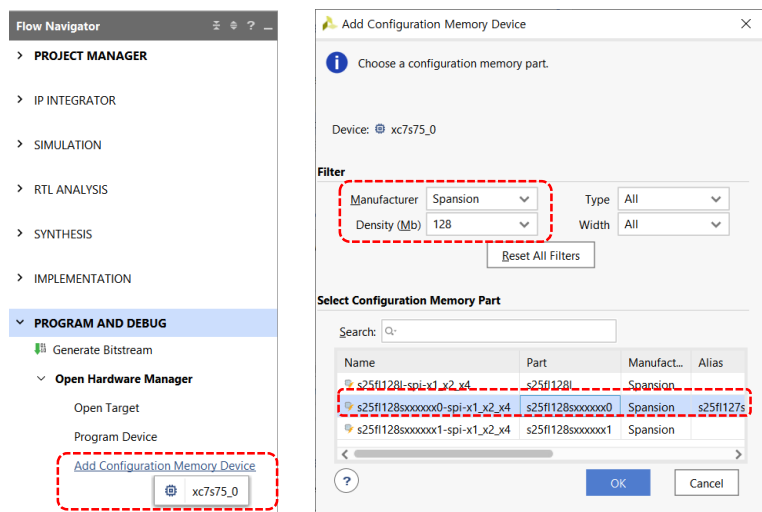
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

50

- ❖ Configuration Memory Device 추가



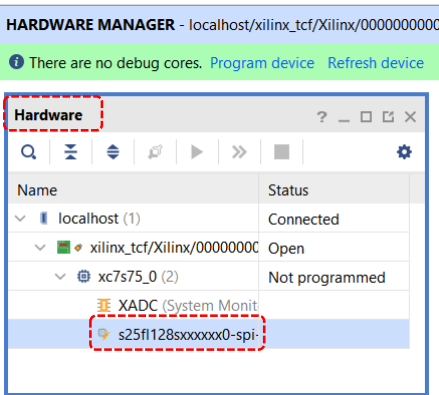
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

51

❖ Configuration Memory Device 추가



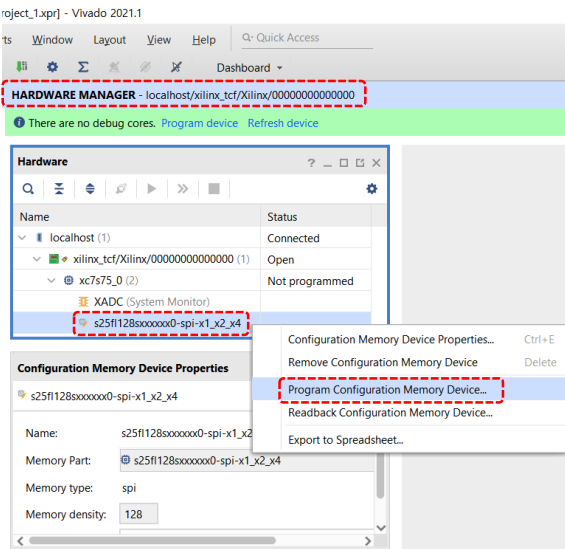
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

52

- ❖ Flash 메모리 선택
- ❖ Program Configuration Memory 실행

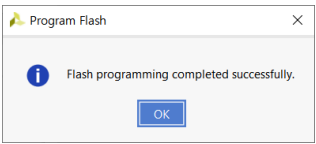
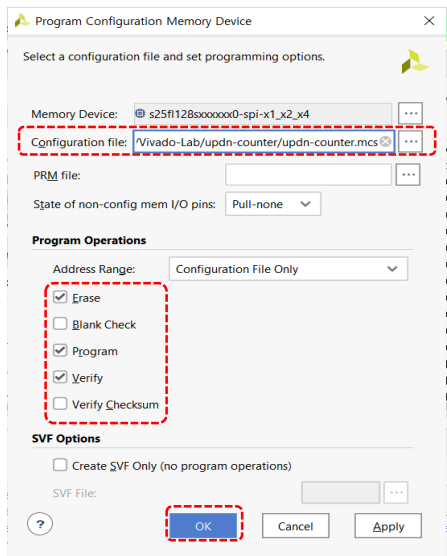


Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

53



- ① FPGA 보드의 Reconfig 스위치 click
- ② Flash 메모리 → FPGA 프로그래밍 정보 로딩
- ③ FPGA 실습장비 동작 확인

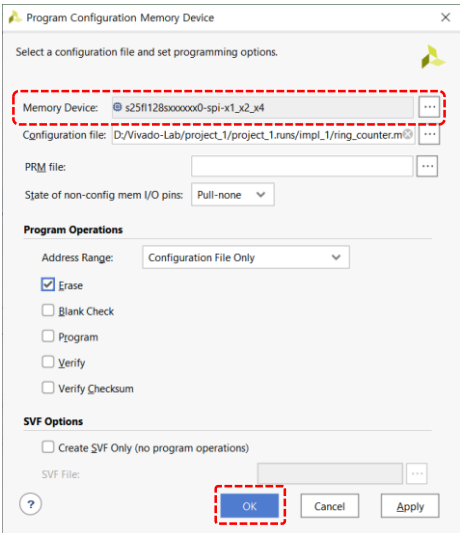
Verilog HDL

Xilinx Vivado 설계 실습

6.2 Flash Memory 프로그래밍

54

❖ Flash 메모리 정보 지우기



Verilog HDL

Xilinx Vivado 설계 실습