

게이트 수준 모델링(2)

Kyung-Wook Shin
kwshin@kumoh.ac.kr

School of Electronic Eng.,
Kumoh National Institute of Technology

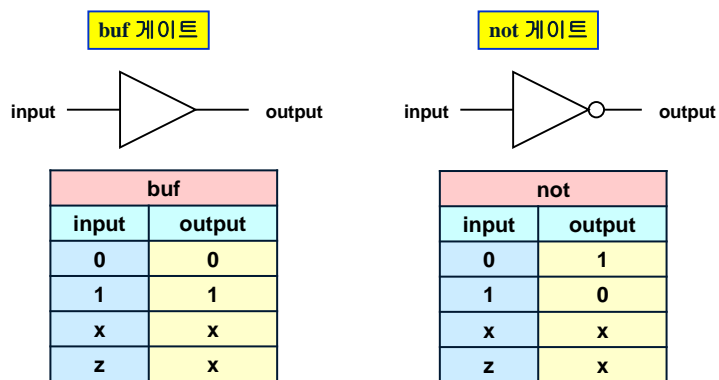
Verilog HDL

게이트 수준 모델링

K. W. SHIN

3.2 buf와 not 게이트 프리미티브

2



```
buf b1(out1, out2, in);
not #5 inv(out, in);
```

Verilog HDL

게이트 수준 모델링

K. W. SHIN

3.3 3상태 버퍼 프리미티브

3

❑ 3상태 버퍼 프리미티브

- ❖ 포트 연결 :
 - 순서에 의한 매핑만 사용 가능
 - 출력 포트, 데이터 입력 포트, 제어 입력 포트의 순서로 매핑
- ❖ 3개의 지연값 지정 : #(n1, n2, n3)
 - n1 : 상승지연, n2 : 하강지연, n3 : z로 변할 때의 지연
 - min(n1, n2, n3) : 출력이 x로 변할 때의 지연
- ❖ 2개의 지연값 지정 : #(n1, n2)
 - n1 : 상승지연, n2 : 하강지연
 - min(n1, n2) : 출력이 x 또는 z로 변할 때의 지연

```
bufif0          bf0(out0, in, control);
bufif1 #(10,12,11) bf1(out1, in, control);
```

3.3 3상태 버퍼 프리미티브

4

bufif1 게이트

bufif1		CONTROL			
		0	1	x	z
D A T A	0	z	0	L	L
	1	z	1	H	H
	x	z	x	x	x
	z	z	x	x	x

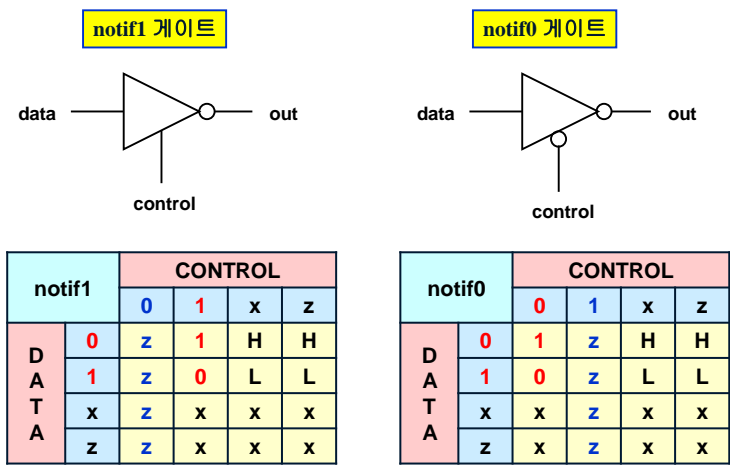
bufif0 게이트

bufif0		CONTROL			
		0	1	x	z
D A T A	0	0	z	L	L
	1	1	z	H	H
	x	x	z	x	x
	z	x	z	x	x

L : 0 또는 z가 될 수 있는 unknown H : 1 또는 z가 될 수 있는 unknown

3.3 3상태 버퍼 프리미티브

5



Verilog HDL

게이트 수준 모델링

K. W. SHIN

3.4 게이트 인스턴스의 배열

6

- 게이트 인스턴스의 배열
 - ❖ 인스턴스 이름 뒤에 배열의 범위를 지정하여 반복 회수를 표현

예 3.4.1

```
nand #2 t_nand[0:3]( ... ), t_nand[4:7]( ... ); // syntax error

nand #2 t_nand[0:7]( ... );
nand #2 x_nand[0:3]( ... ), y_nand[4:7]( ... );
```

Verilog HDL

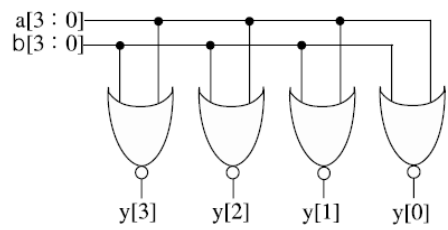
게이트 수준 모델링

K. W. SHIN

3.4 게이트 인스턴스의 배열

7

예 3.4.2



[그림 3.4] 4비트 2입력 NOR 게이트 회로

```
module nor_gate_4b(a, b, y);
  input  [3:0] a, b;
  output [3:0] y;

  nor U0 [3:0] (y, a, b); // 2입력 nor 게이트의 배열
endmodule
```

코드 3.2

3.4 게이트 인스턴스의 배열

8

예 3.4.2

```
module nor_gate_4b_eq(a, b, y);
  input  [3:0] a, b;
  output [3:0] y;

  nor U3 (y[3], a[3], b[3]); // 2입력 nor 게이트의 개별적인 인스턴스
  nor U2 (y[2], a[2], b[2]);
  nor U1 (y[1], a[1], b[1]);
  nor U0 (y[0], a[0], b[0]);
endmodule
```

코드 3.3

3.5 게이트 지연과 net 지연

9

- 게이트 지연
 - ❖ 게이트의 입력에서부터 출력까지의 신호 전달지연 (propagation delay)
 - ❖ 상승지연, 하강지연, 턴-오프 (turn-off) 지연
 - ❖ default 값은 0
- net 지연
 - ❖ net를 구동하는 driver의 값이 변하는 시점부터 net의 값이 갱신되는 시점까지 소요되는 시간
 - ❖ 상승지연, 하강지연, 턴-오프 (turn-off) 지연
 - ❖ default 값은 0
- 관성지연(inertial delay)
 - ❖ 지정된 지연 값보다 입력 신호의 변화 폭이 작은 경우에는 입력 신호가 출력에 영향을 미치지 않음
 - ❖ Verilog HDL의 default 지연

3.5 게이트 지연과 net 지연

10

From value :	To value :	2개의 지연 값(d1, d2)이 사용된 경우	3개의 지연 값(d1, d2, d3)이 사용된 경우
0	1	d1	d1
0	x	min(d1, d2)	min(d1, d2, d3)
0	z	min(d1, d2)	d3
1	0	d2	d2
1	x	min(d1, d2)	min(d1, d2, d3)
1	z	min(d1, d2)	d3
x	0	d2	d2
x	1	d1	d1
x	z	min(d1, d2)	d3
z	0	d2	d2
z	1	d1	d1
z	x	min(d1, d2)	min(d1, d2, d3)

3.5 게이트 지연과 net 지연

11

예 3.5.1

```
and # (10) a1(out, in1, in2);           // only one delay
and # (10,12) a2(out, in1, in2);       // rise and fall delays
bufif0 # (10,12,11) b3(out, in, ctrl); // rise, fall, turn-off delays
```

예 3.5.2 3상태 출력을 갖는 래치

```
module tri_latch(qout, qbout, clock, data, enable);
    output qout, qbout;
    input clock, data, enable;
    tri qout, qbout;

    not #5 n1(ndata, data);
    nand # (3,5) n2(wa, data, clock), n3(wb, ndata, clock);
    nand # (12,15) n4(q, qb, wa), n5(qb, q, wb);
    bufif1 # (3,7,13) q_drive(qout, q, enable),
                  qb_drive(qbout, qb, enable);
endmodule
```

코드 3.4

3.5 게이트 지연과 net 지연

12

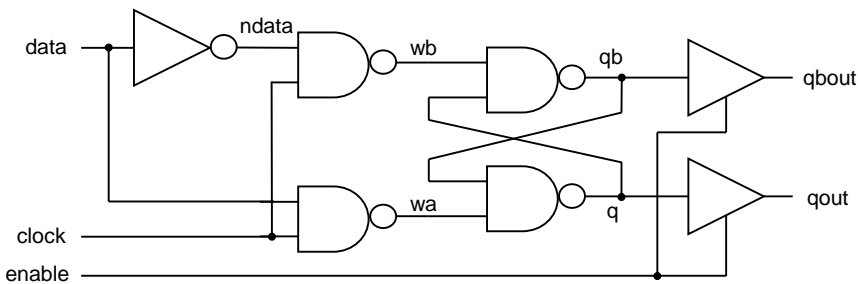


그림 3.5 3상태 출력을 갖는 래치

3.5 게이트 지연과 net 지연

13

예 3.5.3 게이트 지연에서의 관성지연

```
module inertial_delay_gate();
  reg a, b;

  and #30(out, a, b);

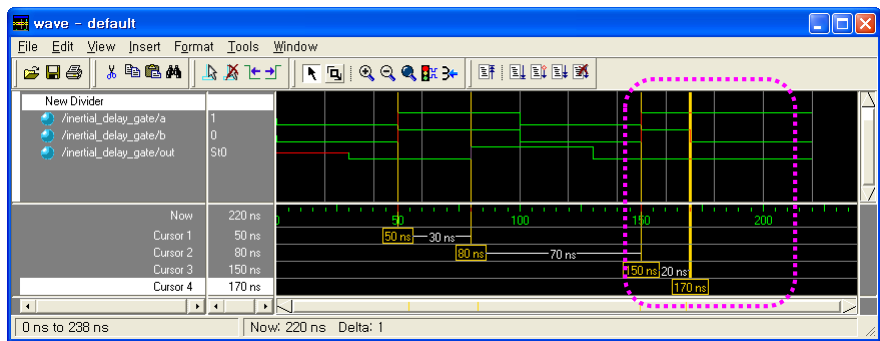
  initial begin
    a = 1'b0;
    b = 1'b0;
    #50 a = 1'b1;
    b = 1'b1;
    #50 a = 1'b0;
    b = 1'b0;
    #50 a = 1'b1;
    b = 1'b1;
    #20 b = 1'b0;
    #50;
  end
endmodule
```

코드 3.5

3.5 게이트 지연과 net 지연

14

예 3.5.3 게이트 지연에서의 관성지연



[그림 3.6] [코드 3.5]의 시뮬레이션 결과