SoC 틀 위한 Peripheral 설계 [Serial Bus -> SPI 구현]

[Reference]

- https://ko.wikipedia.org/wiki/%EC%A7%81%E B%A0%AC %ED%86%B5%EC%8B%A0
- https://ko.wikipedia.org/wiki/UART

(a)

MicroBlaze.v15 [IHIL]

https://hanbulkr.tistory.com/5

https://electriceng.tistory.com/422



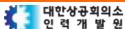
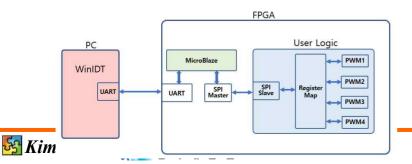




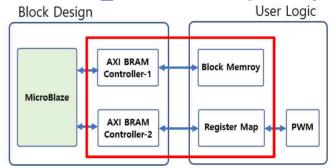


Table of Contents

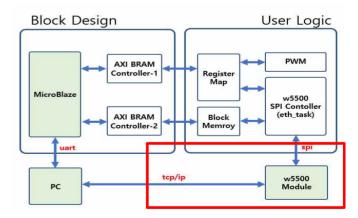
- ➤ SoC 를 위한 Peripheral 설계
- 1. Xilinx IP
- 2. Create and Package New IP
- 3. **SPI**
 - 1) SPI Master
 - 2) SPI Slave
 - 3) SPI Controller(SPI Task)
- 4. UART
- 5. *AMBA*
- 6. MicroBlaze_Hello World
- 7. MicroBlaze_LED_Counter
- 8. MicroBlaze_Peripheral Implementation
- 9. MicroBlaze_User Logic Interface



- 10. SPI_Master_IP(MicroBlaze_User Logic Interface)
- 11. TCP_IP Implementation Using W5500
- 12. MicroBlaze Block Memory Interface-1
- 13. MicroBlaze_Block Memory Interface-2

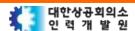


14. w5500 Interface Implementation



> SoC Peripheral RTC Design Project

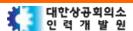
- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]



- > spi_controller_exam_0.xpr
- > SPI (Serial Peripheral Interface Bus) Controller Implementation
- ❖ SPI Master와 SPI Slave 간의 통신을 구현
 - spi master 에서 slave의 $User\ register\ (0x10\sim0x13,\ user_reg1\sim user_reg4)$ 에 데이터를 $write\$ 하고 read 하는 것을 구현
- * Implementation Sequence
 - 구현 목표 : $BTN\theta$ 를 누를 때마다 SPI Master 에서 $\theta x1\theta$ 번지에 $\theta x\theta\theta$ 부터 θxff 까지 데이터를 Write 하고, Write 한 값을 읽어서 그 값을 LED에 표시
 - \Rightarrow BTN0를 한번 누르면, Spi Master 에서 Spi Slave 로 0x10 번지에 0x00을 Write 하고, 0x10 번지를 Read 해서 그 값을 LED에 표시
 - \rightarrow $BTN\theta$ 를 두번째 누르면, 0x10 번지에 0x01을 Write 하고, 0x10 번지를 읽어서 그 값을 LED에 표시
 - \rightarrow 버튼을 누를 때마다 write 값을 증가 \rightarrow read 후에 그 값을 LED 에 표시
 - → 정상적으로 동작한 다면 <mark>버튼을 누를 때마다 $0x00 \sim 0xff$ 까지 순차적으로 LED 에 표시</mark>
 - ② BTN1을 누르면, 0x11 번지에 Write 하고 Read 해서 그 값을 LED에 표시
 - ② BTN2을 누르면, 0x12 번지에 Write 하고 Read 해서 그 값을 LED에 표시
 - ③ BTN3을 누르면, 0x13 번지에 Write 하고 Read 해서 그 값을 LED에 표시
 - ④ LED에 표시되는 값은, [LD7: bit7], [LD6: bit6], [LD5: bit5], [LD4: bit4], [LD3: bit3], [LD2: bit2], [LD1: bit1], [LD0: bit0]



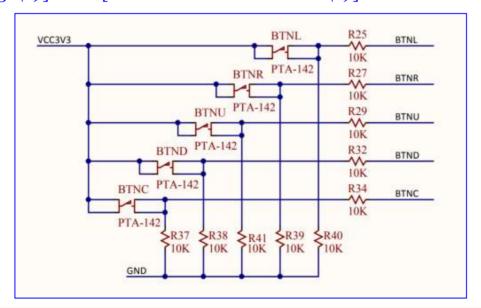
- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]

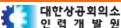




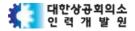


- > spi_controller_exam_0.xpr
- > SPI (Serial Peripheral Interface Bus) Controller Implementation
- ❖ 버튼 노이즈(Button Noise) 제거
 - Basys3 보드에 장착된 Button(btnC, btnU, btnL, btnR, btnD) 은 Tact Switch
 - Tact Switch 는 버튼을 누를 때 짧은 순간에 여러 번 접촉했다 떨어졌다를 반복하는 노이즈 현상
 - → 버튼을 한번만 눌러도 마치 여러 번 버튼을 누른 것과 같은 현상(오류)이 발생
 - Button Noise 오류를 방지하는 것을 코드로 구현
- ❖ 버튼 회로
 - Basys3 보드에 장착된 Button(btnC, btnU, btnL, btnR, btnD) 은 Tact Switch의 회로도
 - [버튼 눌림 : *High(1)*] ←→ [버튼 누르지 않으면 : *Low(0)*]





- → [버튼 노이즈 제거 기능 구현]
 - 1. Code Implementation
- → [SPI Task 구현]







> spi_controller_exam_0.xpr

➤ SPI slave Implementation → Code Implementation → 버튼의 입력을 10ms 간격으로 Check 해서 이

전 값과 현재 값을 이용해서 버튼이 눌러진 순간을 검출

```
❖ 2~6: Port 정의
btn in(1)
1. `timescale 1ns / 1ps
                                          → btn 입력값 받아서, 노이즈를 제거하고 버튼이 눌러진 순간에 1-clock 펄스 출력
  module btn in(
            reset, clock, btn in, btn out
                                              7 ~ 8 : 10ms 을 위한 카운터 최대 값[100Mhz clock, 100만번(=< 2<sup>20</sup>) → 10ms(100Hz, 1/100초)]
   input
            reset, clock, btn in;
                                          → simulation 에서 사용하는 값: 1000(=10us) → 10ms 는 Simulation에서 매우 긴 시간
  output
            btn out;
   parameter max cnt = 20'd1 000 000; // 10ms
  // parameter max cnt = 20'd1000;
                                      // for simlation, 1000 : 10us, 100: 1us, 10 : 0.1us
10. always @(posedge clock or negedge reset)
                                              ❖ 9~14:10ms 카운터를 생성
11. begin
12.
            if(~reset)
                         cnt \le 20'b0:
13.
                         cnt <= (cnt==max cnt) ? 20'b0 : cnt+1'b1;
             else
14. end
15. reg
                         btn 1d, btn 2d;
16. always @(posedge clock or negedge reset)
17. begin
18.
            if(~reset)
                         begin
19.
                         btn 1d \le 1'b0;
                                          ❖ 15~26 : 버튼 입력이 외부에서 들어오기 때문에, 안정적인 사용을 위하여 2번
20.
                         btn 2d \le 1'b0;
21.
                                              delay 후 사용
             end
22.
             else
                         begin
                         btn 1d \le btn in:
24.
                         btn^{-}2d \le btn^{-}1d;
25.
             end
26. end
```

Kim.S. V

XILINX

> spi_controller_exam_0.xpr

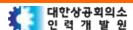
➤ SPI Controller Implementation → Code Implementation → 버튼의 입력을 10ms 간격으로 Check 해서 이전 값과 현재 값을 이용해서 버튼이 눌러진 순간을 검출

```
btn in(2)
                           btn1, btn2;
28. always @(posedge clock or negedge reset)
                                                       ❖ 27~38:10ms 마다 버튼 입력 값을 검출해서 btn1(현재 버튼 값),
29. begin
30.
                           begin
             if(~reset)
                                                           btn2(10ms 이전에 검출된 값)에 저장
31.
                           btn1 \le 1'b0:
32.
                           btn2 \le 1'b0:
33.
             end
                           begin
34.
             else
35.
                           btn1 \leq (cnt = max \ cnt)? btn 2d : btn1;
36.
                           btn2 \leq (cnt = max \ cnt) ? btn1 : btn2;
37.
             end
38. end
39. reg
                           btn out;
40. always @(posedge clock or negedge reset)
                                                  39~45: 10ms 마다 버튼이 눌러진 상태를 검출해서 btn out 으로 출력을 생성
41. begin
42.
                           btn out \leq 1'b0:
             if(~reset)
                           btn out <= ((cnt==max cnt) & btn1 &~btn2) ? 1'b1 : 1'b0;
                                                                                               // btn1 → btn in □ 2 clock delay
43.
             else
                                                                                               // btn2 \rightarrow btn\overline{1} \supseteq 1 clock delay
44. end
45. endmodule
```

(a)IHIL

→ [버튼 노이즈 제거 기능 구현]

- 1. Code Implementation
- 2. Test Bench
- → [SPI Task 구현]









> spi_controller_exam_0.xpr

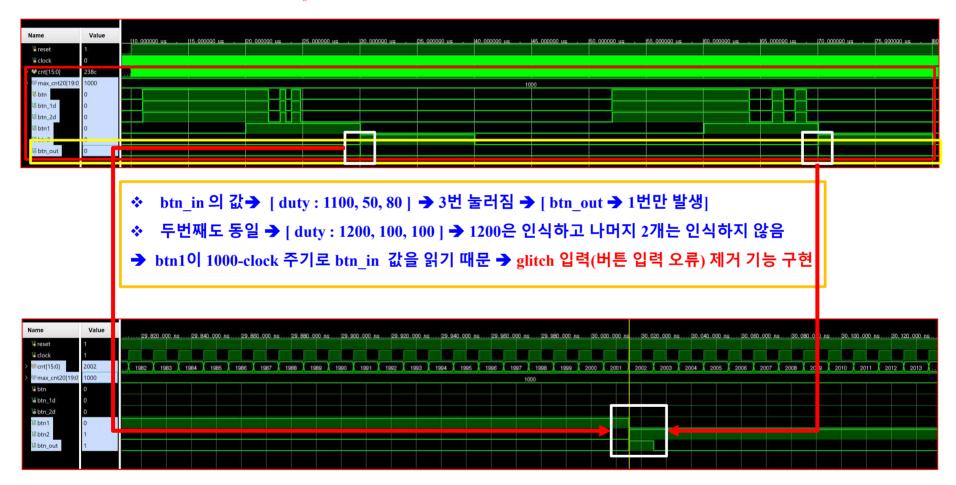
> SPI Controller Implementation > Test Bench: spi_controller_exam_tb.v > Simulation Reault Check

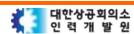
```
`timescale 1ns / 1ps
                                                             btn in tb.v
   module btn in tb();
3.
               reset, clock;
   reg
    initial
               begin
               reset = 0;
               clock = 0:
    #10000
               reset = 1;
    end
10 always #5 clock = \sim clock; // 100 Mhz(10ns)
               [15:0]
   always @(posedge clock or negedge reset)
    begin
                               cnt \le 16'b0;
               if(~reset)
               else
                               cnt <= cnt+1'b1:
16 end
   always @(posedge clock or negedge reset)
    begin
   if(~reset) btn <= 1'b0;
               btn <= (cnt==16'd100)? 1'b1: (cnt==16'd1200)? 1'b0: // 1100
    else
               (cnt==16'd1300) ? 1'b1 : (cnt==16'd1350) ? 1'b0 : // 50
               (cnt==16'd1400)? 1'b1: (cnt==16'd1480)? 1'b0: //80
                (cnt=16'd4200)? 1'b1: (cnt=16'd5400)? 1'b0: // 1200
               (cnt==16'd5600) ? 1'b1 : (cnt==16'd5700) ? 1'b0 : // 100
26
                (cnt==16'd5800) ? 1'b1 : (cnt==16'd5900) ? 1'b0 : //100
               btn;
```

```
29. wire btn_out;
30. btn_in btn_in(
31. .reset (reset),
32. .clock (clock),
33. .btn_in (btn),
34. .btn_out (btn_out)
35. );
36.
37. endmodule
```

- ❖ 17~28: btn 을 생성
- → btn 입력값을 10us (1000 clock) 마다 check 하기 때문에, 버튼으로 인식하기 위해서는1000 clock 이상의 입력이 발생 해야 함
- ❖ 버튼을 2번 누른 것으로 가정
- → <mark>첫번째는 *1100 clock*</mark> 이고 이어서 2번의 *glitch (50-clock, 80-clock)*이 발생
- → 두번째는 1200 clock 이고 이어서 2번의 glitch (100-clock, 100-clock) 이 발생
- → 정상적으로 동작시, *btn_out*은 2번의 *pulse*가 발생

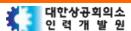
- > spi_controller_exam_0.xpr
- > SPI Controller Implementation -> Code Implementation -> Test Bench: spi_controller_exam_tb.v()
 - Simulation Reault Check ()



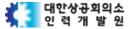


S XILINX.

- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]



- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]
 - → Port 정의 & Code Implementation





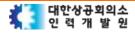
> spi_slave_exam_0.xpr

> SPI Task Implementation → Code Implementation → Port 정의

signal	in/out	size	description
reset	input	[0]	main reset, active low
clock	input	[1]	main clock, 100Mhz
btn	input	[3:0]	btn 입력
led	output	[7:0]	led 출력

■ *btn*: 4개의 버튼 입력

■ *led* : 결과를 led에 출력







> spi_controller_exam_0.xpr

➤ SPI Task Implementation → Code Implementation → Port 정의

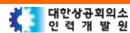
```
spi task.v(1)
1. `timescale 1ns / 1ps
2. module spi task(
             reset, clock, btn, led
                                                             2~7: Port 정의
             reset, clock;
   input
             [3:0]
                          btn ;
   input
7. output
             [7:0]
                          led :
8. wire
                          btn2;
             [3:0]
                                                                                    ❖ 8~20: btn in 모듈을 이용하여 노
             btn in u1 (
9. btn in
10.
             .reset (reset ), .clock (clock ), .btn in (btn[0] ), .btn out (btn2[0])
                                                                                        이즈가 제거된 btn2 값을 생성
11.);
12. btn in
             btn in u2 (
13.
             .reset (reset ), .clock (clock ), .btn in (btn[1] ), .btn out (btn2[1])
14. ):
15. btn in
             btn in u3 (
             .reset (reset ), .clock (clock ), .btn in (btn[2] ), .btn out (btn2[2])
16.
17.);
18. btn in
             btn in u4 (
             .reset (reset ), .clock (clock ), .btn in (btn[3] ), .btn out (btn2[3])
19.
20 1:
21. reg
                         btn id: // button 47H
22. always @(posedge clock or negedge reset)
                                                                    ❖ 21~29: 4개의 버튼 중에서 눌러진 버튼의 index
23.begin
                          btn id \leq 2'b0;
24.
             if(~reset)
25.
                                      btn2[0]? 2'b00:
             else
                          btn id <=
26.
                                      btn2[1]? 2'b01:
27.
                                      btn2[2]? 2'b10:
28.
                                      btn2[3]? 2'b11: btn id;
29 end
```

Kim.S. W

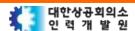
> spi_controller_exam_0.xpr

> SPI Task Implementation → Code Implementation → wdata0 ~ wdata3: spi master → spi slave 로 write 하는 data 값

```
spi task.v()
30. reg
             [7:0]
                          wdata0:
31. always @(posedge clock or negedge reset)
32. begin
                                                                          ❖ 30~35: btn2[0] 가 눌러졌을 때, wdata0 값을
33.
             if(~reset)
                          wdata0 \le 8'h00:
                                                                              1씩 증가
34.
                          wdata0 \le btn2[0]? wdata0+1'b1: wdata0;
             else
35. end
                                                                          → wdata0 ~ wdata3 은 spi master 에서 spi slave 로
36. reg
                          wdata1:
                                                                          write 하는 data 값
37. always @(posedge clock or negedge reset)
38. begin
                                                                              36~41: btn2[1]이 눌러졌을 때, wdata1 값을
39.
             if(~reset)
                          wdata1 \le 8'h00:
40.
                          wdata1 \le btn2[1]? wdata1+1'b1: wdata1;
             else
                                                                              1씩 증가
41. end
42. reg
             [7:0]
                          wdata2:
43. always @(posedge clock or negedge reset)
                                                                              42~47: btn2[2] 가 눌러졌을 때, wdata2 값을
44. begin
                                                                              1씩 증가
45.
                          wdata2 \le 8'h00:
             if(~reset)
                          wdata2 \le btn2[2]? wdata2+1'b1: wdata2;
46.
             else
47. end
                         wdata3:
48. reg
            [7:0]
49. always @(posedge clock or negedge reset)
                                                                              48~53: btn2[3]이 눌러졌을 때, wdata3 값을 1
50. begin
                                                                              씩 증가
                          wdata3 \le 8'h00:
51.
             if(~reset)
52.
             else
                          wdata3 \le btn2[3]? wdata3+1'b1: wdata3;
53, end
```



- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]
 - → Port 정의 & Code Implementation
 - → State 정의





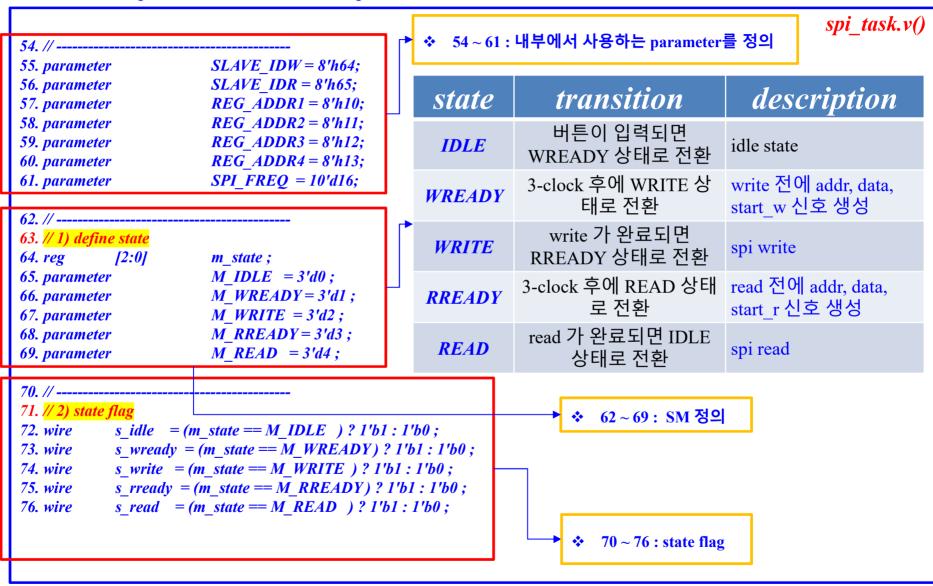
- > spi_controller_exam_0.xpr
- > SPI slave Implementation → Code Implementation → State 정의 → SM에서 사용할 State 정의
 - → SM은 IDLE, WREADY, WRITE, RREADY, READ 로 구성

state	transition	description
<i>IDLE</i>	버튼이 입력되면 WREADY 상태로 전환	idle state
WREADY	3-clock 후에 WRITE 상태로 전환	write 전에 addr, data, start_w 신호 생성
WRITE	write 가 완료되면 RREADY 상태로 전환	spi write
RREADY	3-clock 후에 READ 상태로 전환	read 전에 addr, data, start_r 신호 생성
READ	read 가 완료되면 IDLE 상태로 전환	spi read

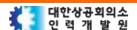
- ❖ IDLE: 초기 상태 → 버튼을 누르면 IDLE 상태에서 WREADY 상태로 천이
- ❖ WREADY: spi master 에서 spi slave로 spi write 동작 → spi master의 입력을 생성: addr, data
 - *start_w* 신호를 생성 → spi master는 *spi slave*에 데이터를 전송(*spi write*): *addr, data, start_w* 신호 생성후, *WRITE* 상태로 천이
- ❖ WRITE: spi master에서 spi 통신이 완료될 때까지 기다림 → spi 통신(spi write)이 완료되면, spi read 동작하기 위해서 RREADY 상태로 전환
- ❖ RREADY: spi master에서 spi slave 로부터 데이터를 읽기 위한 spi read를 구현 → addr, data, start_r 신호 생성한 후 READ 상태로 전환
- ❖ READ: spi read가 완료될 때까지 기다렸다가, 완료되면 IDLE 상태로 전환
- ❖ 버튼을 한번씩 누를 때마다, *IDLE → WREADY → WRITE → RREADY → READ → IDLE* 상태 전환

> spi_controller_exam_0.xpr

🕨 SPI Task Implementation 👈 Code Implementation Ժ parameter, SM, State flag 정의



- → [버튼노이즈제거 기능구현]
- → [SPI Task 구현]
 - → Port 정의 & Code Implementation
 - → State 정의
 - → Code Implementation





> spi controller exam 0.xpr

SPI Task Implementation > Code Implementation

```
spi task.v()
 77. // 3) code implementation
 78. reg
             [1:0]
                           wready cnt;
 79. always @(posedge clock or negedge reset)
                                                         ❖ 77~83: wready state에서 사용하기 위한 counter를 생성
 80. begin
 81.
              if(~reset)
                           wreadv cnt \leq 2'b0:
 82.
                           wready cnt \le \sim s wready ? 2'b0 : wready cnt+1'b1:
              else
                                                                              state
                                                                                           transition
                                                                                                               description
 83. end
                                                                                         3-clock 후에 WRITE write 전에 addr. data.
                                                                             WREADY
                           reg \ addr = (btn \ id==2'd0) ? REG \ ADDR1 :
 84. wire
              17:01
                                                                                            상태로 전환
                                                                                                             start w 신호 생성
                           (btn id==2'd1)? REG ADDR2:
 85.
                           (btn id = 2'd2)? REG ADDR3: REG ADDR4:
 86.
 87. reg
              [7:0]
                           addr:
                                                                                                84~108: spi write 를 위한
 88. always @(posedge clock or negedge reset)
 89. begin
                                                                                                 addr, wdata, start w 를 생성
 90.
              if(~reset)
                           addr \leq 8'b0:
                           addr <= (s wready & (wready cnt==2'b11)) ? reg addr : addr ;
 91.
              else
                                                                                            → 눌려진 버튼에 따라서 addr.
 92. end
                                                                                               wdata 값을 설정
 93. wire
              [7:0]
                           reg\ wdata = (btn\ id == 2'd0)? wdata0:
                                                                                             → addr, wdata, start w 는
                           (btn id=2'd1)? wdata1:
 94.
 95.
                           (btn_id==2'd2) ? wdata2 : wdata3 :
                                                                                               wready cnt 값이 3일 때 생성
              [7:0]
 96. reg
 97. always @(posedge clock or negedge reset)
                                                                                            → addr, waddr 는 자신의 값을 유지
 98. begin
                                                                                               하고 있고, start w 값은 1-clock
 99.
              if(~reset)
                           wdata \le 8'b0:
 100.
                           wdata <= (s wready & (wready cnt==2'b11)) ? reg wdata : wdata ;
              else
                                                                                               pulse 로 생성
101.end
102
 103. reg
                           start w;
 104.always @(posedge clock or negedge reset)
 105.begin
              if(~reset)
 106.
                           start w \leq 1'b0:
                           start w \le (s \text{ wready } \& (\text{wready } cnt == 2'b11)) ? 1'b1 : 1'b0;
 107.
              else
                                                                                                        EXILINX.
                                                                                       digilent.com
                                @IHIL
                                                                                                                          22/32
```

> spi_controller_exam_0.xpr

SPI Task Implementation → Code Implementation spi task.v() 109.<mark>reg</mark> [3:0] write cnt; ❖ rready 상태에서 spi read 를 위한 addr 을 생성해야 함. 그러나 spi write, spi 110.always @(posedge clock or negedge reset) 111.begin read 의 address가 통일한 값을 사용하기 때문에 생략 write $cnt \leq 4'b0$: *112.* if(~reset) write $cnt \le -s$ write? 4'b0: 113. else 114. (write cnt=4'd15) ? 4'd15: write cnt+1'b1; ❖ 109 ~ 115 : write state 에서 사용하는 counter 생성 115.end 116.reg [1:0] rready cnt: 116~121: rready state 에서 사용하는 counter 생성 117.always @(posedge clock or negedge reset) 118.begin *119*. if(~reset) $rreadv cnt \leq 2'b0$; *120.* rready cnt <= ~s rready ? 2'b0 : rready cnt+1'b1; else 121.end ▶ ❖ 122 ~ 127 : spi read 를 위한 start r 신호 생성 122.reg start r; 123.always @(posedge clock or negedge reset) 124.begin 128 ~ 134 : read state 에서 사용하는 counter 생성 start $r \leq 1'b0$: *125*. if(~reset) start $r \le (s \text{ rready & (rready cnt} = 2'b11)) ? 1'b1 : 1'b0 :$ *126.* else 127.end transition description state 128.<mark>reg</mark> *[3:0]* read cnt: write 가 완료되면 129.always @(posedge clock or negedge reset) RREADY 상태로 전 **WRITE** spi write 130.begin *131.* if(~reset) *read cnt* <= 4'b0; read cnt \leq read ? 4'b0: 132. else 3-clock 후에 READ read 전에 addr, data, (read cnt==4'd15) ? 4'd15 : read cnt+1'b1; RREADY *133*. 상태로 전환 start r 신호 생성 134.end read 가 완료되면 **READ** spi read IDLE 상태로 전환 대한상공회의소 인 런 개 발 원 Kim.S.W @IHIL

> spi_controller_exam_0.xpr

spi task.v()

SPI Task Implementation → Code Implementation

```
135,wire
             [7:0]
                           rdata ;
136.wire
                            SS
137.wire
                            sck
138.wire
                            mosi :
139.wire
                            miso ;
140.wire
                            done mst;
141.spi master
                           spi master u1(
142.
             .reset
                      (reset ),
143.
                      (clock),
             .clock
144.
                      (SPI FREQ),
             .freq
145.
             .start w (start w ),
146.
                      (start r ),
             .start r
147.
                      (addr
             .addr
148.
             .wdata
                      (wdata ),
149.
             .rdata
                      (rdata ),
150.
             .done
                      (done mst),
151.
                     (SS
              .SS
152.
                     (sck
             .sck
153.
                      (mosi
             .mosi
154.
                      (miso
              .miso
155.);
```

```
<u>      </u>
```

77~83 : spi master, spi slave를 연결하기 위한 신호 생성

```
❖ 84~108: spi master module 추가
```

```
❖ 84~108: spi slave module 추가
```

대한상공회의소 인 력 개 발 원

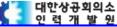
@IHIL

> spi controller exam 0.xpr

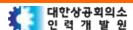
SPI Task Implementation → Code Implementation

```
spi task.v()
164.reg
            [7:0]
                         led:
165.always @(posedge clock or negedge reset)
166.begin
167.
            if(~reset)
                          led \le 4'b0:
                          led <= (s read & (read cnt==4'd15) & done mst)? rdata: led;
168.
             else
169.end
170.//-
                                                              164~169 : spi read 데이터를 led 로 출력함. s read 상태에서 spi
171.// 4) state transition
172.always @(posedge clock or negedge reset)
                                                               read가 완료되면 (done mst 가 active 되면) rdata 값을 led로 출력
173.begin
            if(~reset)
                          m state \leq 3'b0:
174.
175.
                          m state \leq (s idle & (btn2!=4'b0))? M WREADY:
             else
176.
                          (s wready & (wready cnt==2'b11))? M WRITE:
                          (s write & (write cnt==4'd15) & done mst)? M RREADY:
177.
                          (s rready & (rready cnt==2'b11)) ? M READ :
178.
                          (s read & (read cnt=4'd15) & done mst )? M IDLE :
179.
180.
                          m state;
181.end
182.endmodule
```

- 170~182 : 상태 전이를 구현
- → 버튼이 입력되면 [idle → wready]로 → [wready 에서 3-clock 후에 write] 로
- → spi write 완료되면 rready 로 → rready 에서 3-clock 후에 read 로
- → spi read 완료시 : idle 상태로 전환



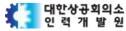
- → [버튼 노이즈 제거 기능 구현]
- → [SPI Task 구현]
 - → Port 정의 & Code Implementation
 - State 정의
 - Code Implementation
 - → Test Bench



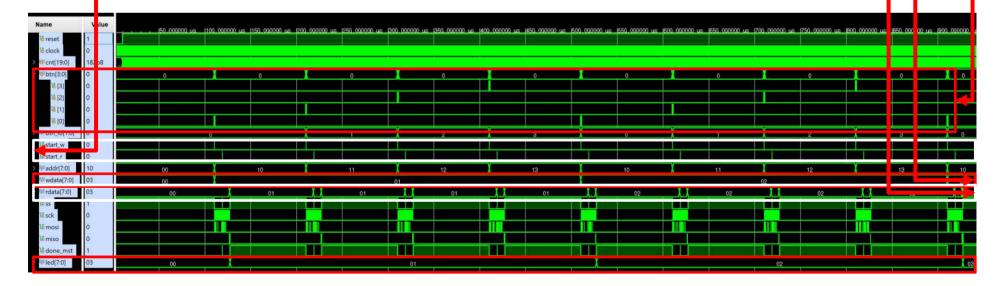
> spi_controller_exam_0.xpr

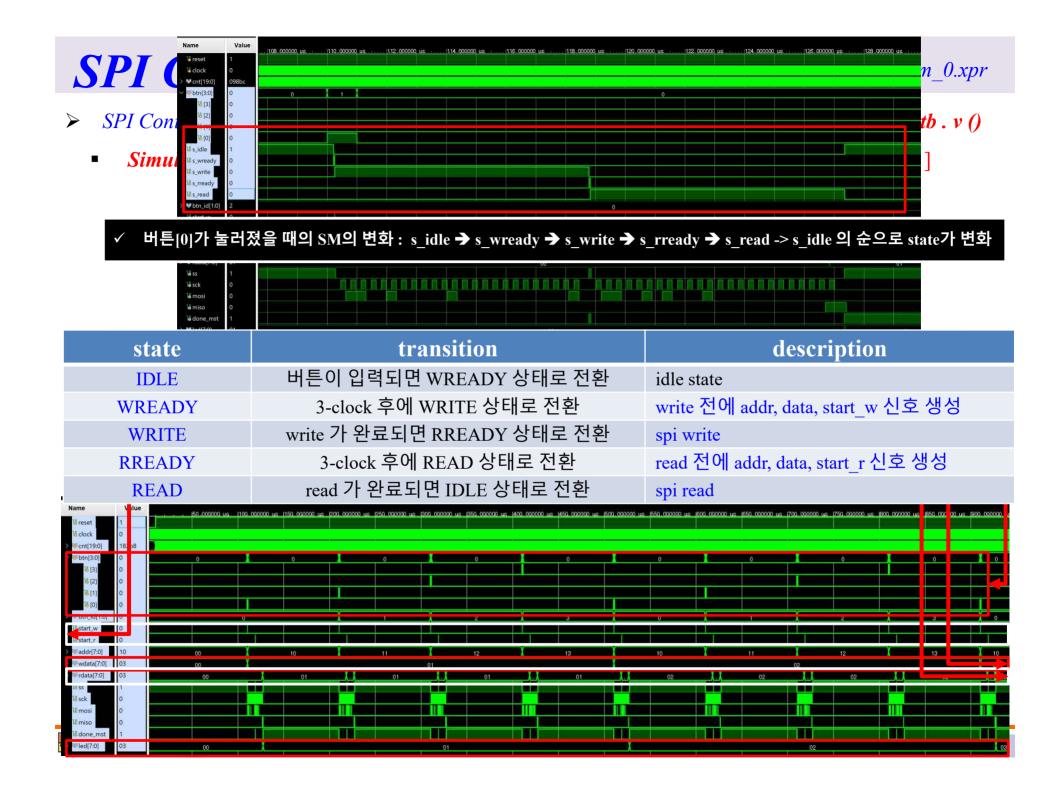
> SPI Task Implementation → Code Implementation → Test Bench: spi controller exam 0.v ()

```
`timescale 1ns / 1ps
   module spi task tb();
                                                               ❖ 2~9: reset, clock 생성
                            reset, clock:
   reg
   initial
              begin
              reset = 0:
              clock = 0:
   #10000
              reset = 1:
   end
   always #5 clock = \simclock:
                                          // 100 Mhz.
10. reg
              [19:0]
                            cnt:
                                                               ❖ 10~15: 내부에서 사용하는 counter를 생성
11. always @(posedge clock or negedge reset)
12. begin
13.
              if(~reset)
                            cnt \le 20'd0:
14.
                            cnt <= cnt+1'b1:
              else
15. end
             [3:0]
16. reg
                            btn:
                                                         16 \sim 29: btn0, btn1, btn2, btn3, btn0, btn1, btn2, btn3, btn0 \supseteq
17. always @(posedge clock or negedge reset)
                                                          순서로 btn 입력을 생성
18. begin
                            btn \le 4'd0;
19.
              if(~reset)
20.
              else
                            btn <=
                                          (cnt=20'd10000)? 4'd1: (cnt=20'd10100)? 4'd0:
                                                                                                   // 4'd1 -> 0001
21.
                                          (cnt=20'd20000)? 4'd2: (cnt=20'd20100)? 4'd0:
                                                                                                   //4'd2 \rightarrow 0010
22.
                                          (cnt=20'd30000)? 4'd4: (cnt=20'd30100)? 4'd0:
                                                                                                   // 4'd4 → 0100
23.
                                          (cnt=20'd40000)? 4'd8: (cnt=20'd40100)? 4'd0:
                                                                                                   // 4'd8 → 1000
24.
                                                                                                   //4'd1 \rightarrow 0001
                                          (cnt=20'd50000)? 4'd1: (cnt=20'd50100)? 4'd0:
25.
                                          (cnt=20'd60000)? 4'd2: (cnt=20'd60100)? 4'd0:
                                                                                                   //4'd2 \rightarrow 0010
26.
                                                                                                   //4'd4 \rightarrow 0100
                                          (cnt=20'd70000)? 4'd4: (cnt=20'd70100)? 4'd0:
27.
                                          (cnt=20'd80000)?4'd8:(cnt=20'd80100)?4'd0:
                                                                                                   //4'd8 \rightarrow 1000
28.
                                          (cnt=20'd90000)? 4'd1:(cnt=20'd90100)? 4'd0:btn;
29. end
                                                                   30~34 : spi task 모듈
31. spi task spi task u10
32.
              .reset (reset), .clock (clock), .btn(btn), .led (led)
33.):
34. endmodule
```



- > spi_controller_exam_0.xpr
- > SPI Controller Implementation -> Code Implementation -> Test Bench : spi_controller_exam_tb . v ()
 - Simulation Reault Check () → btn_in.v 파일을 수정 → [max_cnt 의 값을 20'd10 로 수정]
 - 1. //parameter max cnt = 20'd1 000 000; //10ms
 - 2. parameter max_cnt = 20'd10; // for sim, 1000 : 10us, 100: 1us, 10 : 0.1us
 - btn의 입력이 순차적으로 btn[0], btn[1], btn[2], btn[3], btn[0], btn[1], btn[2], btn[3], btn[0] 발생
 - btn이 입력될 때 마다, addr, wdata, start_w, start_r 신호가 생성되어 spi write, spi read 가 진행
 - wdata, rdata가 동일한 값이 되는 것 확인 → 최종적으로 led 에 wdata와 동일한 데이터

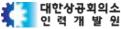




SPI Controller Implementation > spi_controller_exam_1.xpr

- ▶ SPI Controller Implementation → Code Implementation → Test Bench → Bitstream 생성 , 다운로드
 - *Basys3 Download Reault Check* () → btn_in.v 파일을 수정 → [max_cnt : 20'd1_000_000 로 수정]
 - 1. parameter max cnt = 20'd1 000 000; // 10ms
 - 2. //parameter max_cnt = 20'd10; // for sim, 1000 : 10us, 100: 1us, 10 : 0.1us
 - btn의 입력이 순차적으로 btn[0], btn[1], btn[2], btn[3], btn[0], btn[1], btn[2], btn[3], btn[0] 발생
 - btn이 입력될 때 마다, addr, wdata, start_w, start_r 신호가 생성되어 spi write, spi read 가 진행
 - wdata, rdata가 동일한 값이 되는 것 확인 → 최종적으로 led 에 wdata와 동일한 데이터

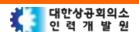








- →[버튼노이즈제거 기능구현]
- → [SPI Task 구현]
 - → Port 정의
 - → XDC Implementation & Program : 🖺 🖨



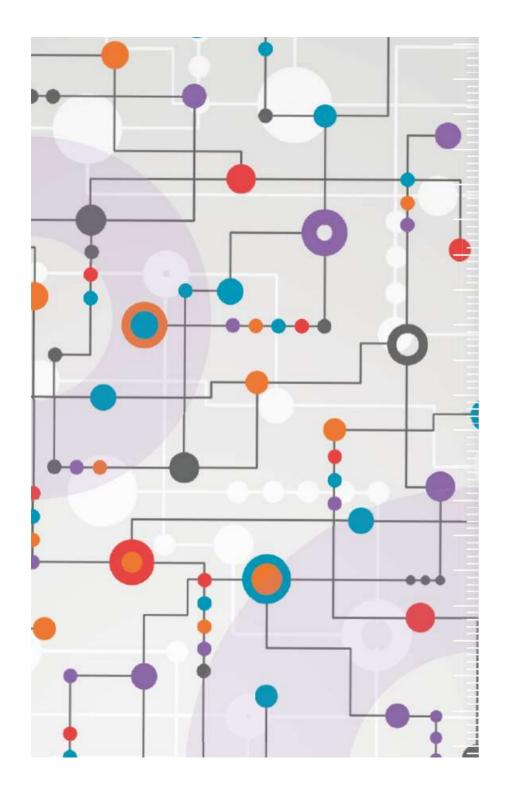


> spi_controller_exam_1.xpr

SPI Controller Implementation → Code Implementation → Test Bench → Bitstream 생성, 다운로드

Basys3 Download Reault Check () → btn in.v 파일을 수정 → [max_cnt : 20'd1_000_000 로 수정]





수고하셨습니다.