

1. Vivado Design Suite
2. Vivado IDE
3. Project 생성
4. 설계 입력
5. RTL Simulation
6. Design Synthesis
- 7. Design Implementation**
8. FPGA Device Programming

## 7. 설계구현(Design Implementation)

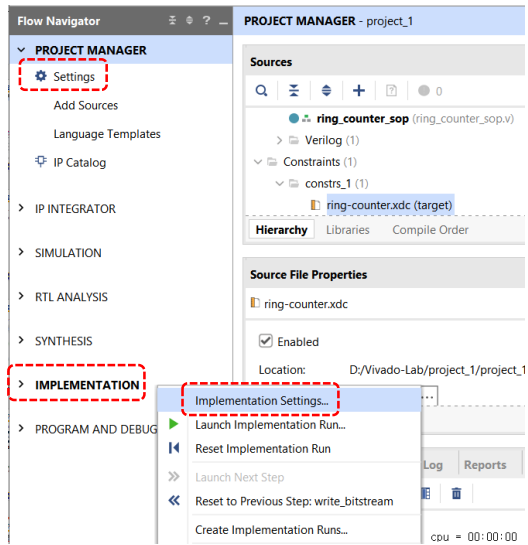
### □ 설계 구현 (Design Implementation)

- ❖ **Translate** ; 설계합성 과정에서 생성된 Netlist 데이터와 Constraint (핀 할당 정보 등)를 통합하여 Xilinx 파일로 변환
- ❖ **Map** ; Translate 단계에서 생성된 정보를 타겟 FPGA 디바이스 내부의 CLB (Configurable Logic Block)와 IOB (Input/Output Block)로 매핑하여 파일을 생성
- ❖ **Place & Route(PAR)** ; 매핑된 회로를 타겟 FPGA 디바이스에 구현하기 위해 로직 셀 간의 배선 용이성, 핀 위치, 타이밍 조건 등을 만족하도록 최적의 위치를 찾아 회로를 배치하고 배선

## 7. 설계구현(Design Implementation)

3

### □ Implementation 설정



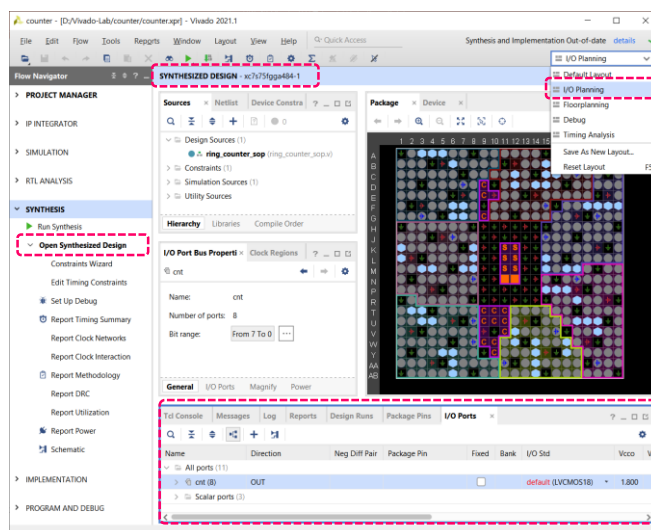
Verilog HDL

Xilinx Vivado Design Suite

## 7. 설계구현(Design Implementation)

4

### □ 디바이스 핀 할당



Verilog HDL

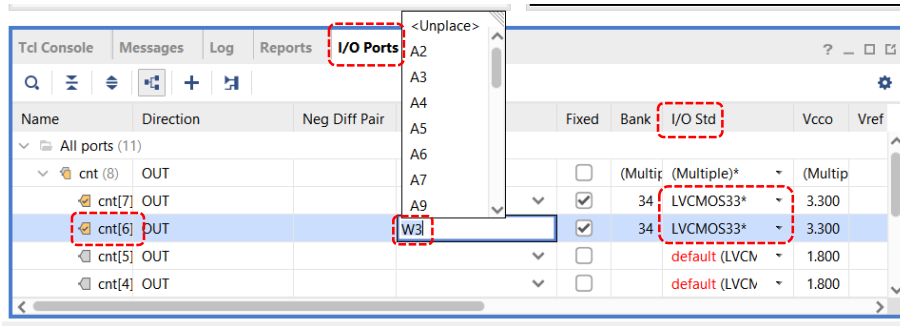
Xilinx Vivado Design Suite

## 7. 설계구현(Design Implementation)

5

### ❑ 디바이스 핀 할당(I/O Ports 탭)

- ❖ port 선택, Package Pin 컬럼에 핀 할당(핀 할당 테이블 참조)
- ❖ I/O Std 컬럼; **LVCMS33**으로 선택



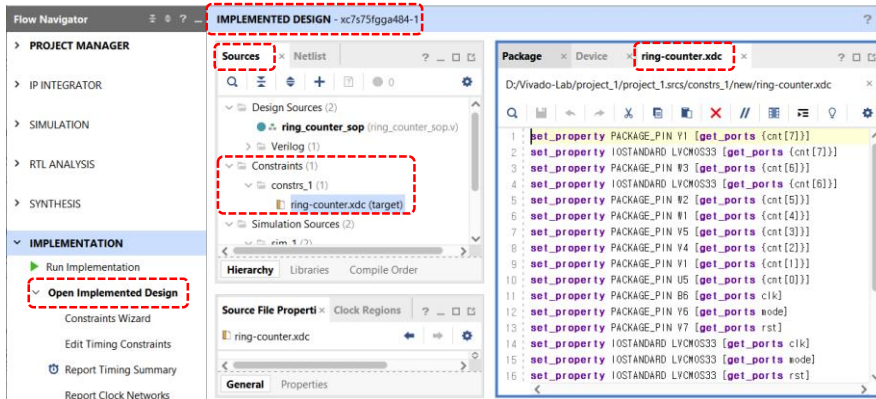
Verilog HDL

Xilinx Vivado Design Suite

## 7. 설계구현(Design Implementation)

6

- ❖ 저장 후, Constraints 파일(XDC) 확인



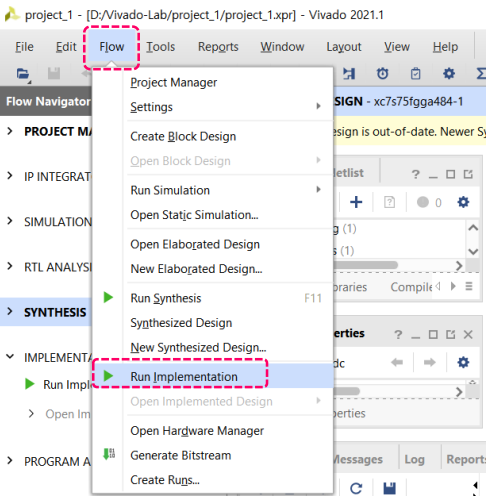
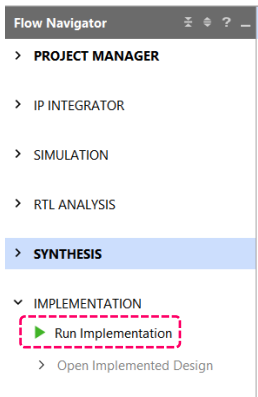
Verilog HDL

Xilinx Vivado Design Suite

## 7. 설계구현(Design Implementation)

7

### Implementation 실행



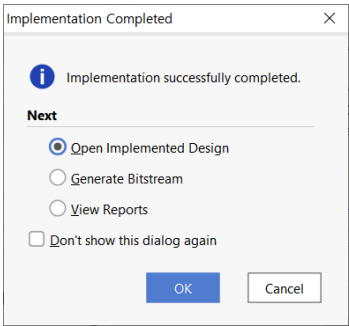
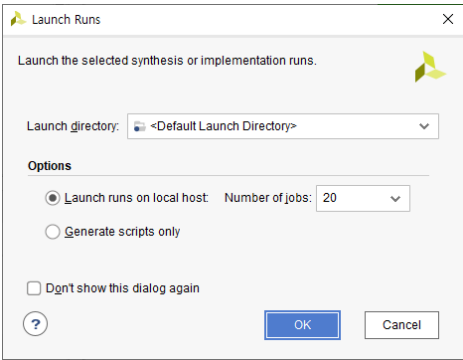
Verilog HDL

Xilinx Vivado Design Suite

## 7. 설계구현(Design Implementation)

8

### Implementation 실행



Verilog HDL

Xilinx Vivado Design Suite

# 7. 설계구현(Design Implementation)

9

## □ Timing Constraints 설정

