

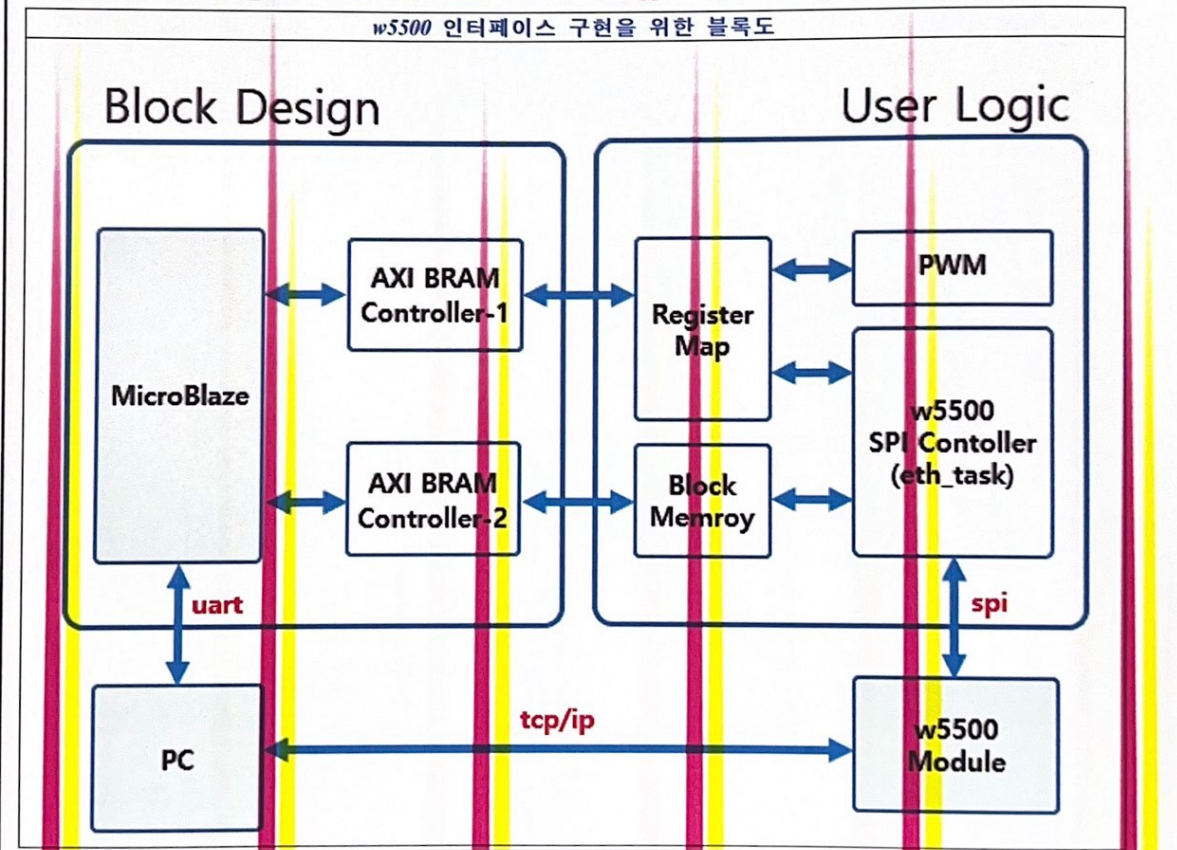
2024 학년도 3기 시험 문제지(1)						점수
과정명	[Harman]세미콘(semiconductor)아카데미-반도체설계(부산 3기)	평가일	2024. 06. 25	출제교사	김 성 우 (인)	
과목명	SoC를 위한 Peripheral 설계	평가방법	평가자_체크리스트	번호	성명	

[문제(1)] SoC를 위한 Peripheral 설계 평가용 [w5500 인터페이스 구현을 위한 블록도]와 [최종 Block Diagram] 을 참고하여 다음과 같은 요건을 만족하도록 Vivado HW(MicroBlaze) 구현과 이를 통한 Pin Mapping을 완성하고 Vitis에서 Application SW를 완성하여 [FPGA Training Kit(Basys3)과 w5500 TCP-IP 이더넷 모듈을 이용하여 최종 구현을 완성] 하시오.

- [1] Block Memory Interface를 응용하여 w5500 Interface 구현(15점)
- [2] w5500 Interface를 위한 SPI Controller를 User Logic에서 직접 설계하여 구현(15점)
 - » SPI Controller 내부 메모리를 Block Memory 사용하여 구현(최대 8KB까지 확장 구현)
- [3] AXI BRAM Controller 2개 사용하여 구현(20점)
 - » User Register Map을 구현하는데 1개 사용(10점)
 - » w5500 Interface를 위한 SPI Controller의 Data Buffer(Block Memory)로 사용 (10점)
- [4] eth_task Simulation Result (tb_eth_task.v) (20점) : 결과파일 제출(ppt or pdf or hwp ... etc..)
 - ① Data Buffer에 0x01234567, 0x89abcdef, 0x11335577 을 write (5점)
 - ② spi write 구간 : Data Buffer에 저장된 데이터(0x01 ~ 0x33, 10바이트)를 읽어서 spi로 전송 (5점)
 - ③ spi read 구간 : spi miso로부터 데이터(0x01 ~ 0x33, 10바이트)를 수신하고, 수신한 데이터를 Data Buffer에 저장 (5점)
 - ④ Data Buffer에 저장된 데이터를 read 함 (5점)
- [5] Application SW 및 동작 확인(30점) » Result Case[1] (15점) » Result Case[2] (15점)

[*] 기타 사항은 평가시간 안내에 따름

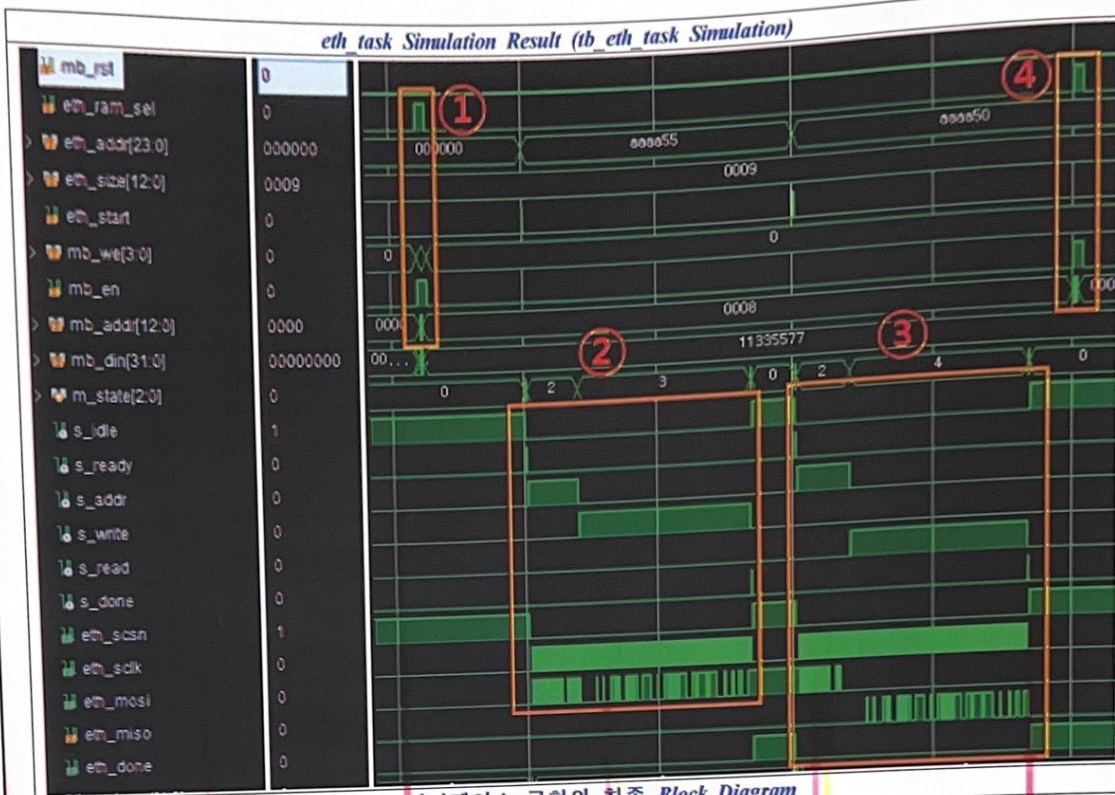
- [제출 파일] 1. 프로젝트 폴더[{영문}성명_번호]
2. eth_task Simulation Result 보고서 파일(ppt or pdf or hwp ... etc..)



2024 학년도 3기 시험 문제지(2)

과정명	[Harman]세미콘(semiconductor)아카데미-반도체설계(부산 3기)	평가일	2024. 06. 25	출제교사	김 성 우 (인)	점수	
과목명	SoC를 위한 Peripheral 설계	평가방법	평가자_체크리스트	번호	성 명		

[문제(2)]



w5500 인터페이스 구현의 최종 Block Diagram

