

MICROCONTROLADOR 8031

UNIVERSIDAD NACIONAL DE COLOMBIA

CENTRO DE EQUIPOS INTERFACULTADES

DEPARTAMENTO DE INGENIERIA ELECTRICA

OSCAR GERMAN DUARTE VELASCO

SANTAFE DE BOGOTA, 1994

1. CONCEPTOS PRELIMINARES

1.1. Arquitectura típica de un sistema microprocesado:

Con este término se designa al estudio de las relaciones funcionales existentes entre los componentes de un sistema microprocesado.

Un sistema básico microprocesado típico consta de:

C.P.U.: Unidad Central de Proceso, subsistema encargado de efectuar las operaciones y gobernar todo el sistema.

Memoria: Subsistema encargado de almacenar los datos y/o los programas.

E/S: Unidades de entrada y salida de información; comunican el sistema microprocesado con el medio exterior.

Periféricos: Equipos conectados al sistema, con el que pueden intercambiar información.

Una arquitectura típica de un sistema microprocesado básico se muestra en la figura 1.1. Los buses son vías a través de las cuales viaja la siguiente información específica:

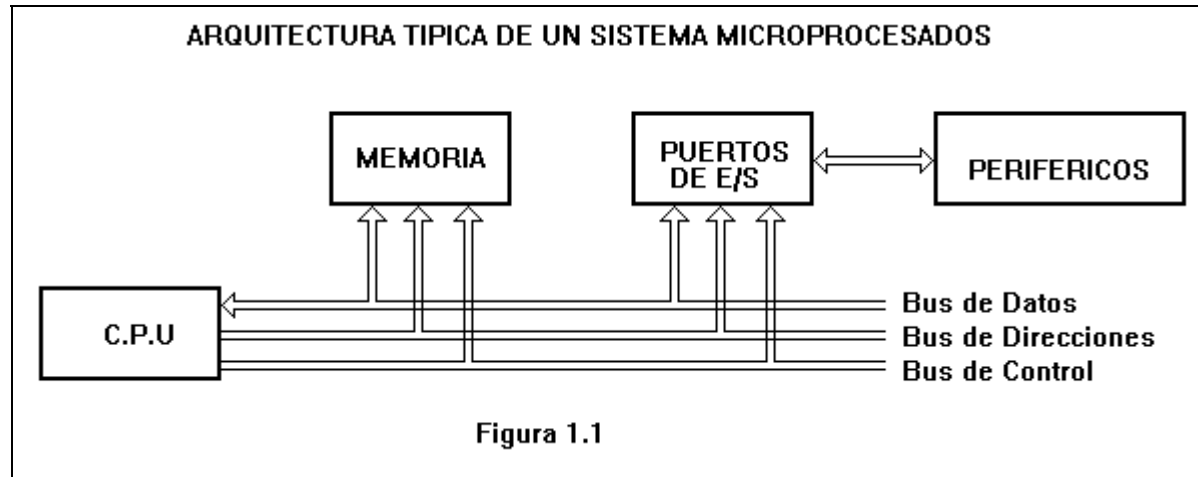
Bus de direcciones : Dirección del elemento que se quiere accesar.

Bus de datos : Datos que viajan de un dispositivo a otro.

Bus de Control : Señales que controlan la operación de los dispositivos.

La forma en que opera el sistema de la figura 1.1 es la siguiente:

- La CPU lee el contenido de memoria en una cierta dirección así:
 - Coloca en el bus de direcciones la dirección de memoria que desea leer.
 - Coloca en el bus de control las señales que le indican a la memoria que la CPU quiere leer su contenido.
 - La memoria responde colocando en el bus de datos su contenido direccionado, y la CPU lee dicho bus.
- La CPU interpreta el dato leído como una instrucción, según un código preestablecido.
- La CPU ejecuta la instrucción interpretada.
- La CPU lee el contenido de memoria de una nueva dirección y repite el proceso. La nueva dirección es asignada según el tipo de instrucción previamente ejecutada.



Las instrucciones que puede ejecutar se clasifican como de:

- Transferencia de datos
- Operaciones lógicas y matemáticas
- Entrada y salida de datos
- Control de flujo

Al conectar el sistema a una fuente de energía, o al dársele una orden de Reset, la CPU busca su primera instrucción en una dirección predeterminada de memoria. La instrucción allí almacenada debe estar en una memoria "No Volátil" (ROM, PROM, EPROM o EEPROM), por lo que todo sistema microprocesado debe tener memoria no volátil.

Si la aplicación exige almacenar datos, éstos pueden guardarse en memoria volátil (RAM). La CPU de un

sistema microprocesado no distingue entre memoria tipo ROM y tipo RAM.

La mayoría de los sistemas microprocesados incluyen otras facilidades como manejo de interrupciones, acceso directo a memoria y coprocesador matemático.

1.2. Filosofía de los microcontroladores:

Los microcontroladores son circuitos integrados que permiten desarrollar sistemas microprocesados compactos con alta relación desempeño/costo. Las diferencias con los microprocesadores son de Hardware y Software.

Hardware:

El microcontrolador incluye en sí mismo la CPU, memoria ROM y RAM, y varios periféricos según el modelo en particular. No están diseñados para manejar grandes cantidades de memoria (usualmente 4K, si bien existen modelos con 64K).

Su construcción es tal, que para emplear mayor memoria es necesario inutilizar algunos de sus periféricos. Son de 4,8 o 16 bits.

Software:

Debido a la limitada capacidad de memoria, los fabricantes han desarrollado un software más compacto y eficiente, bien sea comprimiendo las instrucciones, o logrando que éstas sean multifuncionales. El set de instrucciones es limitado. Usualmente no tienen grandes capacidades matemáticas.

Como resultado de estas características los sistemas basados en microcontroladores encuentran gran aplicación en procesos en los cuales el control es la necesidad primordial, y no las capacidades de memoria y/o de cálculo.

Tienen la versatilidad de los elementos programables, acompañada de la ventaja de incluir los periféricos, circunstancia que simplifica notoriamente el diseño de Hardware. No obstante, el desarrollo de software es más dispendioso que para los sistemas microprocesados, debido a la carencia de lenguajes de alto nivel ¹.

Para aprovechar las ventajas de los microcontroladores, los diseñadores de hardware y software deben tener en cuenta que la integración y eficiencia deben ser objetivos de diseño.

¹ Existen compiladores en lenguajes Assembler y C.

1.3 La familia 8051 de INTEL:

Una de las familias de microcontroladores más populares es la desarrollada por INTEL con el nombre 8051². El nombre lo toma de la referencia del dispositivo básico a partir del cual se derivan los demás miembros de la familia. En la actualidad, INTEL ha otorgado licencia de fabricación a otras firmas, entre las cuales se encuentran Philips y Siemens.

Algunos de los miembros de la familia tienen memoria ROM interna que debe ser grabada desde la fábrica con el programa que el cliente suministre; sin embargo, el fabricante sólo acepta pedidos de altos volúmenes que justifiquen su producción. Para pequeños niveles de producción existen versiones de los mismos microcontroladores pero que carecen de ROM interna, o que en lugar de ella incluyen una EPROM que puede ser grabada por el usuario.

El 8051, que es el microcontrolador básico de la familia, tiene ROM interna; el 8031 es su versión sin ROM, y el 8751 la versión con EPROM. Este texto se refiere específicamente al microcontrolador 8051, pero su contenido puede interpretarse indistintamente para el 8031 o para el 8751, salvo en lo concerniente a las diferencias de ROM ya anotadas³, y otras en la memoria RAM que oportunamente se anotarán⁴.

² Otras familias populares son la 68000 de Motorola, las familias COP y HPC de National, la 8048 de Intel y la familia PIC de Microchip.

³ Para información sobre cómo programar la memoria EPROM del 8751, consúltese el manual del fabricante.

⁴ Ver 2.2.2

La tabla 1.1 resume las características más notorias de los miembros de la familia 8051 fabricados por Philips.

Tabla 1.1

NOMBRE	VERSION SIN ROM	VERSION CON EPROM	BYTES DE ROM	BYTES DE RAM	T/C DE 16 BITS	A/D	PUERTO S	PWM	PUERTO SERIAL
8051	8031	-	4K	128	2	-	4	-	UART
80C51	80C31	87C51	4K	128	2	-	4	-	UART
8052	8032	-	8K	256	3	-	4	-	UART
80C52	80C32	87C52	8K	256	3	-	4	-	UART
80C053	-	87C054	8K	192	2	-	3 1/2	9	-
83CL410	80CL410	-	4K	128	2	-	4	-	I ² C
83C451	80C451	87C451	4K	128	2	-	7	-	UART
83C528	80C528	87C528	32K	512	3+WD	-	4	-	UART,I ² C
83C550	80C550	87C550	4K	128	2+WD	8C,8bit	4	-	UART
83C552	80C552	87C552	8K	256	3+WD	8C,10bit	6	2	UART,I ² C
83C562	80C526	-	8K	256	3+WD	8C,8bit	6	2	UART
83C652	80C652	87C652	8K	256	2	-	4	-	UART,I ² C
83C654	-	87C654	16K	256	2	-	4	-	UART,I ² C
83C751	-	87C751	2K	64	1	-	2 3/8	-	I ² C
83C752	-	87C752	2K	64	1	5C,8bit	2 5/8	1	I ² C
83C851	80C851	-	4K	128	2	-	4	-	UART

T/C: Temporizadores y/o contadores

WD: "Watchdog" o perros guardianes

A/D nC/mbit: Conversores Análogo a Digital de n canales y m bits

UART: Puertos Universales de Transmisión y Recepción Asincrónicos

I²C: "Inter-Integrated circuit bus" o bus de circuitos Inter-Integrados

2. ARQUITECTURA DE LA FAMILIA 8051

Los productos agrupados en la familia 8051 son microcontroladores de 8 bits diseñados para aplicaciones de control en tiempo real. El nombre de la familia corresponde a la referencia del producto más popularizado de ella, que sirve como punto de comparación para evaluar los demás miembros de la familia; por tal razón, el estudio del presente capítulo se referirá inicialmente al microcontrolador 8051.

2.1. Descripción general:

La figura 2.1 es un diagrama de bloques del 8051. Las características generales de los elementos que en él se ven son las siguientes:

CPU: Procesador de 8 bits, con set de 256 instrucciones, manejo de interrupciones, y reconocimiento de memorias externas de hasta 64 Kbytes.

Oscilador: Circuito manejador de resonadores cerámicos y de cristal; acepta también señales de reloj externas.

Manejador de Interrupciones: Circuito capaz de recibir 2 señales de interrupción externas y 3 internas⁵, con dos niveles de prioridad y habilitación individual o colectiva.

⁵ Las tres interrupciones internas pueden activarse por sucesos externos, tales como conteo de datos o recepción de datos, siendo entonces posible obtener 5 interrupciones externas.

ROM: Memoria interna de programa de 4 Kbytes, quemada desde fábrica según programa del usuario⁶.

RAM: Memoria interna de datos de 384 bytes⁷. La pila se aloja en esta zona de memoria. 128 bytes corresponden a una zona de memoria ocupada por registros de la CPU, por lo cual es usual decir que cuenta con sólo 256 bytes.

Temporizadores/Contadores: 2 T/C de 16 bits cada uno, programables en cuatro modos distintos de operación.

Puerto Serial: Puerto full duplex de velocidad de transmisión - recepción programable; cuenta con cuatro modos distintos de operación.

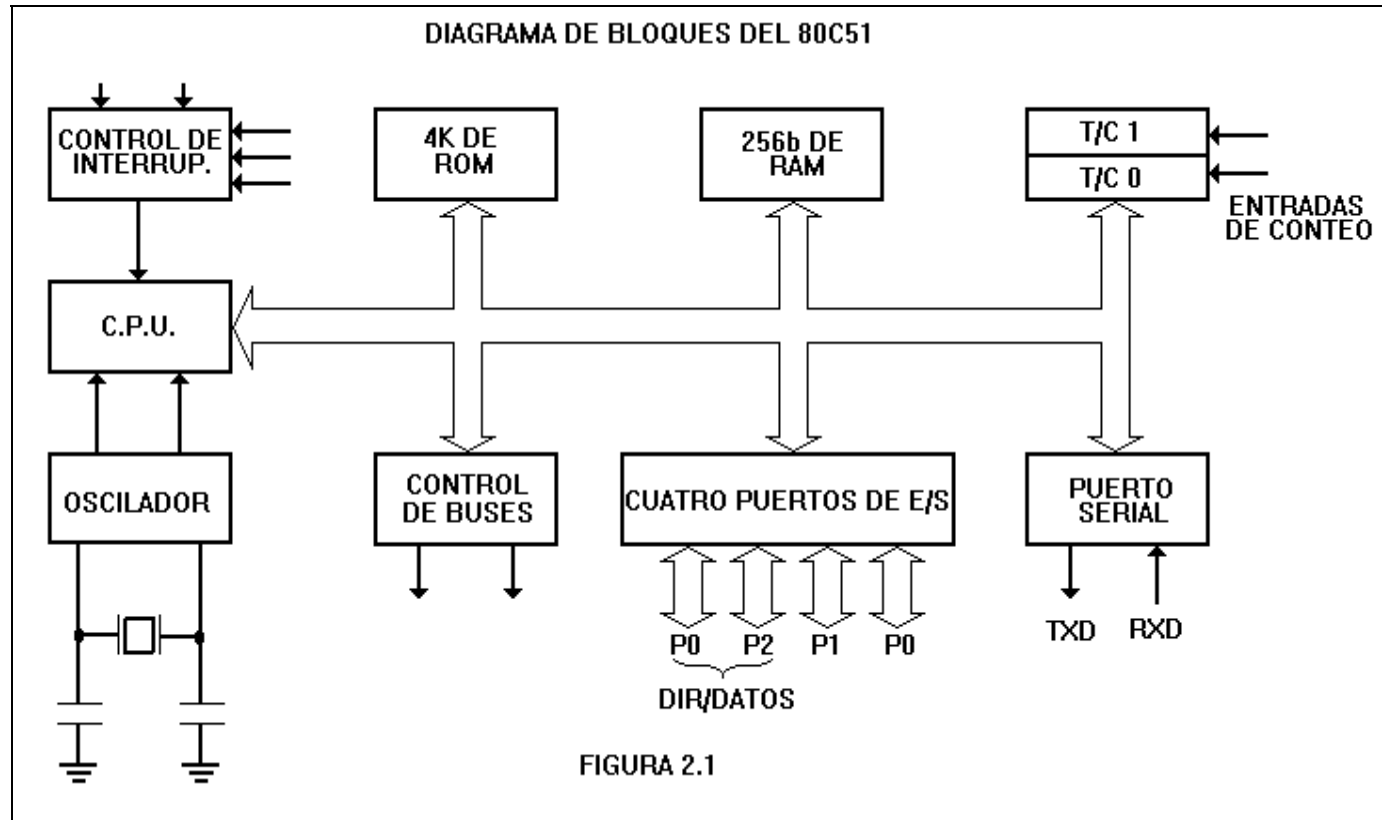
Controlador de Buses: Circuito que genera las señales de control para lectura y escritura de memorias externas de programa y de datos de hasta 16 bits.

Puertos de Entrada/Salida: 4 puertos de E/S de 8 bits cada uno, manejables bit a bit.

No obstante la anterior descripción, no es posible contar con todos estos recursos simultáneamente, ya que 3 de los puertos de E/S tienen funciones alternas a través de las cuales se accede a las opciones de memoria externa, Temporizadores/Contadores, puerto serial e interrupciones externas.

⁶ Existen versiones sin ROM interna (8031) y con EPROM interna (8751).

⁷ En el 8031 y el 8751 sólo se dispone de 256 bytes; ver 2.2.2.



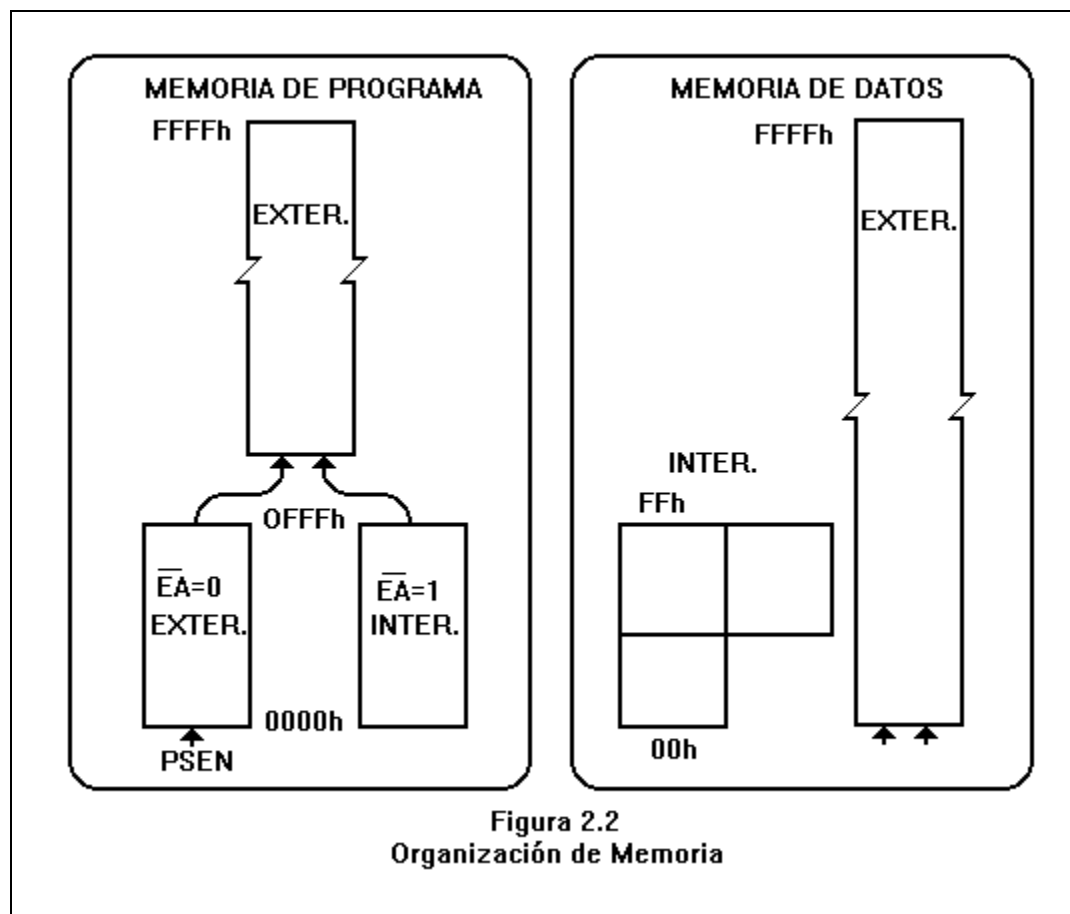
2.2 Organización de memoria:

El 8051 tiene 2 espacios separados de memoria denominados 'memoria de programa' y 'memoria de datos'. Adicionalmente, cada uno de estos espacios puede ser interno al microcontrolador o externo a él (ver figura 2.2).

2.2.1. Memoria de programa:

La memoria interna de programa la conforman 4 Kbytes de ROM⁸ con las direcciones de memoria más bajas (desde 0000h hasta 0FFFh). La memoria externa de programa puede ocupar hasta 64 Kbytes (0000h a FFFFh) y se lee con la señal de control -PSEN (Program Store Enable).

⁸ Ver nota 2



Nótese que los primeros 4 Kbytes de memoria de programa pueden ser internos o externos; para discernir el 8051 revisa el estado de su terminal -EA (External Adress), si éste presenta el estado lógico 1 lee la memoria interna, de lo contrario lee la externa. El espacio de

memoria comprendido entre 1000h y FFFFh siempre se considera como de memoria externa, independientemente del estado del terminal -EA.

2.2.2. Memoria de datos:

La memoria interna de datos son 384 bytes de RAM con cinco zonas diferentes :

00h a 1Fh: en estos 32 bytes se ubican 4 bancos de 8 registros, cada uno de 1 byte; el 8051 cuenta con instrucciones abreviadas para estos registros, que hacen más sencillo su direccionamiento; la selección de banco se efectúa con los bits 3 y 4 del registro PSW (Program Status Word). También es direccionable byte a byte en forma directa e indirecta.

20h a 2Fh: esta zona es direccionable bit a bit, es decir que sus 16 direcciones de bytes son en realidad 128 direcciones de bits ; el 8051 puede manipular individualmente cada bit, lo que simplifica algunas operaciones de control y de lógica booleana. También es direccionable byte a byte en forma directa e indirecta.

30h a 7Fh: zona de uso general, direccionable byte a byte, en forma directa o indirecta⁹.

80 a FFh: zona de los SFR (Special Function Register), direccionable byte a byte en forma directa, y aquellos bytes cuya dirección sea terminada en 0h o en 8h también son direccionables bit a bit. Los SFR contienen información específica sobre el estado de

la CPU y demás elementos del microcontrolador; incluyen el acumulador, los latches de los puertos, latch de los temporizadores, etc. (ver figuras 2.3a, 2.3b y 2.3c). Las direcciones no usadas en esta zona de memoria pueden ser consideradas de uso general, sin embargo, otros dispositivos de la familia pueden emplearlas como SFR adicionales.

80 a FFh: zona de los 128 bytes superiores, direccionables byte a byte en forma indirecta. Corresponden físicamente a un espacio de memoria distinto al de los SFR; aunque tienen la misma dirección, el modo de direccionamiento es distinto y único para cada zona. Esta zona no está implementada en el 8031 ni en el 8751.

La memoria externa de datos puede ser de hasta 64 Kbytes. El microcontrolador genera las señales -RD y -WR para leerla, por lo tanto, puede ocupar un espacio físico distinto a la memoria externa de programa (que es leída con la señal -PSEN).

No obstante, es posible combinar las señales -RD y -PSEN con una compuerta AND, para combinar los espacios de memoria de datos y de programa¹⁰.

⁹ Las tres primeras zonas (00h a 7Fh) también se conocen como los 128 bytes inferiores.

¹⁰ Ver capítulo 4

BITS DE LOS SFR's

NOMBRE	DESCRIPCION	DIRECCION DE BYTE		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
AC	Acumulador	E0H	DIR. BIT	E7	E6	E5	E4	E3	E2	E1	E0
				AC.7	AC.6	AC.5	AC.4	AC.3	AC.2	AC.1	AC.0
B	Registro B	F0H	DIR. BIT	F7	F6	F5	F4	F3	F2	F1	F0
			NOMBRE	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
IE	Habilitación de interrupciones	A8H	DIR. BIT	AF	AE	AD	AC	AB	AA	A9	A8
			NOMBRE	EA	-	-	ES	ET1	EX1	ET0	EX0
IP	Prioridad de interrupciones	B8H	DIR. BIT	BF	BE	BD	BC	BB	BA	B9	B8
			NOMBRE	-	-	-	PS	PT1	PX1	PT0	PX0
P0	Puerto 0	80H	DIR. BIT	87	86	85	84	83	82	81	80
			NOMBRE	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
P1	Puerto 1	90H	DIR. BIT	97	96	95	94	93	92	91	90
			NOMBRE	-	-	-	-	-	-	T2EX	T2
P2	Puerto 2	A0H	DIR. BIT	A7	A6	A5	A4	A3	A2	A1	A0
			NOMBRE	A15	A14	A13	A12	A11	A10	A9	A8
P3	Puerto 3	B0H	DIR. BIT	B7	B6	B5	B4	B3	B2	B1	B0
			NOMBRE	-RD	-WR	T0	T1	-INT1	-INT0	TxD	RxD
PSW	Palabra de estado de programa	D0H	DIR. BIT	D7	D6	D5	D4	D3	D2	D1	D0
			NOMBRE	CY	AC	F0	RS1	RS0	OV	-	P
SCON	Control del puerto serial	98H	DIR. BIT	9F	9E	9D	9C	9B	9A	99	98
			NOMBRE	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
TCON	Control de temporizador	88H	DIR. BIT	8F	8E	8D	8C	8B	8A	89	88
			NOMBRE	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TMOD	Modo del temporizador*	89H	DIR. BIT								
			NOMBRE	GATE	C/T	M1	M0	GATE	C/T	M1	M0

Figura 2.3a

* No es direccionable bit a bit

MAPA DE MEMORIA DE LOS SFR's								
F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
DO	PSW							D7
C8								CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TLO	TL1	THO	TH1		8F
80	P0	SP	DPL	DPH				PCON 87

FIGURA 2.3b

SIMBOLO	DESCRIPCION	DIRECCION DE BYTE	DIRECCION BIT A BIT	VALOR DE RESET
ACC	Acumulador	E0H	SI	00H
B	Registro B	F0H	SI	00H
DPTR	Puntero de datos			
DPH	Puntero de datos alto	83H	NO	00H
DPL	Puntero de datos bajo	82H	NO	00H
IE	Habilitación de interrupciones	A8H	SI	0x000000B
IP	Prioridad de interrupciones	B8H	SI	xx000000B
P0	Puerto 0	80H	SI	FFH
P1	Puerto 1	90H	SI	FFH
P2	Puerto 2	A0H	SI	FFH
P3	Puerto 3	B0H	SI	FFH
PCON	Control de potencia	87H	NO	0xxxxxxxB
PSW	Palabra de estado de programa	D0H	SI	00H
SBUF	Buffer de datos en puerto serial	99H	NO	xxxxxxxB
SCON	Control del puerto serial	98H	SI	00H
SP	Puntero de pila	81H	NO	07H
TCON	Control de temporizador	88H	SI	00H
TH0	Temporizador alto 0	8CH	NO	00H
TH1	Temporizador alto 1	8DH	NO	00H
TL0	Temporizador bajo 0	8AH	NO	00H
TL1	Temporizador bajo 1	8BH	NO	00H
TMOD	Modo del temporizador	89H	NO	00H

Figura 2.3c

2.3. Estructura de puertos:

Los cuatro puertos son bidireccionales, y es factible direccionarlos bit a bit o como todo un byte. A cada puerto está asociado un SFR, y cada bit cuenta con un latch, un manejador de salida y un buffer de entrada,(ver figura 2.4) y los puertos 0, 2 y 3 cuentan con manejadores de funciones alternas. Los nombres de los SFR asociados son P0, P1, P2 y P3, para los puertos 0, 1, 2 y 3 respectivamente.

2.3.1. Puerto 0 y puerto 2:

Las funciones alternas de los puertos 0 y 2 se usan para acceder memoria externa. El puerto 0 se usa como bus de datos de 8 bits, y como los 8 bits menos significativos del bus de direcciones, multiplexando en tiempo los dos buses.

Cuando el Puerto 0 funciona como bus de direcciones el microcontrolador genera la señal -ALE (Adress Latch Enable) que permite activar un Latch que retenga la dirección, para posteriormente usar el puerto 0 como bus de datos¹¹.

El puerto 2 se usa como los 8 bits más significativos del bus de direcciones. El 8051 cuenta con instrucciones de acceso de memoria externa de datos con direcciones de 8 y 16 bits; las primeras no emplean el puerto 2 y por lo tanto puede ser de uso general. Todo acceso a memoria de programa externa, así como a memoria de datos externa

¹¹ Esta señal se genera tanto para la lectura de instrucciones en memoria de programa externa, como para el acceso a memoria de datos externa, bien sea para lectura o para escritura.

con instrucciones de 16 bits, emplea el puerto 2, y por lo tanto éste no puede usarse en forma general.

En algunas ocasiones la aplicación puede requerir memoria de datos externa direccionable con menos de 16 bits (por ejemplo 1K*8). En tales casos pueden usarse algunos bits del puerto 2 (o del 1 o del 3) para paginar la memoria, y acceder ésta con instrucciones de 8 bits. Así se logra que los bits restantes del puerto 2 sigan siendo de uso general, aunque el acceso a la memoria implique un manejo más dispendioso.

2.3.2. Puerto 3:

Cada uno de los pines del puerto 3 tiene una función alterna que sólo es accesible si en el correspondiente latch hay un 1. Tales funciones se listan a continuación, y se explicarán a lo largo del capítulo:

P3.0 : RxD (Recepción del puerto serial)

P3.1 : TxD (Transmisión del puerto serial)

P3.2 : -INT0 (Interrupción externa 0)

P3.3 : -INT1 (Interrupción externa 1)

P3.4 : T0 (Entrada externa contador 0)

P3.5 : T1 (Entrada externa contador 1)

P3.6 : -WR (Lectura de memoria de datos externa)

P3.7 : -RD (Escritura en memoria de datos externa)

El puerto 1 no tiene funciones alternas, y por lo tanto puede considerarse como un puerto bidireccional, direccionable bit a bit, de propósito general.

ESTRUCTURA DE PUERTOS

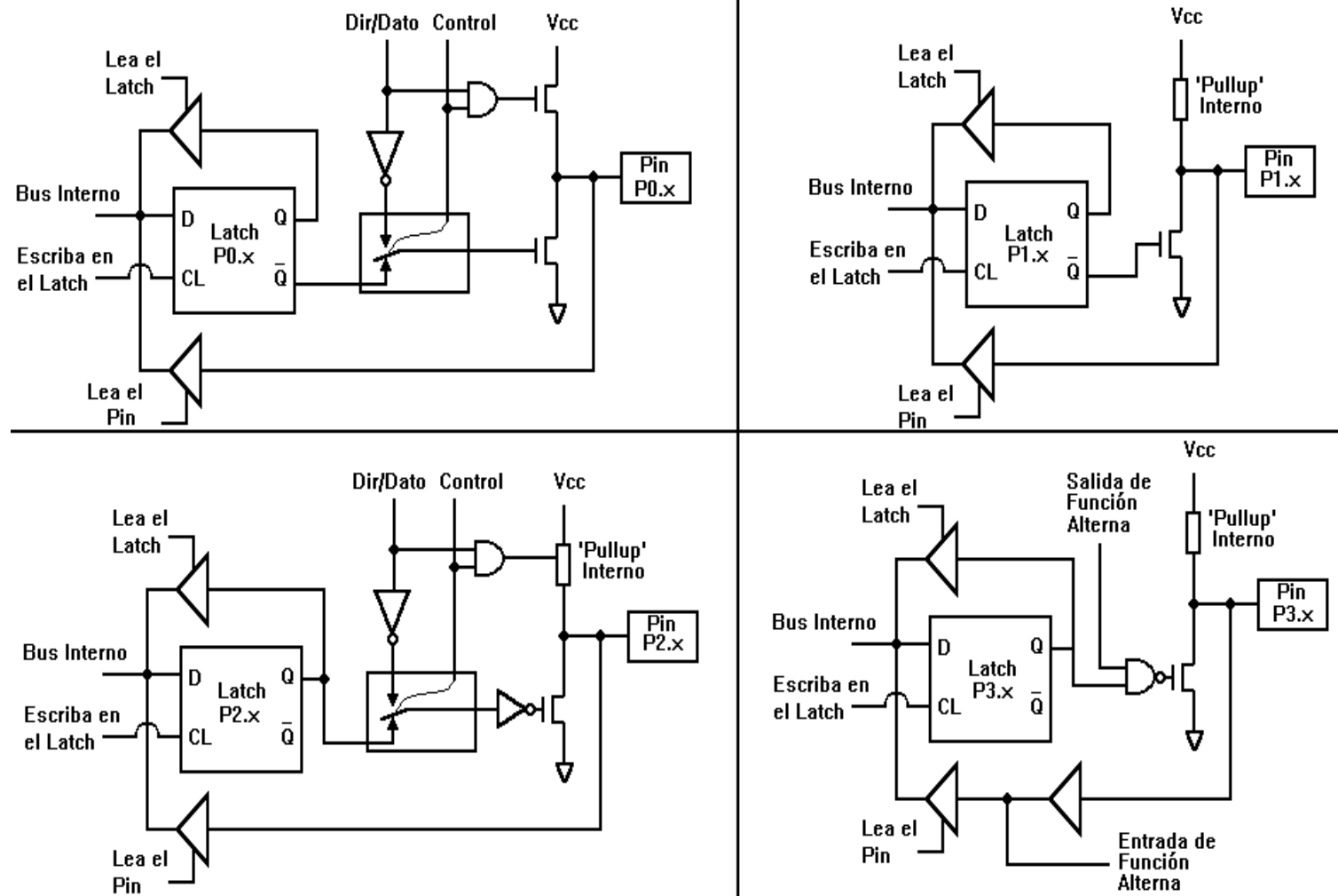


FIGURA 2.4

2.4 Temporizadores y contadores:

El 8051 cuenta con dos temporizadores/contadores ascendentes de 16 bits, programables independientemente en cuatro modos distintos de operación. En 4 SFR se almacena el contenido de cada T/C:

TL0 (8Ah): 8 bits menos significativos del T/C0

TH0 (8Ch): 8 bits más significativos del T/C0

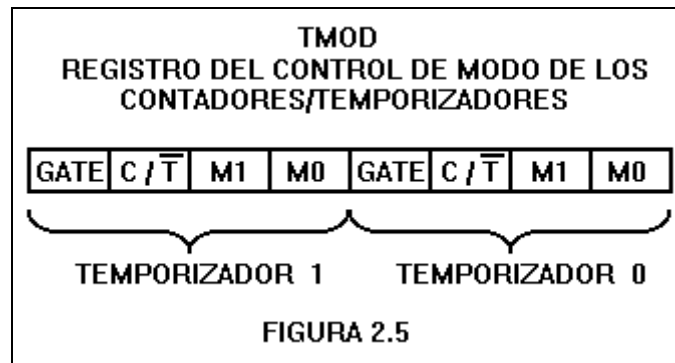
TL1 (8Bh): 8 bits menos significativos del T/C1

TH1 (8Dh): 8 bits más significativos del T/C1

Adicionalmente los SFR TMOD (89h, Timer/Counter Mode Control, direccionable bit a bit) y TCON (88h, Timer/Counter Control) se emplean para controlar la operación de los T/C.

2.4.1 TMOD:

El registro TMOD está dividido en dos regiones iguales, una de las cuales se asocia al T/C0 (los cuatro bits menos significativos) y la otra al T/C1 (los cuatro bits más significativos) tal como se ve en la figura 2.5.



En cada región las funciones de los bits que las forman son:

Gate: Si está en '1' el T/Cx se habilita únicamente cuando tanto el pin Intx (P3.2 ó P3.3) como el bit TRx (ver 2.4.2 TCON) están en alto. Si está en '0' el T/Cx se habilita cuando TRx está en alto, independientemente de Intx.

C/T: Si está en '0' el T/Cx funciona como temporizador usando como entrada el sistema de reloj del microcontrolador. Si está en '1' el T/Cx funciona como contador de eventos usando como entrada el pin Tx (P3.4 o P3.5).

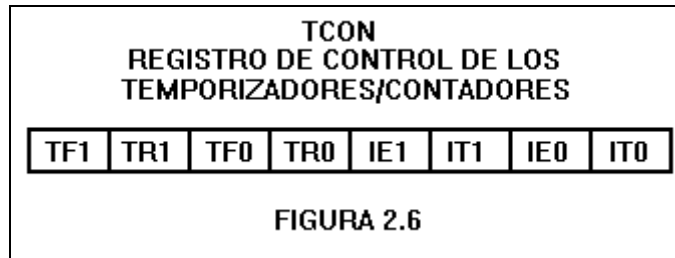
M1 y M0: Seleccionan el modo de operación de cada T/C según la tabla 2.1:

Tabla 2.1

M1	M0	MODO
0	0	0
0	1	1
1	0	2
1	1	3

2.4.2 TCON:

Contiene cuatro bits para cada TC (TFx, TRx, IEx, ITx) según se muestra en la figura 2.6, sin embargo sólo TFx y TRx tienen funciones relativas a los T/C; IEx e ITx se refieren al manejador de interrupciones.



La función de cada bit es:

TFx: Indica desbordamiento del T/Cx (Overflow). Se activa internamente por hardware, y se limpia también internamente cuando se ejecuta la rutina de interrupción.

TRx: Se activa o limpia por software para habilitar (Run) o inhabilitar el T/C (Ver 2.4.1).

2.4.3 Modos de operación:

Los cuatro modos de operación de cada T/C M1 y M0 del SFR TMOD (ver 2.4.1), en forma independiente pues cada T/C cuenta con una pareja de bits M1 y M0.

En el Modo 0 sólo usa 13 bits, 8 de THx y los 5 menos significativos de TLx. Cuando el registro se desborda (pasa de sólo '1' a sólo '0') se activa el bit TFx del SFR TCON. El conteo se habilita según Gatex, TRx, e INTx (ver 2.4.1 y 2.4.2). El T/Cx puede presetearse escribiendo el valor de preset en los SFR THx y TLx. El T/Cx no se limpia al activar TRx.

Al funcionar como temporizador la entrada de reloj tiene una frecuencia igual a la del reloj del microcontrolador

dividida por 12. Al funcionar como contador, la entrada (Tx del puerto 3) se evalúa con una frecuencia igual a la del reloj del microcontrolador dividida por 12, razón por la cual para asegurar que un evento sea contado, debe tener un tiempo de trabajo (duty) mínimo de 12 veces el periodo del reloj del sistema; consecuencia de lo anterior es que la frecuencia máxima del contador es igual a la del reloj del microcontrolador dividida por 24.

En el Modo 1 el T/Cx emplea los 16 bits, 8 de THx y 8 de TLx. En lo restante, funciona en forma similar al Modo 0.

En el Modo 2 el T/Cx emplea 8 bits, TLx, mientras los 8 restantes, THx, sirven para almacenar el valor de preset con el que será cargado TLx al activarse TFx, es decir, cuando ocurra un desbordamiento. Las entradas de reloj son similares a las de los modos 0 y 1.

En el modo 3 los T/C0 y T/C1 operan en forma distinta uno del otro. El T/C1 simplemente detiene su conteo, mientras que el T/C0 se convierte en dos T/C de 8 bits cada uno: TL0 usa los bits de control del T/C0 (Gate0, C/T0, TR0, Int0 y TF0), mientras que TH0 opera como temporizador, empleando dos bits de control de TH1 (TR1 y TF1). En este modo de operación el 8051 prácticamente tiene 3 T/C, pues el T/C1 puede prenderse y apagarse convenientemente, o ser empleado en cualquier aplicación que no requiera interrupciones, como por ejemplo la generación de la frecuencia de baudios para el puerto serial (ver 2.5).

2.5 Puerto Serial:

El 8051 posee un puerto serial full duplex con 1 registro para recepción y otro para transmisión, que comparten la misma dirección de memoria, el SFR SBUF (99h). El SFR SCON (Serial Port Control, 98h, direccionable bit a bit) es un registro asociado al puerto serial, que permite configurarlo.

2.5.1 Modos de operación

El puerto serial tiene cuatro modos de operación cuyas principales características se consignan en la tabla 2.2 y se explican a continuación.

En el modo 0 los datos se reciben y se transmiten por el pin RX (P3.0) mientras que el pin TX (P3.1) se utiliza para transmitir la señal del reloj de desplazamiento. El número de bits recibidos o transmitidos es de 8, todos de datos (el primero es el menos significativo). La velocidad de transmisión y recepción está fijada en 1/12 de la frecuencia del reloj del microcontrolador.

En el modo 1 los datos se reciben por RX(P3.0) y se transmiten por TX (P3.1). El número de bits recibidos o transmitidos es de 10, 1 bit de arranque ('0'), 8 bits de datos (el primero es el menos significativo) y un bit de parada ('1'). La velocidad de transmisión y recepción es variable y programable por software (ver 2.5.3).

En el modo 2 los datos se reciben por RX(P3.0) y se transmiten por TX (P3.1). El número de bits recibidos o transmitidos es de 11, 1 bit de arranque ('0'), 8 bits de datos (el primero es el menos significativo), un noveno bit (ver TB8 y RB8 en 2.5.2) y un bit de parada ('1'). La velocidad de transmisión y recepción se fija en 1/32 o 1/64 de la frecuencia del reloj del microcontrolador.

En el modo 3 los datos se reciben por RX(P3.0) y se transmiten por TX (P3.1). El número de bits recibidos o transmitidos es de 11, 1 bit de arranque ('0'), 8 bits de datos (el primero es el menos significativo), un noveno bit (ver TB8 y RB8 en 2.5.2) y un bit de parada ('1'). La velocidad de transmisión y recepción es variable y programable por software (ver 2.5.3).

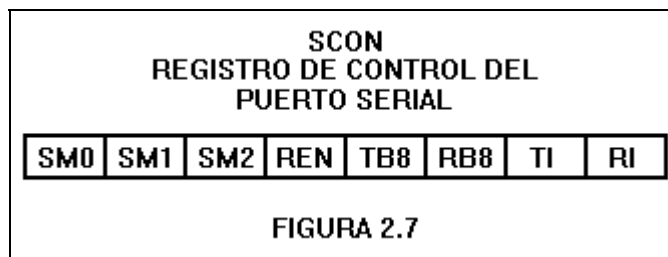
Tabla 2.2

MODO	BIT DE ARRANQUE ('0')	BITS DE DATOS	NOVENO BIT	BIT DE PARADA ('1')	FRECUENCIA DE T/R
0	NO	8	NO	NO	SIS/12
1	SI	8	NO	SI	VARIABLE
2	SI	8	SI	SI	SIS/32 ó SIS/64
3	SI	8	SI	SI	VARIABLE

En los modos 2 y 3 es posible emplear la opción de Comunicación entre Varios Procesadores (Multiprocessor Communications), consistente en que la interrupción por recepción sólo se habilita si el noveno bit de datos recibido es un '1'.

2.5.2 SCON:

La figura 2.7 muestra los bits que forman el SFR SCON; sus funciones son:



SM0 y SM1: Seleccionan el modo de operación del puerto serial según la tabla 2.3 :

Tabla 2.3

SM0	SM1	MOD0
0	0	0
0	1	1
1	0	2
1	1	3

SM2: Al colocarse en '1' habilita una aplicación especial de comunicación entre varios procesadores, en los modos de operación 2 y 3, consistente en que el bit RI no se activará si el noveno bit recibido (RB8) es

'0'. En el modo 1 el bit RI no se activará si no se recibe un bit de parada válido. En el modo 0 SM2 debe ser '0'.

REN: Al colocarse en '1' habilita la recepción de datos.

TB8: Es el noveno bit que se transmite en los modos 2 y 3.

RB8: Es el noveno bit recibido en los modos 2 y 3. En el modo 1, si SM2 es '0', RB8 es el bit de parada recibido. En el modo 0 no se usa.

TI: Bandera de interrupción por transmisión. Se activa ('1') por hardware al finalizar la transmisión del octavo bit en el modo 0, o al comenzar la transmisión del bit de parada en los otros modos. Debe ser desactivado ('0') por software.

RI: Bandera de interrupción por recepción. Se activa ('1') por hardware al finalizar la recepción del octavo bit en el modo 0, o al comenzar la transmisión del bit de parada en los otros modos, a menos que SM2 no lo permita. Debe ser desactivado ('0') por software.

2.5.3 Velocidad de transmisión y recepción:

La velocidad de baudios para transmisión y recepción de datos depende del modo de operación del puerto serial. En el modo 0 está fija según la ecuación

$$\text{Rata de baudios} = \frac{\text{Frecuencia del oscilador}}{12}$$

Es decir, depende exclusivamente de la señal de reloj del microcontrolador.

En el modo 2 la ecuación es

$$\text{Rata de baudios} = 2^{\text{SMOD}} * \frac{\text{Frecuencia del oscilador}}{64}$$

en donde SMOD corresponde al séptimo bit del SFR PCON (87h Power Control). Según SMOD la rata de baudios será 1/32 o 1/64 de la señal de reloj del sistema.

En los modos 1 y 3 la velocidad de transmisión y recepción se puede programar, porque depende de la velocidad de desbordamiento del T/C1 (ver 2.4). La ecuación que se aplica en este caso es

$$\text{Rata de baudios} = 2^{\text{SMOD}} * \frac{\text{Rata de desbordamiento T/C1}}{32}$$

Aunque no importa la forma en que este configurado el T/C1, ni su modo de operación, la interrupción del T/C1 debe ser inhabilitada en esta aplicación, a menos que se use para conseguir velocidades de transmisión y recepción muy bajas.

Si se configura el T/C1 como temporizador en el modo 2 de operación (autorecarga), la ecuación que se aplica es la siguiente:

$$\text{Rata de baudios} = 2^{\text{SMOD}} * \frac{\text{Frecuencia del oscilador}}{32 * \{12 * (256 - TH1)\}}$$

2.6 Manejador de interrupciones:

El 8051 tiene 5 posibles fuentes de interrupción, tres internas y dos externas; las internas son: el T/C0, el T/C1 y el puerto serial; las externas son Int0 e Int1. Cada una de estas fuentes se detecta a través de bits bandera (con dirección de bit) relacionados en la tabla 2.4

Tabla 2.4

INTERR .	BIT BANDERA	REGISTR O	DIRECCION DEL BIT
T/C0	TF0	TCON	8Dh
T/C1	TF1	TCON	8Fh
Pto. serial	RI ó TI	SCON	98h ó 99h
Int0	IE0	TCON	89h
Int1	IE1	TCON	8Bh

Los bits TF0 y TF1 se activan cuando se produce un desbordamiento en sus respectivos T/C (excepto en modo 3, ver 2.4). RI se activa al recibirse un dato a través de puerto serial, y TI al transmitirse (ver 2.5); cualquiera de los dos ocasionan un llamado de interrupción.

IE0 puede ser activada por un nivel bajo ('0') en el pin - Int0 (P3.2) o por una transición de alto a bajo en dicho pin, según el estado del bit IT0 (TCON.0, 88h): si está en '0' detecta nivel, y si está en '1' detecta transición.

De manera análoga se activa IE1, con el pin -Int1 (P3.3) e IT1 (TCON.2, 8Ah).

Los bits TF0 y TF1 se limpian por hardware al ejecutarse la rutina de interrupción, al igual que IE0 e IE1 cuando se configura para detectar transiciones; cuando detectan nivel, IE0 e IE1 son controladas por -Int0 y -Int1 respectivamente. RI y TI deben ser limpiados por software, lo cual permite que el usuario identifique si la llamada a interrupción se debe a una recepción o a una transmisión de datos.

2.6.1 Habilitaciones:

Las llamadas que producen los bits banderas pueden ser habilitadas o no con el SFR IE (A8h, Interrupt Enable, direccionable bit a bit). La Tabla 2.5 muestra los nombres y direcciones de cada bit, y las llamadas que habilitan (un '1' habilita y un '0' inhabilita).

Tabla 2.5

NOMBRE	POSICION EN IE	DIRECC . DE BIT	LLAMADA
EX0	IE.0	A8h	-Int0
ET0	IE.1	A9h	T/C0
EX1	IE.2	AAh	-Int1
ET1	IE.3	ABh	T/C1
ES	IE.4	ACh	Puerto Serial
-	IE.5	ADh	Sin función
-	IE.6	A Eh	Sin función
EA ¹²	IE.7	AFh	Todas

¹² Para que una interrupción esté habilitada, es necesario que su bit individual esté habilitado, y simultáneamente el bit EA también lo esté.

2.6.2 Prioridades:

A cada llamado a interrupción debe asignársele uno de los dos niveles de prioridad, alto o bajo, que reconoce el 8051, activando o limpiando el respectivo bit del SFR IP (B8h, Inpterrupt priority, direccionable bit a bit), según se muestra en la Tabla 2.6.

Tabla 2.6

NOMBRE	POSICION EN IE	DIRECC. DE BIT	LLAMADA
PX0	IP.0	B8h	-Int0
PT0	IP.1	B9h	T/C0
PX1	IP.2	BAh	-Int1
PT1	IP.3	BBh	T/C1
PS	IP.4	BCh	Puerto Serial
-	IP.5	BDh	Sin función
-	IP.6	BEh	Sin función
-	IP.7	BFh	Sin función

Los niveles de prioridad permiten decidir qué llamada a interrupción atender cuando haya más de una, según las siguientes reglas:

- Una atención a interrupción de prioridad baja, sólo puede ser interrumpida por otra de prioridad alta.
- Una atención a interrupción de prioridad alta no puede ser interrumpida.
- Si ocurren simultáneamente¹³ dos llamadas a interrupción con prioridades distintas, se atiende la de prioridad alta.

¹³ "simultáneamente" significa aquí "en el mismo ciclo de máquina".

- Si ocurren simultáneamente varias llamadas a interrupción con igual prioridad, se atiende la llamada que primero se encuentre según la siguiente secuencia:

1. IE0
2. TF0
3. IE1
4. TF1
5. RI + TI

2.6.3 Atención a interrupciones:

El 8051 revisa los bits bandera habilitados una vez cada ciclo de máquina, pero sólo atiende los llamados si se cumplen las siguientes condiciones:

1. No se está atendiendo una interrupción de igual o mayor prioridad.
2. El ciclo de máquina es el ciclo final de la instrucción en ejecución.
3. La instrucción en ejecución no accesa los registros IP ni IE, ni es un Retorno de Interrupción (RETI).

La atención al llamado de interrupción consiste en llevar a la pila el Contador de Programa, y ejecutar un salto a una dirección de memoria de programa que la determina la fuente de interrupción según la Tabla 2.7. El microcontrolador ejecuta la rutina que allí esté grabada, hasta que se encuentre la instrucción Retorno de Interrupción (RETI), momento en el que da por terminada la atención, y recupera de la pila el valor del Contador de Programa.

Tabla 2.7

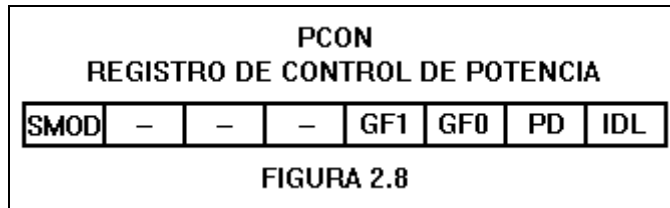
FUENTE DE INTERRUPCION	DIRECCION DE LA RUTINA
IE0	0003h
TF0	000Bh
IE1	0013h
TF1	001Bh
RI + TI	0023h

2.7 Modos de ahorro de memoria:

Las versiones del 8051 desarrolladas con tecnología CHMOS cuentan con opciones que permiten obtener un ahorro significativo de energía cuando el microcontrolador debe tan sólo aguardar a que ocurra un evento externo.

2.7.1 Modo de descanso (Idle):

Este modo se activa con el bit IDL del SFR PCON (ver figura 2.8), y consiste en que el oscilador sólo envía señal de reloj a los bloques relacionados con las interrupciones, los T/C y el puerto serial. De esta forma la CPU detiene su funcionamiento, y todos los registros preservan su contenido, incluyendo el Acumulador, la Palabra de Estado, el Puntero de la pila y el Contador de Programa. En este modo la corriente de alimentación es aproximadamente el 15% de la del modo normal.



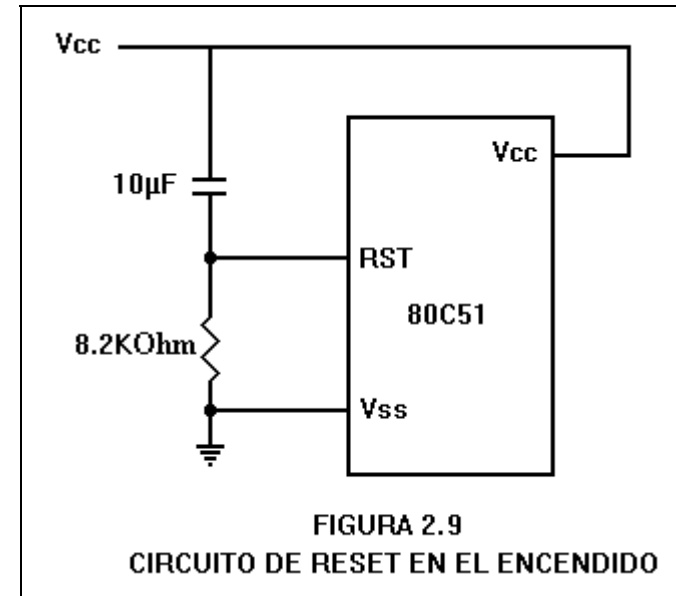
Para salir del modo de descanso se puede optar por ocasionar una interrupción (que debe estar habilitada previamente), o por ocasionar un Reset físico (esta última opción altera el valor de algunos SFR según se muestra en la figura 2.3c).

2.7.2 Modo de Potencia (Power Down):

Este modo se activa con el bit PD del SFR PCON (ver figura 2.8), y consiste en que el oscilador no envía ninguna señal de reloj, ni a la CPU ni a los periféricos. En este modo la corriente de alimentación típica es de $10\mu\text{A}$, y la tensión de alimentación puede reducirse hasta 2V. La única salida de este modo es a través de un Reset físico, que redefine los SFR, pero no altera la memoria de datos interna.

2.8 Reset:

Para que una señal de Reset sea válida, debe mantenerse el pin RST en alto ('1') al menos por 24 periodos del oscilador. El circuito de la figura 2.9 permite obtener una señal válida de Reset al energizar el microcontrolador.



El valor que adopta cada uno de los SFR en el momento del Reset se consigna en la figura 2.3c.

2.9 Otros SFR:

La siguiente es la lista de los SFR que no han sido tratados con anterioridad en el capítulo:

Acumulador (ACC o A): Es el registro sobre el que la CPU ejecuta la mayoría de operaciones aritméticas, lógicas y de transferencia de datos.

Registro B (B): Es usado por la CPU para ejecutar las operaciones de aritméticas de multiplicación y división.

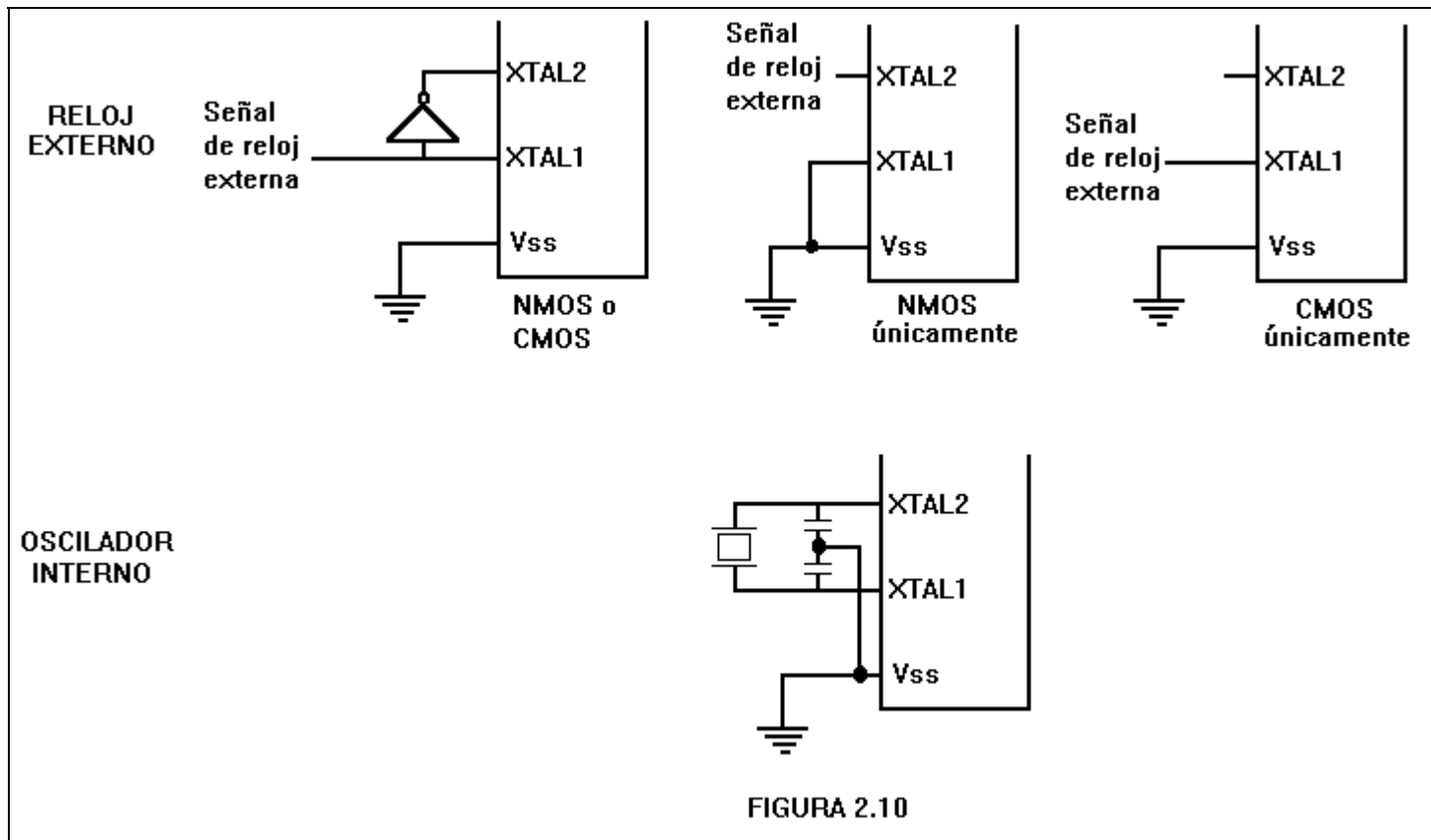
Palabra de Estado (PSW): Contiene información detallada sobre el estado del programa. Ver figura 2.3a y numeral 3.2.2.

Puntero de Pila (SP): direcciona el lugar de memoria de datos interna que ocupa la pila. cambia automáticamente al ejecutarse las instrucciones PUSH, CALL, RET, RETI y POP.

Puntero de Datos (DPTR): son dos registros de 8 bits cada uno, DPH y DPL (de High y Low respectivamente). Archiva una dirección de memoria de 16 bits, que emplean algunas instrucciones (ver capítulo 3).

2.10 Oscilador:

El 8051 posee un circuito oscilador que puede ser manejado por cristal, por resonador cerámico, o por una señal de reloj externa, según se muestra en la figura 2.10. Nótese que al recibir una señal de reloj externa, las conexiones son distintas para las versiones CHMOS y HMOS.



3. SOFTWARE DE LA FAMILIA 8051

3.1 Direccionamiento de memoria:

La tabla 3.1 muestra el listado de las 256 instrucciones que reconoce el 8051, ordenadas según su código hexadecimal. Algunas de estas instrucciones accesan la memoria de datos empleando distintos modos de direccionamiento:

Direccionamiento directo: En la instrucción se especifica explícitamente la dirección de memoria.

Ej: MOV A,data addr (E5h) :traslada al acumulador el contenido de memoria de dirección 'data addr'.

Direccionamiento indirecto: La dirección de memoria está almacenada en un registro (R0 o R1), que se especifica implícitamente en la instrucción.

Ej: MOV A,@R0 (E6h) :traslada al acumulador el contenido de memoria cuya dirección está almacenada en R0.

Direccionamiento por registro: La dirección de memoria es la de uno de los registros, que se especifica implícitamente en la instrucción.

Ej: MOV A,R0 (E8h) :traslada al acumulador el contenido de memoria del registro R0.

Direccionamiento indexado: La dirección de memoria se determina por la suma de un registro especial (el PC o el DPTR) y el contenido del acumulador. Este modo sólo permite accesar memoria de programa y memoria de datos externa.

Ej: MOVC A,@A + DPTR (93h) :traslada al acumulador el contenido de memoria de programa cuya dirección es la suma del DPTR y el contenido del acumulador.

Direccionamiento inmediato: El dato se especifica explícitamente en la instrucción.

Ej: MOV A,#data (74h):traslada al acumulador el valor de #data.

Direcciones fijas: Algunas instrucciones tienen implícita la dirección, por corresponder ésta a algún SFR específico.

Ej: MOV DPTR,#data (90h) :traslada al DPTR el dato '#data'.

La tabla 3.1 muestra el conjunto completo de instrucciones que reconoce el 8051; la primera columna contiene el código hexadecimal de la instrucción, la segunda el número de bytes que requiere la instrucción, y las dos últimas columnas el equivalente en lenguaje Nemotécnico.

TABLA 3.1 SET DE INSTRUCCIONES POR ORDEN DE CODIGO

H	#b	Lenguaje Nemotécnico	
00	1	NOP	
01	2	AJMP	CODE ADDR
02	3	LJMP	CODE ADDR
03	1	RR	A
04	1	INC	A
05	2	INC	DATA ADDR
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0a	1	INC	R2
0b	1	INC	R3
0c	1	INC	R4
0d	1	INC	R5
0e	1	INC	R6
0f	1	INC	R7
10	3	JBC	BIT ADDR, CODE ADDR
11	2	ACALL	CODE ADDR
12	3	LCALL	CODE ADDR
13	1	RRC	A
14	1	DEC	A
15	2	DEC	DATA ADDR
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1a	1	DEC	R2
1b	1	DEC	R3
1c	1	DEC	R4
1d	1	DEC	R5
1e	1	DEC	R6
1f	1	DEC	R7

H	#b	Lenguaje Nemotécnico	
20	3	JB	BIT ADDR, CODE ADDR
21	2	AJMP	CODE ADDR
22	1	RET	
23	1	RL	A
24	2	ADD	A, #DATA
25	2	ADD	A, DATA ADDR
26	1	ADD	A, @R0
27	1	ADD	A, @R1
28	1	ADD	A, R0
29	1	ADD	A, R1
2a	1	ADD	A, R2
2b	1	ADD	A, R3
2c	1	ADD	A, R4
2d	1	ADD	A, R5
2e	1	ADD	A, R6
2f	1	ADD	A, R7
30	3	JNB	BIT ADDR, CODE ADDR
31	2	ACALL	CODE ADDR
32	1	RETI	
33	1	RLC	A
34	2	ADDC	A, #DATA
35	2	ADDC	A, DATA ADDR
36	1	ADDC	A, @R0
37	1	ADDC	A, @R1
38	1	ADDC	A, R0
39	1	ADDC	A, R1
3a	1	ADDC	A, R2
3b	1	ADDC	A, R3
3c	1	ADDC	A, R4
3d	1	ADDC	A, R5
3e	1	ADDC	A, R6
3f	1	ADDC	A, R7

H	#b	Lenguaje Nemotécnico	
40	2	JC	CODE ADDR
41	2	AJMP	CODE ADDR
42	2	ORL	DATA ADDR,A
43	3	ORL	DATA ADDR,#DATA
44	2	ORL	A,#DATA
45	2	ORL	A,DATA ADDR
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4a	1	ORL	A,R2
4b	1	ORL	A,R3
4c	1	ORL	A,R4
4d	1	ORL	A,R5
4e	1	ORL	A,R6
4f	1	ORL	A,R7
50	2	JNC	CODE ADDR
51	2	ACALL	CODE ADDR
52	2	ANL	DATA ADDR,A
53	3	ANL	DATA ADDR,#DATA
54	2	ANL	A,#DATA
55	2	ANL	A,DATA ADDR
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5a	1	ANL	A,R2
5b	1	ANL	A,R3
5c	1	ANL	A,R4
5d	1	ANL	A,R5
5e	1	ANL	A,R6
5f	1	ANL	A,R7

H	#b	Lenguaje Nemotécnico	
60	2	JZ	CODE ADDR
61	2	AJMP	CODE ADDR
62	2	XRL	DATA ADDR,A
63	3	XRL	DATA ADDR,#DATA
64	2	XRL	A,#DATA
65	2	XRL	A,DATA ADDR
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6a	1	XRL	A,R2
6b	1	XRL	A,R3
6c	1	XRL	A,R4
6d	1	XRL	A,R5
6e	1	XRL	A,R6
6f	1	XRL	A,R7
70	2	JNZ	CODE ADDR
71	2	ACALL	CODE ADDR
72	2	ORL	C,BIT ADDR
73	1	JMP	@A+DPTR
74	2	MOV	A,#DATA
75	3	MOV	DATA ADDR,#DATA
76	2	MOV	@R0,#DATA
77	2	MOV	@R1,#DATA
78	2	MOV	R0,#DATA
79	2	MOV	R1,#DATA
7a	2	MOV	R2,#DATA
7b	2	MOV	R3,#DATA
7c	2	MOV	R4,#DATA
7d	2	MOV	R5,#DATA
7e	2	MOV	R6,#DATA
7f	2	MOV	R7,#DATA

H	#b	Lenguaje Nemotécnico	
80	2	SJMP	CODE ADDR
81	2	AJMP	CODE ADDR
82	2	ANL	C,BIT ADDR
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	DATA ADDR,DATA ADDR
86	2	MOV	DATA ADDR,@R0
87	2	MOV	DATA ADDR,@R1
88	2	MOV	DATA ADDR,R0
89	2	MOV	DATA ADDR,R1
8a	2	MOV	DATA ADDR,R2
8b	2	MOV	DATA ADDR,R3
8c	2	MOV	DATA ADDR,R4
8d	2	MOV	DATA ADDR,R5
8e	2	MOV	DATA ADDR,R6
8f	2	MOV	DATA ADDR,R7
90	3	MOV	DPTR,#DATA
91	2	ACALL	CODE ADDR
92	2	MOV	BIT ADDR,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#DATA
95	2	SUBB	A,DATA ADDR
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0
99	1	SUBB	A,R1
9a	1	SUBB	A,R2
9b	1	SUBB	A,R3
9c	1	SUBB	A,R4
9d	1	SUBB	A,R5
9e	1	SUBB	A,R6
9f	1	SUBB	A,R7

H	#b	Lenguaje Nemotécnico	
a0	2	ORL	C,/BIT ADDR
a1	2	AJMP	CODE ADDR
a2	2	MOV	C,BIT ADDR
a3	1	INC	DPTR
a4	1	MUL	AB
a5			reservado
a6	2	MOV	@R0,DATA ADDR
a7	2	MOV	@R1,DATA ADDR
a8	2	MOV	R0,DATA ADDR
a9	2	MOV	R1,DATA ADDR
aa	2	MOV	R2,DATA ADDR
ab	2	MOV	R3,DATA ADDR
ac	2	MOV	R4,DATA ADDR
ad	2	MOV	R5,DATA ADDR
ae	2	MOV	R6,DATA ADDR
af	2	MOV	R7,DATA ADDR
b0	2	ANL	C,/BIT ADDR
b1	2	ACALL	CODE ADDR
b2	2	CPL	BIT ADDR
b3	1	CPL	C
b4	3	CJNE	A,#DATA,CODE ADDR
b5	3	CJNE	A,DATA ADDR,CODE ADDR
b6	3	CJNE	@R0,#DATA,CODE ADDR
b7	3	CJNE	@R1,#DATA,CODE ADDR
b8	3	CJNE	R0,#DATA,CODE ADDR
b9	3	CJNE	R1,#DATA,CODE ADDR
ba	3	CJNE	R2,#DATA,CODE ADDR
bb	3	CJNE	R3,#DATA,CODE ADDR
bc	3	CJNE	R4,#DATA,CODE ADDR
bd	3	CJNE	R5,#DATA,CODE ADDR
be	3	CJNE	R6,#DATA,CODE ADDR
bf	3	CJNE	R7,#DATA,CODE ADDR

H	#b	Lenguaje Nemotécnico	
c0	2	PUSH	DATA ADDR
c1	2	AJMP	CODE ADDR
c2	2	CLR	BIT ADDR
c3	1	CLR	C
c4	1	SWAP	A
c5	2	XCH	A,DATA ADDR
c6	1	XCH	A,@R0
c7	1	XCH	A,@R1
c8	1	XCH	A,R0
c9	1	XCH	A,R1
ca	1	XCH	A,R2
cb	1	XCH	A,R3
cc	1	XCH	A,R4
cd	1	XCH	A,R5
ce	1	XCH	A,R6
cf	1	XCH	A,R7
d0	2	POP	DATA ADDR
d1	2	ACALL	CODE ADDR
d2	2	SETB	BIT ADDR
d3	1	SETB	C
d4	1	DA	A
d5	3	DJNZ	DATA ADDR,CODE ADDR
d6	1	XCHD	A,@R0
d7	1	XCHD	A,@R1
d8	2	DJNZ	R0,CODE ADDR
d9	2	DJNZ	R1,CODE ADDR
da	2	DJNZ	R2,CODE ADDR
db	2	DJNZ	R3,CODE ADDR
dc	2	DJNZ	R4,CODE ADDR
dd	2	DJNZ	R5,CODE ADDR
de	2	DJNZ	R6,CODE ADDR
df	2	DJNZ	R7,CODE ADDR

H	#b	Lenguaje Nemotécnico	
e0	1	MOVX	A,@DPTR
e1	2	AJMP	CODE ADDR
e2	1	MOVX	A,@R0
e3	1	MOVX	A,@R1
e4	1	CLR	A
e5	2	MOV	A,DATA ADDR
e6	1	MOV	A,@R0
e7	1	MOV	A,@R1
e8	1	MOV	A,R0
e9	1	MOV	A,R1
ea	1	MOV	A,R2
eb	1	MOV	A,R3
ec	1	MOV	A,R4
ed	1	MOV	A,R5
ee	1	MOV	A,R6
ef	1	MOV	A,R7
f0	1	MOVX	@DPTR,A
f1	2	ACALL	CODE ADDR
f2	1	MOVX	@R0,A
f3	1	MOVX	@R1,A
f4	1	CPL	A
f5	2	MOV	DATA ADDR,A
f6	1	MOV	@R0,A
f7	1	MOV	@R1,A
f8	1	MOV	R0,A
f9	1	MOV	R1,A
fa	1	MOV	R2,A
fb	1	MOV	R3,A
fc	1	MOV	R4,A
fd	1	MOV	R5,A
fe	1	MOV	R6,A
ff	1	MOV	R7,A

3.2 Tipos de Instrucciones:

3.2.1 Instrucciones para transferencia de datos:

En el numeral anterior se han dado algunos ejemplos de transferencia de datos usando la instrucción MOV; dicha instrucción, en su forma más genérica es:

MOV <destino>,<fuente>¹⁴

y se debe interpretar como la orden para copiar el contenido especificado por <fuente> en el sitio de memoria determinado por <destino>. Tanto <fuente> como <destino> pueden ser especificados usando cualquiera de los modos de direccionamiento arriba descritos.

Existen algunas variaciones sobre la orden MOV: MOVX se refiere a acceso a memoria de datos externa, y sólo admite direccionamiento indirecto e indexado; MOVC se refiere a acceso a memoria de programa, y sólo admite direccionamiento indexado; 'MOV C,bit addr' y 'MOV bit addr,C' direccionan bit a bit en la zona de memoria en que es posible hacerlo (ver 2.1).

Otras instrucciones de transferencia de datos son:

PUSH data addr : guarda en la pila el contenido de memoria de la dirección 'data addr'.

POP data addr : lleva a la dirección 'data addr' el dato más expuesto de la pila.

XCH A,<byte> : intercambia los contenidos del acumulador y <byte>.

XCHD A,<byte> : intercambia los cuatro bits menos significativos de el acumulador con los cuatro bits menos significativos de <byte>.

La tabla 3.2 resume las instrucciones de transferencia de datos.

¹⁴ La instrucción MOV DATA ADDR1,DATA ADDR2 (85h) es una excepción, pues DATA ADDR1 es la fuente, y DATA ADDR2 es el destino.

TABLA 3.2 INSTRUCCIONES DE TRANSFERENCIA DE DATOS

NEMOTECNICO	OPERACION	DIRECCIONAMIENTO				CICLOS DE MAQUINA
		DIR	IND	REG	INM	
MOV A,<fte>	A=<fte>	X	X	X	X	1
MOV <dest>,A	<dest>=A	X	X	X		1
MOV <dest>,<<fte>	<dest>=<fte>	X	X	X	X	2
MOV DPTR,#data16	DPTR=constante inmediata de 16 bits				X	2
PUSH <fte>	INC SP: MOV <@SP>,<fte>	X				2
POP <fte>	MOV <dest>,<@SP>: DEC SP	X				2
XCH A,<byte>	intercambio de datos entre A y <byte>	X	X	X		1
XCHD, A,@Ri	intercambio de los cuatro bits inferiores de A y @Ri	X				1
MOVX A,@Ri	A=@Ri lee memoria externa, dir 8 bits		X			2
MOVX @RI,A	@Ri=A escribe mem. externa, dir 8 bits		X			2
MOVX A,@DPTR	A=@DPTR lee mem. externa, dir 16 bits		X			2
MOVX @DPTR,A	@DPTR=A escribe mem. externa, dir 16 bits		X			2
MOVC A,@A+DPTR	A=@DPTR+A lee memoria de programa, dirección de 16 bits	Indexado				2
MOVC A,@A+PC	A=@PC+A lee memoria de programa, dirección de 16 bits	Indexado				2

3.2 Instrucciones aritméticas:

La tabla 3.3 consigna las ordenes aritméticas que reconoce el 8051, indicando también los modos de direccionamiento disponibles en cada una de ellas.

Nótese que es factible incrementar cualquier registro en memoria de datos interna, sin necesidad de pasar por el acumulador.

Las instrucciones ADD y ADDC (sumas) difieren entre si en que la primera no suma el bit Carry a los dos operandos especificados, mientras que la segunda si lo hace. En ambos casos, los bits C ('Carry' PSW.7, D0.7, dirección de bit D7) y AC ('Auxiliar Carry' PSW.6, D0.6, dirección de bit D6) toman el valor '1' si hay un 'carry'¹⁵ en los bits 7 y 3 de A, respectivamente; el bit OV ('Overflow' PSW.2, D0.2, dirección de bit D2) toma el valor '1' si hay sólo un 'carry' en los bits 6 y 7 de A. De esta forma si los operandos tienen signo, los bits C y OV indican que ocurrió un desbordamiento, bien sea porque la suma de dos números positivo produjo un número negativo, o por que la suma de dos número negativos produjo un número positivo.

La instrucción SUBB resta al acumulador el operando indicado y el Carry. Los bits C ('Carry' PSW.7, D0.7, dirección de bit D7) y AC ('Auxiliar Carry' PSW.6, D0.6, dirección de bit D6) toman el valor '1' si hay un

¹⁵ La suma de los 'digitos' (bits) de cada operando ocupa más de un 'dígito' (bit).

'borrow'¹⁶ en los bits 7 y 3 de A respectivamente; el bit OV ('Overflow' PSW.2, D0.2, dirección de bit D2) toma el valor '1' si hay sólo un 'borrow' en los bits 6 y 7 de A. De esta forma si los operandos tienen signo, los bits C y OV indican que ocurrió un desbordamiento, bien sea porque al restar un número negativo de uno positivo se produjo un número negativo, o por que al restar un número positivo de uno negativo se produjo uno positivo.

La instrucción MUL AB multiplica los registros A y B, escribiendo los 8 bits más significativos del resultado en el registro B, y los menos significativos en el A. Si el resultado es mayor de 255 el bit OV ('Overflow' PSW.2, D0.2, dirección de bit D2) toma el valor '1'.

La instrucción DIV AB efectúa la división del registro A entre el registro B, escribiendo el cociente en el registro A y el residuo en el B; los bits C ('Carry' PSW.7, D0.7, dirección de bit D7) y OV ('Overflow' PSW.2, D0.2, dirección de bit D2) toman el valor '0'. Si B contiene originalmente el valor 00h¹⁷ el bit OV toma el valor '1' y los resultados de A y B son indeterminados.

¹⁶ La resta de los 'digitos' (bits) de cada operando es negativa, y por lo tanto uno de ellos "toma prestado" una unidad al 'dígito' (bit) de la izquierda.

¹⁷ Error matemático, división por cero

TABLA 3.3 INSTRUCCIONES ARITMETICAS

NEMOTECNICO	OPERACION	DIRECCIONAMIENTO				CICLOS DE MAQUINA
		DIR	IND	REG	INM	
ADD A,<byte>	A=A + <byte>	X	X	X	X	1
ADDC A,<byte>	A=A + <byte> + C	X	X	X	X	1
SUBB A,<byte>	A=A - <byte>	X	X	X	X	1
INC A	A=A + 1	ACUMULADOR				1
INC <byte>	<byte> = <byte> +1	X	X	X		1
INC DPTR	DPTR = DPTR +1	DPTR				2
DEC A	A=A - 1	ACUMULADOR				1
DEC <byte>	<byte> = <byte> - 1	X	X	X		1
MUL AB	B:A = B*A	ACUMULADOR Y B				4
DIV AB	A= Int (A/B) B= Mod (A/B)	ACUMULADOR Y B				4
DA A	Ajuste decimal en A	ACUMULADOR				1

3.2.3 Instrucciones lógicas:

La tabla 3.4 consigna las ordenes lógicas que reconoce el 8051, indicando también los modos de direccionamiento disponibles en cada una de ellas. En estas ordenes las operaciones se efectúan bit a bit.

En las instrucciones de rotación los bits que salen del acumulador entran por el extremo opuesto, no se pierden.

La orden SWAP intercambia entre si los cuatro bits menos significativos del acumulador con los más significativos.

TABLA 3.4 INSTRUCCIONES LOGICAS

NEMOTECNICO	OPERACION	DIRECCIONAMIENTO				CICLOS DE MAQUINA
		DIR	IND	REG	INM	
ANL A,<byte>	A=A AND <byte>	X	X	X	X	1
ANL <byte>,A	<byte>=<byte>AND A	X				1
ANL A,#data	<byte>=<byte>AND#data	X				2
ORL A,<byte>	A=A OR <byte>	X	X	X	X	1
ORL <byte>,A	<byte>=<byte>OR A	X				1
ORL A,#data	<byte>=<byte>OR#data	X				2
XRL A,<byte>	A=A XOR <byte>	X	X	X	X	1
XRL <byte>,A	<byte>=<byte>XOR A	X				1
XRL A,#data	<byte>=<byte>XOR#data	X				2
CLR A	A = 00h	ACUMULADOR				1
CPL A	A = NOT A	ACUMULADOR				1
RL A	Rota A un bit a izquierda	ACUMULADOR				1
RLC A	Rota A con carry a izquierda	ACUMULADOR				1
RR A	Rota A un bit a derecha	ACUMULADOR				1
RRC A	Rota A con carry a derecha	ACUMULADOR				1
SWAP A	Intercambia los cuatro bits inferiores de A con los cuatro bits superiores de a	ACUMULADOR				1

3.2.4 Instrucciones de control de flujo:

La tabla 3.5 muestra las instrucciones de saltos condicionales, incondicionales y de llamado a subrutinas que reconoce el 8051. Las instrucciones SJMP, AJMP y LJMP son saltos que difieren en el formato en que especifica la dirección de salto:

'SJMP rel addr' (Short Jump, Salto Corto) es una instrucción de dos bytes, el primero de los cuales es 80h y el segundo es el 'offset relativo'. La dirección del salto se calcula como la suma en complemento a 2 del PC (Contador de Programa) más 2 y más el valor de 'rel addr'. De esta forma, se puede saltar en un rango que va desde

127 bytes antes de la instrucción hasta 128 bytes después de la misma.

'AJMP' (Absolute Jump, Salto Absoluto) es una instrucción de dos bytes con la forma

a10 a9 a8 0 0 0 0 1 a7 a6 a5 a4 a3 a2 a1 a0

en donde ax es el bit x de la dirección del salto; los bits a11 hasta a15 son los del Contador de Programa después de haber sido incrementado en dos. De allí que la dirección de salto debe estar en el mismo bloque de 2Kbytes de la instrucción.

'LJMP' (Long Jump, Salto Largo) es una instrucción de tres bytes, el primero de los cuales es 02h, y los otros dos especifican los 16 bits de la dirección del salto (el segundo contiene los 8 bits más significativos y el tercero los menos significativos). Con esta instrucción se puede saltar a cualquiera de los 64 Kbytes que maneja la CPU.

Adicionalmente, la instrucción JMP @A + DPTR permite saltar a una dirección especificada en forma indexada.

Los llamados a subrutinas ACALL y LCALL son saltos similares a AJMP y LJMP respectivamente, pero que guardan en la pila el valor del PC antes del salto. Este valor es recuperado con la instrucción RET (o RETI si se trata de una interrupción), con la que la CPU retorna a la instrucción inmediatamente siguiente a la que llamo a la subrutina.

La forma de la instrucción (ACALL) es la siguiente:

a10 a9 a8 1 0 0 0 1 a7 a6 a5 a4 a3 a2 a1 a0

Las instrucciones condicionales especifican la dirección del salto con un offset relativo, similar al que usa SJMP. Las condiciones para que suceda el salto son las siguientes:

JZ: Salta si el acumulador es cero.¹⁸

JNZ : Salta si el acumulador no es cero.

DJNZ : Salta si un dato direccionado en forma directa o por registro no es cero después de ser decrementado en 1.

CJNE A : Salta si el acumulador no es igual a un dato direccionado en forma directa o inmediata.

CJNE : Salta si un dato direccionado por registro o en forma indirecta no es igual a un dato direccionado en forma inmediata.

La instrucción CJNE altera el valor del bit C ('Carry' PSW.7, D0.7, dirección de bit D7) de la siguiente manera: si el primer byte es menor que el segundo, el bit C toma el valor '1', de lo contrario toma el valor '0'; para hacer la comparación, los dos bytes se consideran como datos sin signo.

¹⁸ Para información sobre instrucciones de salto condicional que dependen del valor de un bit, ver 3.3 Instrucciones lógicas.

TABLA 3.5 INSTRUCCIONES DE CONTROL, DE FLUJO

NEMOTECNICO	OPERACION	DIRECCIONAMIENTO				CICLOS DE MAQUINA
		DIR	IND	REG	INM	
SJMP, AJMP, LJMP addr	Salte a addr					2
JMP @A+DPTR	Salte a A + DPTR					2
ACALL, LCALL addr	Llame la subrutina en addr					2
RET	Retorno de subrutina					2
RETI	Retorno de interrupción					2
NOP	Ninguna operación					1
JZ rel	Salte si A=0	ACUMULADOR				2
JNZ rel	Salte si A < > 0	ACUMULADOR				2
DJNZ <byte>,rel	Decremento y salte si <byte> no es cero	X		X		2
CJNE A,<byte>,rel	Salte si A < > <byte>	X			X	2
CJNE <byte>,#data<rel	Salte de <byte> <> #data		X	X		2

3.2.5 Instrucciones booleanas:

Este conjunto de instrucciones operan sobre bits independientes y no sobre bytes. El papel del acumulador lo cumple el 'Carry' (bit C o CY; PSW.7, D0.7, dirección de bit D7).

Los bits con dirección propia están ubicados en dos zonas de memoria interna de datos¹⁹ (ver numeral 2.2.2): bits 00h a 7Fh: en los bytes con direcciones 20h a 2Fh.

¹⁹ Nótese que estos bits no ocupan un espacio físico distinto a la memoria interna de datos, y por lo tanto es posible leerlos o escribir en ellos usando instrucciones que operen sobre bytes.

bits 80h a FFh: en los SFR's cuya dirección termina en 0h o en 8h (ver figura 2.3).

La tabla 3.6 resume las instrucciones booleanas, que pueden ser de transferencia de datos, lógicas o de control de flujo.

TABLA 3.6 INSTRUCCIONES BOOLEANAS

NEMOTECNICO	OPERACION	CICLOS DE MAQUINA
ANL C,bit	$C = C \text{ AND bit}$	2
ANL C,-bit	$C = C \text{ AND NOT bit}$	2
ORL C,bit	$C = C \text{ OR bit}$	2
ORL C,-bit	$C = C \text{ OR NOT bit}$	2
MOV C,bit	$C = \text{bit}$	1
MOV bit,C	$\text{bit} = C$	2
CLR C	$C = 0$	1
CLR bit	$\text{bit} = 0$	1
SETB C	$C = 1$	1
SETB bit	$\text{bit} = 1$	1
CPL C	$C = \text{NOT } C$	1
CPL bit	$\text{bit} = \text{NOT bit}$	1
JC rel	Salte si $C = 1$	2
JNC rel	Salte si $C = 0$	2
JB bit,rel	Salte si $\text{bit} = 1$	2
JNB bit,rel	Salte si $\text{bit} = 0$	2
JBC bit,rel	Salte si $\text{bit} = 1$; CLR bit	2

3.3 Implementación de estructuras lógicas:

La programación estructurada es una metodología de diseño e implementación de software ampliamente usada en lenguajes de alto nivel.

4. HERRAMIENTAS DE DESARROLLO

Se han construido para las prácticas una tarjeta que permite no sólo probar las características básicas del 8051, sino que también sirve como herramienta de desarrollo para diseñar y fabricar equipo basado en microcontroladores de la familia 8051.

Esta tarjeta está acompañada de software para un PC con arquitectura AT o superior, que permite escribir programas en lenguaje hexadecimal y transmitirlos a la tarjeta, en donde existe un software de comunicaciones, que recibe dichos programas, e inmediatamente los ejecuta.

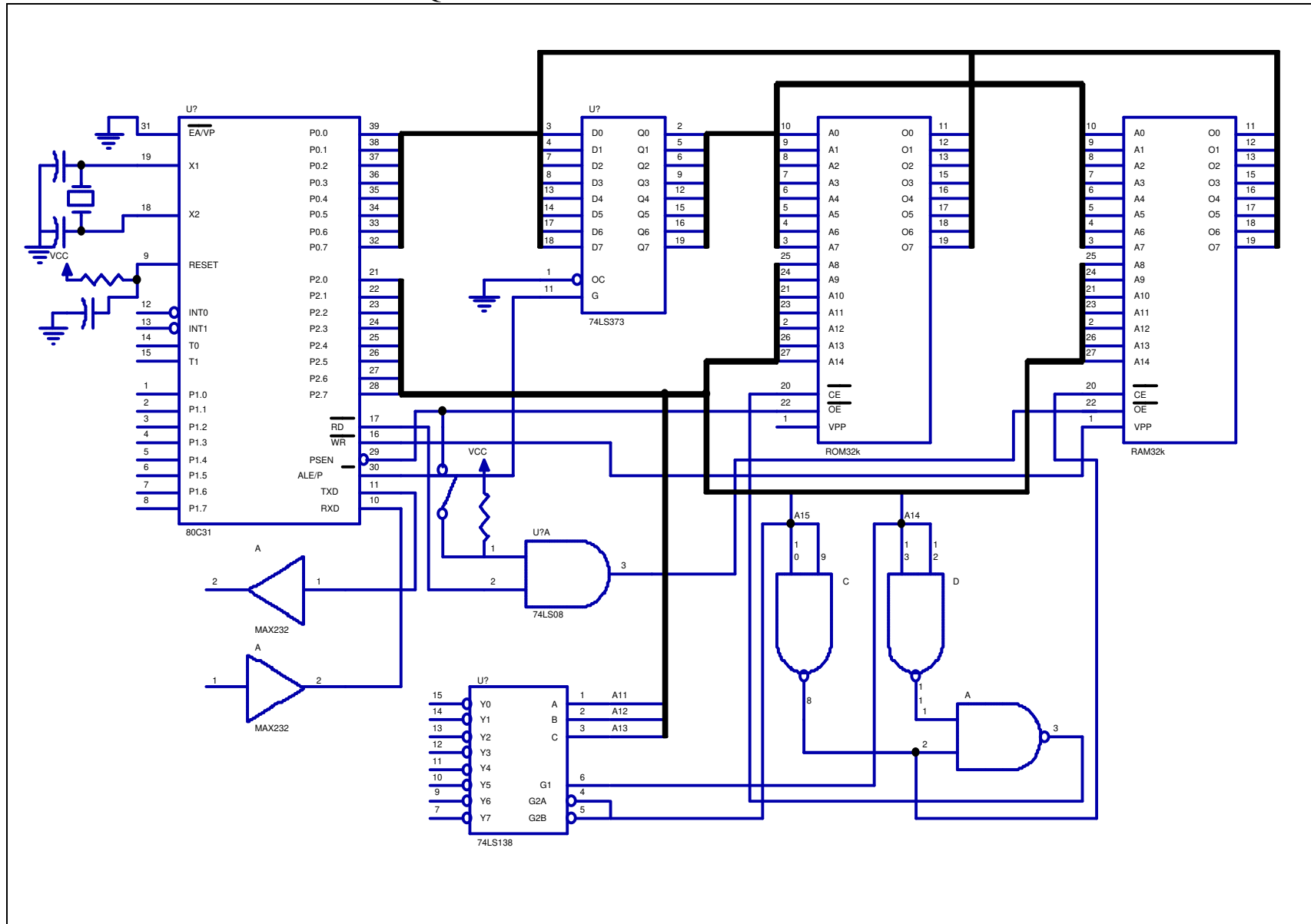
4.1 Tarjeta UEC8031:

Esta tarjeta aloja un microcontrolador 8031, que trabaja con un cristal de 11.059mhz, 2 Kbytes de memoria ROM removible, 2 Kbytes de memoria RAM y una interfaz de comunicación serial; tambien organiza los buses de datos, direcciones y control; los pines del puerto 1 se ubican en un conector accesible al usuarioque incluye además las señales de alimentación; (ver figura 4.1). La tarjeta requiere una alimentación externa de 5 Voltios, entre los terminales marcados como 'GND' y 'Vcc'.

En esta tarjeta se han ubicado también 8 leds (con sus respectivas resistencias limitadoras) que se pueden conectar al puerto P1 mediante el cable suministrado para tal efecto. En estas condiciones, un '1' en un bit del puerto

P1 apaga un led, y un '0'lo enciende. El usuario puede sin embargo emplear libremente el puerto P1 para su aplicación específica, bien sea para salida o para entrada de datos.

FIGURA 4.1 ESQUEMA ELECTRICO DE LA TARJETA PRINCIPAL



La figura 4.2 muestra el mapa de memoria de la tarjeta. La memoria ROM ocupa los 2 Kbytes inferiores de memoria de programa (0000h a 07FFh). Allí está archivado el programa que permite al microcontrolador ser programado desde un PC.

Los programas que recibe los archiva en la memoria RAM, razón por la cual ésta debe ser a la vez memoria de datos y de programa. En ambos casos ocupa los 2 Kbytes que inician en la segunda mitad del mapa de memoria (8000h a 87ffh). Debe notarse sin embargo que la señal -RD del microcontrolador no llega a la memoria RAM, por lo tanto para leer el contenido de ésta debe usarse la instrucción MOVC.

La interfaz de comunicación acepta niveles de voltaje EIA, a través de un conector de 9 pines. Para conectar un PC con tarjeta de comunicación serial en estándar RS232, debe usarse un cable como el que muestra la figura 4.3.

El usuario puede remover la memoria ROM y colocar allí su propia memoria quemada con algún programa.

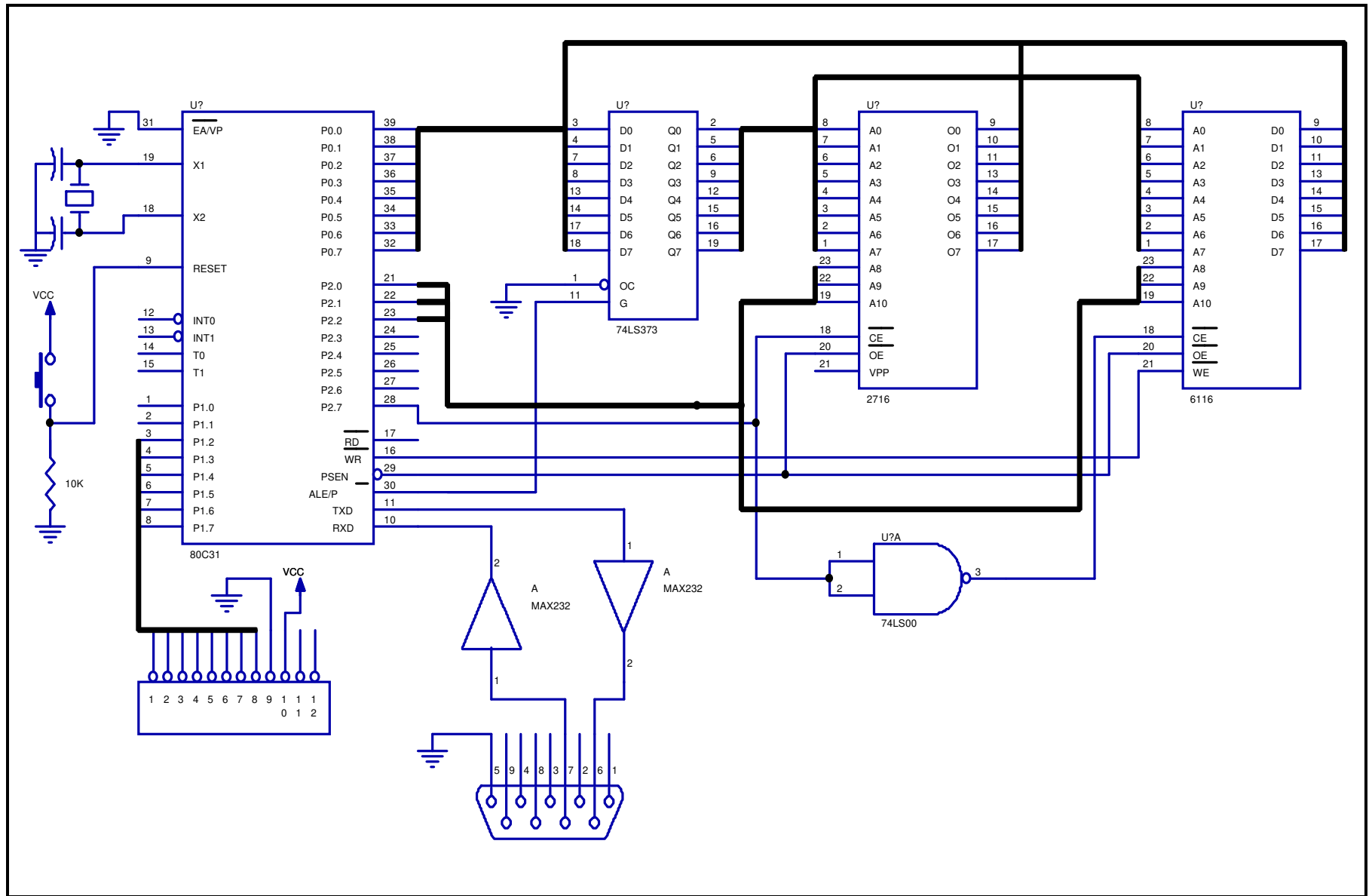


FIGURA 4.1 TARJETA DE DESARROLLO UEC-8031

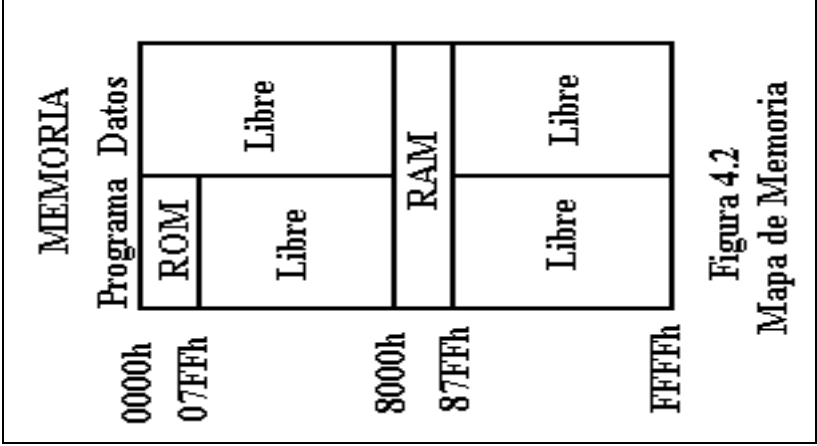
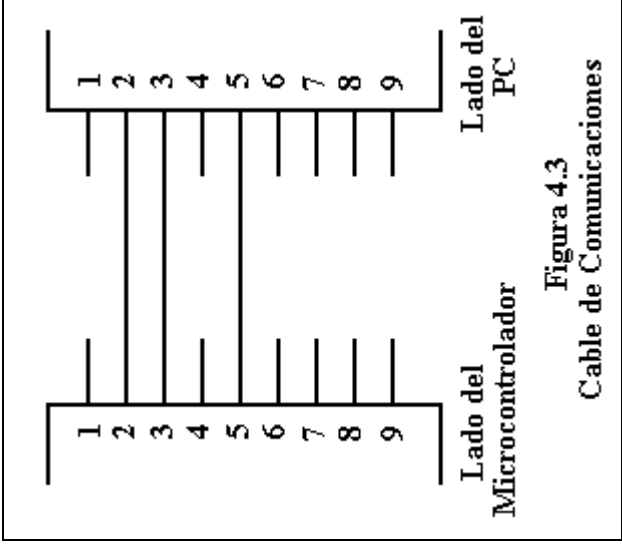


Figura 4.2
Mapa de Memoria



4.2 Software para PC:

4.2.1 Programa UEC8031:

El programa UEC8031 es un editor de lenguaje hexadecimal, que incluye una rutina de comunicaciones especialmente diseñada para la tarjeta principal.

Algunas características específicas del programa son:

Las direcciones en que se puede trabajar coinciden con el espacio de memoria RAM de la tarjeta, es decir, de 8000h a 87FFh (ver figura 4.2)

Incluye un menú de ayudas con la explicación de las distintas acciones que se ejecutan al presionar las teclas de funciones válidas.

Contiene un segundo menú de ayudas en el que se incluye el listado de instrucciones del 8031 por orden de código, semejante a la tabla 3.1

Permite almacenar en disco programas escritos en el editor, o fracciones de él, y posteriormente recuperarlos en cualquier dirección válida.

La navegación es sencilla, gracias a la implementación de las teclas PgDw, PgUp, Home, End, así como la posibilidad de salto directo a cualquier dirección válida que especifique el usuario.

La comunicación con la tarjeta principal es directa, ya que el programa le permite al usuario seleccionar entre el puerto serial 1 o 2 para efectuar la comunicación, preparándolo con los parámetros necesarios, y manejan el protocolo adecuado.

La comunicación es de doble vía para permitir una verificación de la transmisión que efectúa el programa, y que el usuario puede observar. La transmisión puede interrumpirse abruptamente por el usuario presionando una tecla cualquiera.

4.7.2 Programa CONVIERT:

Existen varios formatos para guardar en disco los programas desarrollados para el microcontrolador 8031. El programa CONVIERT puede leer archivos con tres formatos distintos, para crear nuevos archivos que contengan la misma información, en cualquiera de los mismos tres formatos. Los formatos que maneja el programa son¹:

- Formato INTEL HEX, desarrollado por Intel, y usado por la mayoría de los compiladores para 8031, de lenguajes Assembler y C.
- Formato UEC desarrollado por el autor para emplearlo en el programa UEC8031.
- Formato binario, empleado por varios programas para grabar memorias EPROM.

El programa CONVIERT verifica los formatos de los archivos a convertir, cuando ello es posible, e interrumpe la conversión en caso de encontrar errores.

El tamaño máximo de programa que se puede convertir es de 64^{ii} , que por otra parte, es el tamaño máximo que puede manejar el microcontrolador 8031 debido a que su bus de direcciones es de 16 bits.

4.3 Software para el microcontrolador:

En la memoria ROM de la tarjeta está alojado un programa que cumple las siguientes funciones:

Programa los SFR's necesarios para tener una comunicación serial manejada por interrupciones a 2400 baudios, con 8 bits de datos, un bit de arranque y un bit de parada.

Espera la llegada de dos bytes a través del puerto serial, que especifican el tamaño del programa que deberá recibir y luego ejecutar. Al recibir cada byte también debe transmitirlo al PC para que éste verifique que la transmisión ha sido correcta. El primer byte en ser recibido es el menos significativo.

Entra en un ciclo que se ejecuta tantas veces como se lo hayan especificado los dos bytes iniciales; en cada ciclo espera la llegada de un dato vía puerto serial, y una vez lo recibe lo retransmite al PC para

su verificación, y lo escribe en la memoria RAM de la tarjeta principal en una dirección que se incrementa en uno cada ciclo, y que comienza en 8000h.

El programa también incluye las instrucciones necesarias para que el usuario tenga libre acceso a las interrupciones del microcontrolador.

De esta forma, para que el microcontrolador ejecute algún programa, el usuario debe:

- 1) Llevar el programa al editor del CEIF-8031, bien sea escribiéndolo o cargando algún archivo.
- 2) Presionar el pulsador de la tarjeta principal para generar una señal de Reset, asegurándose de que el cable de comunicaciones esté previamente conectado.
- 3) Emplear la función de transmisión del programa UEC8031 (tecla F7) seleccionando el puerto serial del PC que esté en uso. Al recibir el mensaje "Transmisión concluida", el microcontrolador habrá iniciado ya la ejecución del programa.

4.4 Manejo de interrupciones:

El vector de interrupciones del microcontrolador apunta a una zona de memoria ocupada por la ROMⁱⁱⁱ; en las direcciones de dicho vector se han incluido sendos saltos a nuevas zonas de memoria ocupadas por la RAM, para que allí se coloquen las rutinas de atención diseñadas por el usuario. Las nuevas direcciones están exactamente

desplazadas 32K (8000h), de forma tal que para los programas escritos con el editor UEC8031, ocupan una posición relativa al origen igual a la del microcontrolador^{iv}. Por lo tanto el nuevo vector de interrupciones está dado por la tabla 4.1

Tabla 4.1

FUENTE DE INTERRUPCION	DIRECCION DE LA RUTINA
IE0	8003h
TFO	800Bh
IE1	8013h
TF1	801Bh
RI+TI	8023h

La interrupción serial (RI+TI) tiene un manejo especial, ya que es usada para la comunicación con el PC. SI el usuario quiere emplear una rutina propia para atender la interrupción serial, debe asegurarse que el bit cuya dirección es 00h tenga el valor '0', porque de lo contrario se ejecutará la rutina almacenada en ROM; el funcionamiento de esta rutina es el siguiente:

Verifica si el llamado se produce por Recepción (RI) o por Transmisión (TI) de datos.

Si se trata de una recepción, lee el contenido del buffer, lo escribe en el Registro R7, y limpia el bit RI y el bit cuya dirección es 01rh.

Si se trata de una transmisión, limpia el bit TI.

Ejecuta una orden RETI (Retorno de Interrupción).

Al emplear la rutina de atención a interrupción serial almacenada en ROM, recae sobre el usuario la responsabilidad de programar adecuadamente los SFR's necesarios, tanto del puerto serial como del manejador de interrupciones y de los temporizadores, si fuese necesario.

4. HERRAMIENTAS DE DESARROLLO

Se han construido para las prácticas varias tarjetas que permiten no sólo probar las características básicas del 8051, sino que también sirven como herramienta de desarrollo para diseñar y fabricar equipo basado en microcontroladores de la familia 8051.

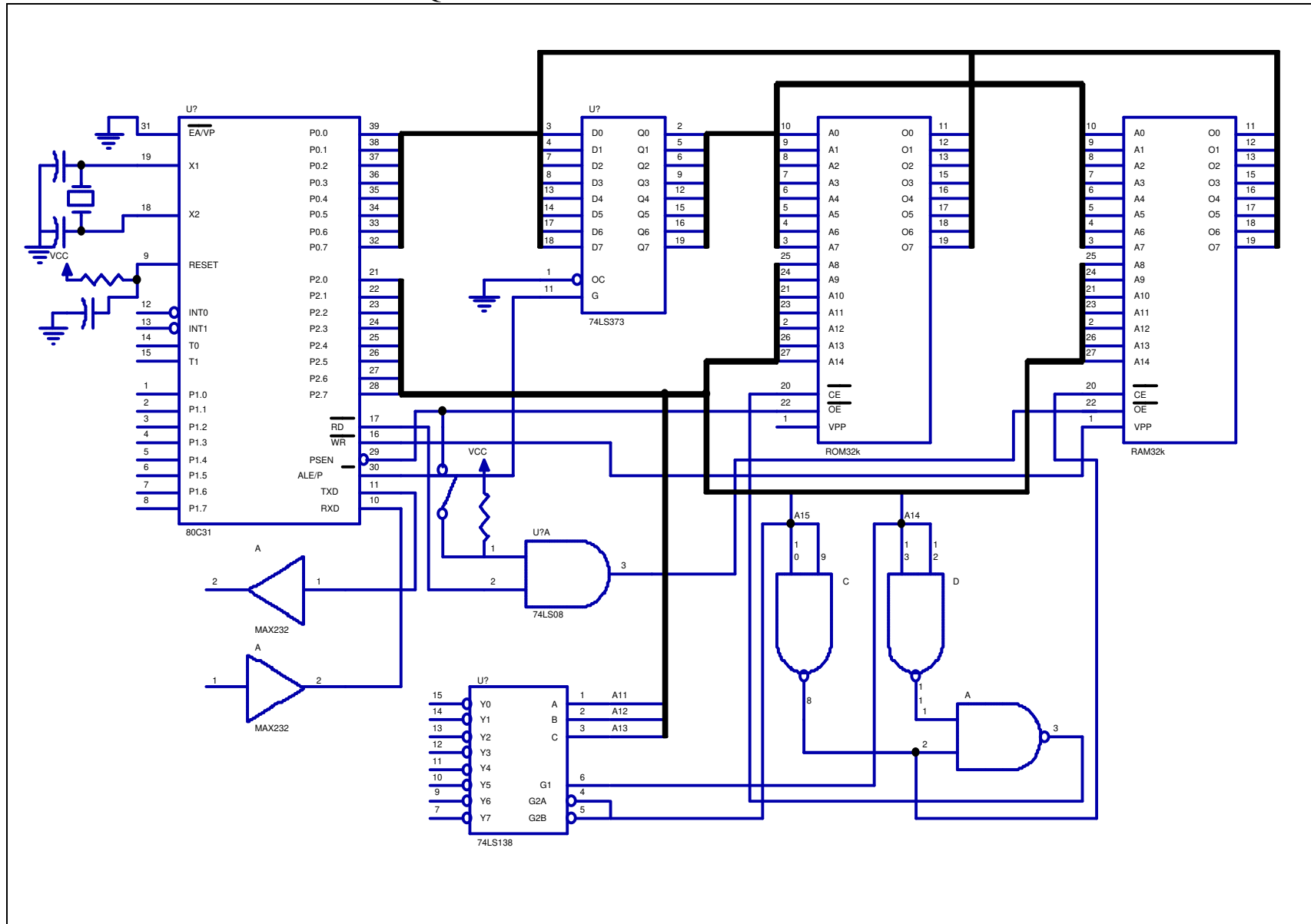
En total son seis tarjetas que permiten tener un sistema microcontrolado, programable desde PC, con teclado de 12 funciones, pantalla alfanumérica de 4 caracteres, 8 señales digitales aisladas y acopladas ópticamente, un conversor análogo a digital y un conversor digital a análogo.

Estas tarjetas están acompañadas de software para un PC con arquitectura AT o superior, que permite escribir programas en lenguaje hexadecimal y transmitirlos a la tarjeta, en donde existe un software de comunicaciones, que recibe dichos programas, e inmediatamente los ejecuta.

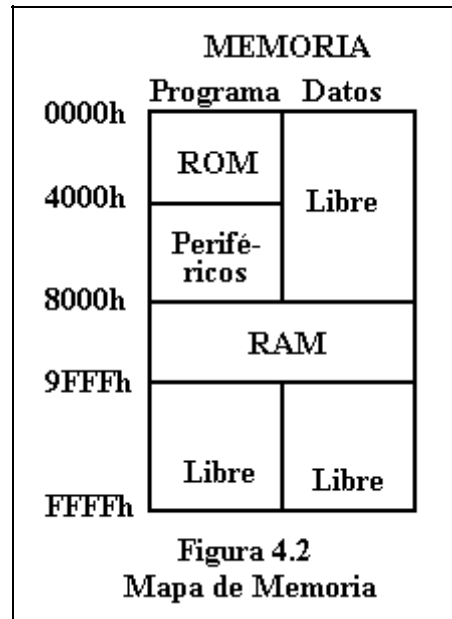
4.1 Tarjeta Principal:

Esta tarjeta aloja un microcontrolador 8031, 16 Kbytes de memoria ROM removible, 32 Kbytes de memoria RAM, un decodificador de direcciones y una interfaz de comunicación serial; también organiza los buses de datos, direcciones y control, y los ubica en conectores accesibles al usuario (ver figura 4.1).

FIGURA 4.1 ESQUEMA ELECTRICO DE LA TARJETA PRINCIPAL

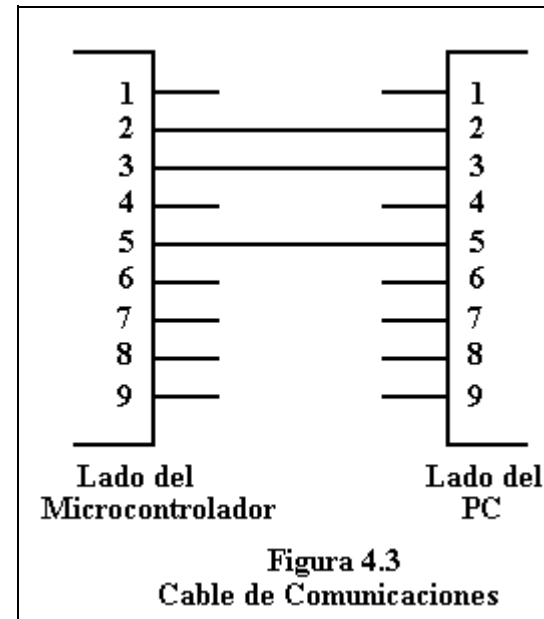


La figura 4.2 muestra el mapa de memoria de la tarjeta. La memoria ROM ocupa los 16 Kbytes inferiores de memoria de programa (0000h a 3FFFh). Allí está archivado el programa que permite al microcontrolador ser programado desde un PC.



El usuario puede remover la memoria ROM y colocar allí su propia memoria quemada con algún programa; en este caso quizás desee que la memoria RAM ocupe sólo espacio en la memoria de datos, para lo cual debe colocar el dip switch en su posición de abierto (ver figura 4.4).

Los programas que recibe los archiva en la memoria RAM, razón por la cual ésta debe ser a la vez memoria de datos y de programa. En ambos casos ocupa los 8 Kbytes que inician en la segunda mitad del mapa de memoria (8000h a 9FFFh).



El decodificador de direcciones ocupa 16 Kbytes de la memoria de datos (4000h a 7FFFh), aunque sólo decodifica ocho direcciones, así:

Conversor D/A : 4000h a 47FFh
Conversor A/D : 4800h a 4FFFh
Teclado : 5000h a 57FFh
Pantalla1 (10^0) : 5800h a 5FFFh
Pantalla2 (10^1): 6000h a 67FFh
Pantalla3 (10^2): 6800h a 6FFFh
Pantalla4 (10^3): 7000h a 77FFh
Disponible : 7800h a 7FFFh

La dirección 'Disponible' es de libre uso por el usuario. Las direcciones 'Pantalla1' y 'Pantalla2' también pueden configurarse como de libre uso, sin que la pantalla pierda capacidad alguna (ver numeral 4.4)

La interfaz de comunicación acepta niveles de voltaje EIA, a través de un conector de 9 pines. Para conectar un PC con tarjeta de comunicación serial en estándar RS232, debe usarse un cable como el que muestra la figura 4.3.

Los conectores de la tarjeta se muestran en la figura 4.4 y tienen las siguientes funciones:

C0a : Conexión de la tarjeta de teclado
C1a : Conexión de la tarjeta de conversión A/D
C2a : Conexión de la tarjeta de conversión D/A
C3a : Conexión de las direcciones para la tarjeta de pantalla
C4a : Conexión del bus de datos para la tarjeta de pantalla
C5a : Conexión de la tarjeta de aislamiento óptico
C6a : Conexión de PC a través de puerto serial
C7a : Alimentación de CA 6-0-6 VRMS

Adicionalmente, el usuario puede colocar conectores en los siguientes sitios, para acceder los buses internos:

C8 : Bus de datos, -RD, -WR, -Lea RAM y -PSEN
C9 : T0 (P3.4), -Int1 (P3.3)
C10 : +Vcc, GND, Dirección '-Disponible'
C11 : Bus de direcciones A0 - A7
C12 : Bus de direcciones A8 - A15

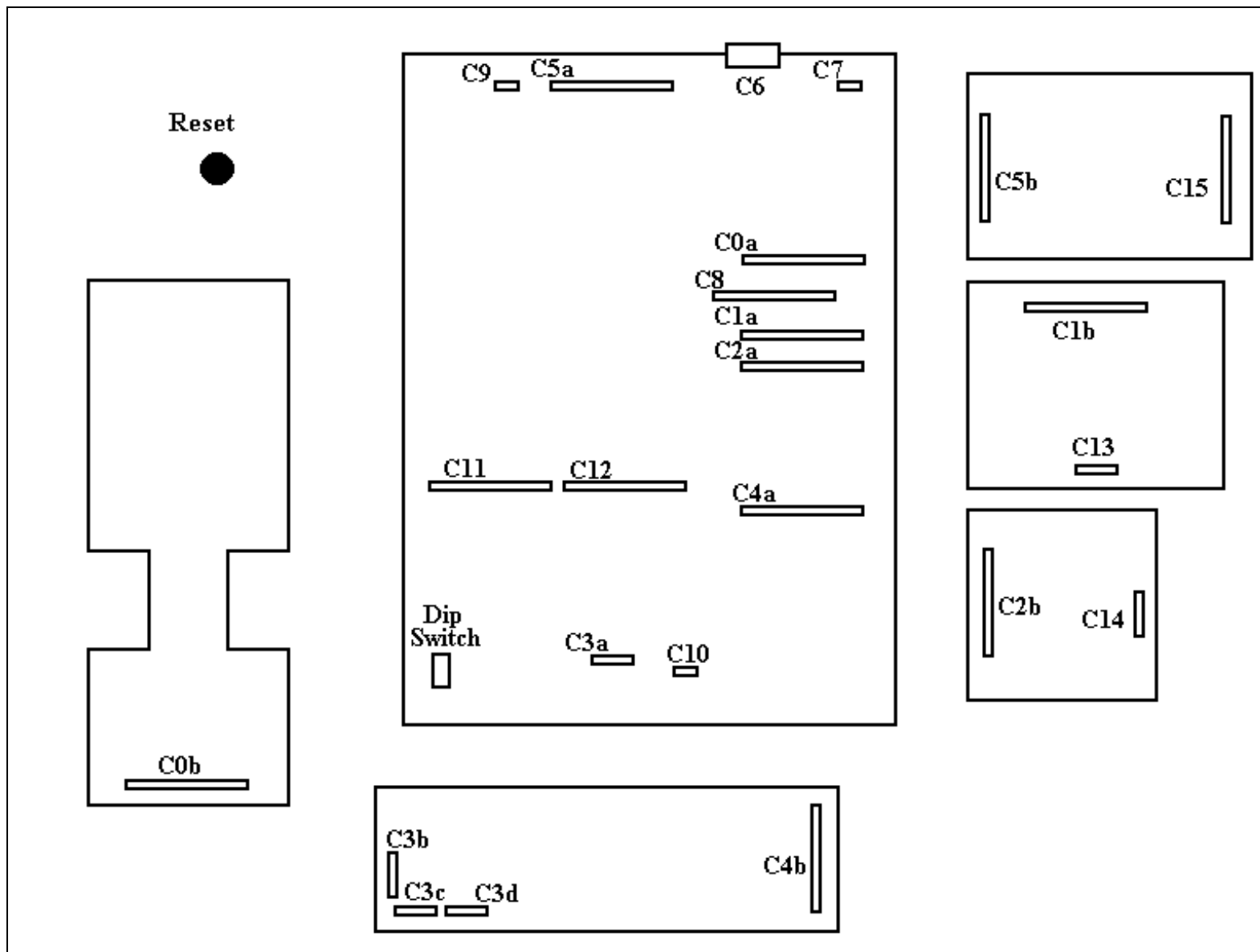


Figura 4.4 Conectores

4.2 Tarjeta de aislamiento óptico:

Se ha tomado el puerto 1 del microcontrolador para que maneje 8 optoaisladores. La salida del optoaislador requiere alimentación externa; se trata de un optotransistor (MCT6) con resistencia de 'Pull Up' de 1 K_Ω. El máximo voltaje de Colector a Emisor que admite el MCT6 es de 40V.

La Tabla 4.1 muestra las funciones de los pines de los dos conectores de esta tarjeta.

Tabla 4.1

No. de pin	C5a	C5b	C15
1	Vcc	Vcc	-
2	GND	GND	-
3	-	-	Vcc externo
4	-	-	GND externo
5	P1.0	P1.0	P1.0 aislado
6	P1.1	P1.1	P1.1 aislado
7	P1.2	P1.2	P1.2 aislado
8	P1.3	P1.3	P1.3 aislado
9	P1.4	P1.4	P1.4 aislado
10	P1.5	P1.5	P1.5 aislado
11	P1.6	P1.6	P1.6 aislado
12	P1.7	P1.7	P1.7 aislado

4.3 Tarjeta de teclado:

Esta tarjeta recibe la señal proveniente de un conector de membrana de 12 funciones, y la codifica en 4 bits usando un montaje de 2 74LS148 y un 74LS08 . De esta forma se tiene el valor numérico de la tecla pulsada; a la tecla '*' se le asignó el valor Ah y a la tecla '#' Bh^v.

El montaje también proporciona una señal de solicitud de interrupción (-Int0) que se activa ('0') mientras está presionada una tecla. Por eso, la interrupción debe configurarse para que detecte nivel, y la rutina de atención debe incluir al final un ciclo que verifique el estado del pin -Int0 (P3.2) y del cual salga sólo cuando éste sea '1'.

La tabla 4.2 muestra las funciones de los pines del conector.

Tabla 4.2

No. de pin	C2a	C2b
1	Vcc	Vcc
2	GND	GND
3	-CS2	-CS2
4	-	-
5	D0	D0
6	D1	D1
7	D2	D2
8	D3	D3
9	D4	-
10	D5	-
11	D6	-
12	-Int0	-Int0

4.4 Tarjeta de pantalla:

La pantalla tiene posibilidad de desplegar 4 caracteres alfanuméricos, recibidos en código ASCII de 7 bits (los 7 bits menos significativos del bus de datos). La tarjeta cuenta con 4 dip switch, de los cuales sólo tres tienen uso: BLI, BLO y LT, cuyas funciones son:

BLI y BLO: controlan la intensidad lumínica de la pantalla según la tabla 4.3

Tabla 4.3

BLI	BLO	Intensidad
0	0	blanco
0	1	media
1	0	media
1	1	total

LT : (Lamp Test) permite verificar el estado de todos los leds de la pantalla.

Existen dos formas para direccionar cada uno de los caracteres:

Usando 4 señales de -CS: Se emplea el conector 1 y se dejan abiertos los jumpers. Las direcciones de cada uno de los caracteres son:

10^0 : 5800h - 5FFFh

10^1 : 6000h - 67FFh

10^2 : 6800h - 6FFFh

10^3 : 7000h - 77FFh

Usando 2 señales de -cs y el octavo bit del bus de datos: Se emplea el conector C3c y se dejan

cerrados los jumpers. Las direcciones no usadas son disponibles por el usuario y están accesibles en el conector C3d. El dígito se especifica con una dirección y el octavo bit de datos (D7) según la siguiente tabla:

10^0 : 6800h - 6FFFh ; D7=0

10^1 : 6800h - 6FFFh ; D7=1

10^2 : 7000h - 77FFh ; D7=0

10^3 : 7000h - 77FFh ; D7=1

La tabla 4.4 muestra las funciones de los pines del conector.

Tabla 4.4

Pin	C4a	C4b	C3a	C3b	C3c	C3d
1	Vcc	Vcc	-CS3	-CS3	-CS3	-CS3
2	GND	GND	-CS4	-CS4	-CS4	-CS4
3	-	-	-CS5	-CS5	-CS5	
4	-WR	-WR	-CS6	-CS6	-CS6	
5	D6	D0				
6	D5	D1				
7	D4	D2				
8	D3	D3				
9	D2	D4				
10	D1	D5				
11	D0	D6				
12	D7	D7				

4.5 Tarjeta de conversión D/A:

El conversor digital a análogo empleado es el DAC0830, trabajando con sólo uno de los dos registros que posee, en conjunto con un amplificador operacional LM308 (Ver figura 4.9). El tiempo de respuesta de este conversor es de 1 μ s. El voltaje de referencia con el que trabaja el conversor es el mismo voltaje de alimentación (5V).

La tabla 4.5 muestra las funciones de los pines de los conectores.

Tabla 4.5

No. de pin	C2a	C2b
1	Vcc	Vcc
2	GND	GND
3	-CS1	-CS0
4	-WR	-WR
5	D0	D0
6	D1	D1
7	D2	D2
8	D3	D3
9	D4	D4
10	D5	D5
11	D6	D6
12	D7	D7

4.6 Tarjeta de conversión A/D:

El conversor análogo a digital empleado es un CA3162, diseñado para convertir voltajes en el rango de -99mV a 999mV y manejar una pantalla a través de un conversor de BCD a 7 segmentos, desplegando la lectura en milivoltios. Las salidas digitales del conversor son:

4 bits que codifican en BCD cada uno de los 3 dígitos.
3 bits que identifican qué dígito sale por los 4 bits anteriores.

El microcontrolador debe entonces leer repetidamente en la dirección del conversor A/D (4800h - 4FFFh) hasta lograr capturar los tres dígitos. En el bus de datos los bits se leen así:

D0 : BCD 2^3

D1 : BCD 2^2

D2 : BCD 2^1

D3 : BCD 2^0

D4 : Dígito medio

D5 : Dígito más significativo

D6 : Dígito menos significativo

- : T1 (P3.5)

T1 es una entrada a la tarjeta, que permite controlar en pin Hold del conversor; este pin opera según la tabla 4.6:

Tabla 4.6

Voltaje en pin Hold	Operación
5V	Conversión a 96Hz
2.5V	Espera
0V	Conversión a 4 Hz

El estado de espera permite detener la conversión para efectuar la lectura del conversor.

Para realizar conversiones a 96 Hz debe procederse así:

Jumper 1 : abierto
 Jumper 2 : cerrado
 si T1 = 0 opera en Espera
 si T1 = 1 opera a 96 Hz

Para realizar conversiones a 4 Hz debe procederse así:

Jumper 1 : cerrado
 Jumper 2 : abierto
 si T1 = 0 opera en Espera
 si T1 = 1 opera a 4 Hz

Una rutina de lectura del conversor A/D operando a 4Hz puede tener la siguiente estructura:

Hacer T1 = 1
Leer A/D 'asegura que se realice una conversión'
Aguardar tiempo de conversión 'usar T0'
Hacer T1 = 0
Leer A/D 'coloca el conversor en espera'
Mientras falte un dígito por leer haga
 Leer conversor A/D
 Detectar qué dígito se leyó

Existen dos resistencias variables que permiten ajustar el conversor:

RV1 : de 50 KOhm, ajuste de cero
 RV2 : de 10 K Ohm, ajuste de ganancia

La tabla 4.7 muestra las funciones de los pines de los conectores.

Tabla 4.7

No. de pin	C1a	C1b
------------	-----	-----

1	Vcc	Vcc
2	GND	GND
3	-CS0	-CS1
4	-RD	-
5	D0	2 ³
6	D1	2 ²
7	D2	2 ¹
8	D3	2 ⁰
9	D4	NSD
10	D5	MSD
11	D6	LSD
12	T1	T1

4.7 Software para PC:

4.7.1 Programa Ceif-8031:

El programa Ceif-8031 es un editor de lenguaje hexadecimal, que incluye una rutina de comunicaciones especialmente diseñada para la tarjeta principal.

Algunas características específicas del programa son:

Las direcciones en que se puede trabajar coinciden con el espacio de memoria RAM de la tarjeta, es decir, de 8000h a 9FFFh (ver figura 4.2)

Incluye un menú de ayudas con la explicación de las distintas acciones que se ejecutan al presionar las teclas de funciones válidas.

Contiene un segundo menú de ayudas en el que se incluye el listado de instrucciones del 8031 por orden de código, semejante a la tabla 3.1

Permite almacenar en disco programas escritos en el editor, o fracciones de él, y posteriormente recuperarlos en cualquier dirección válida.

La navegación es sencilla, gracias a la implementación de las teclas PgDw, PgUp, Home, End, así como la posibilidad de salto directo a cualquier dirección válida que especifique el usuario.

La comunicación con la tarjeta principal es directa, ya que el programa prepara los parámetros necesarios del puerto serial seleccionado por el usuario (1 o 2), y maneja el protocolo de forma transparente para él.

La comunicación es de doble vía para permitir una verificación de la transmisión que efectúa el programa, y que el usuario puede observar. La transmisión puede interrumpirse abruptamente por el usuario presionando una tecla cualquiera.

4.7.2 Programa CONVIERT:

Existen varios formatos para guardar en disco los programas desarrollados para el microcontrolador 8031.

El programa CONVIERT puede leer archivos con tres formatos distintos, para crear nuevos archivos que contengan la misma información, en cualquiera de los mismos tres formatos. Los formatos que maneja el programa son^{vi}:

- Formato INTEL HEX, desarrollado por Intel, y usado por la mayoría de los compiladores para 8031, de lenguajes Assembler y C.
- Formato UEC desarrollado por el autor para emplearlo en el programa UEC8031, desarrollo previo al CEIF-8031.
- Formato binario, empleado por varios programas para grabar memorias EPROM.

El programa CONVIERT verifica los formatos de los archivos a convertir, cuando ello es posible, e interrumpe la conversión en caso de encontrar errores.

El tamaño máximo de programa que se puede convertir es de 64^{vii}, que por otra parte, es el tamaño máximo que puede manejar el microcontrolador 8031 debido a que su bus de direcciones es de 16 bits.

4.8 Software para el microcontrolador:

En la memoria ROM de la tarjeta está alojado un programa que cumple las siguientes funciones:

Despliega en pantalla los letreros "CEIF" y "8051" durante un tiempo cercano a un segundo.

Programa los SFR's necesarios para tener una comunicación serial manejada por interrupciones a 2400 baudios, con 8 bits de datos, un bit de arranque y un bit de parada.

Espera la llegada de dos bytes a través del puerto serial, que especifican el tamaño del programa que deberá recibir y luego ejecutar. Al recibir cada byte también debe transmitirlo al PC para que éste verifique que la transmisión ha sido correcta. El primer byte en ser recibido es el menos significativo.

Entra en un ciclo que se ejecuta tantas veces como se lo hayan especificado los dos bytes iniciales; en cada ciclo espera la llegada de un dat vía puerto serial, y una vez lo recibe lo retransmite al PC para su verificación, y lo escribe en la memoria RAM de la tarjeta principal en una dirección que se incrementa en una cada ciclo, y que comienza en 8000h.

El programa también incluye las instrucciones necesarias para que el usuario tenga libre acceso a las interrupciones del microcontrolador.

De esta forma, para que el microcontrolador ejecute algún programa, el usuario debe:

1) Llevar el programa al editor del CEIF-8031, bien sea escribiéndolo o cargando algún archivo.

2) Presionar el pulsador de la tarjeta principal para generar una señal de Reset, asegurándose de que el cable de comunicaciones esté previamente concetado.

3) Emplear la función de ltransmisión del programa CEIF-8031 (tecla F7) seleccionando el puerto serial del PC que esté en uso. Al recibir el mensaje "Transmisión concluida", el microcontrolador habrá iniciado ya la ejecución del programa.

4.9 Manejo de interrupciones:

El vector de interrupciones del microcontrolador apunta a una zona de memoria ocupada por la ROM^{viii}; en las direcciones de dicho vector se han incluido sendos saltos a nuevas zonas de memoria ocupadas por la RAM, para que allí se coloquen las rutinas de atención diseñadas por el usuario. Las nuevas direcciones están exactamente desplazadas 32K (8000h), de forma tal que para los programas escritos con el editor CEIF-8031, ocupan una posición relativa al origen igual a la del microcontrolador^{ix}. Por lo tanto el nuevo vector de interrupciones está dado por la tabla 4.8

Tabla 4.8

FUENTE DE INTERRUPCION	DIRECCION DE LA RUTINA
---------------------------	---------------------------

IE0	8003h
TFO	800Bh
IE1	8013h
TF1	801Bh
RI+TI	8023h

La interrupción serial (RI+TI) tiene un manejo especial, ya que es usada para la comunicación con el PC. Si el usuario quiere emplear una rutina propia para atender la interrupción serial, debe asegurarse que el bit cuya dirección es 00h tenga el valor '0', porque de lo contrario se ejecutará la rutina almacenada en ROM; el funcionamiento de esta rutina es el siguiente:

Verifica si el llamado se produce por Recepción (RI) o por Transmisión (TI) de datos.

Si se trata de una recepción, lee el contenido del buffer, lo escribe en el Registro R7, y limpia el bit RI y el bit cuya dirección es 01rh.

Si se trata de una transmisión, limpia el bit TI.

Ejecuta una orden RETI (Retorno de Interrupción).

Al emplear la rutina de atención a interrupción serial almacenada en ROM, recae sobre el usuario la responsabilidad de programar adecuadamente los SFR's necesarios, tanto del puerto serial como del manejador de interrupciones y de los temporizadores, si fuese necesario.

-
- ⁱ El Formato INTEL HEX es el único de los tres que incluye información sobre la dirección en que se aloja el programa.
 - ⁱⁱ Tamaño máximo de programa en el microcontrolador, ya que el archivo en disco puede ser más grande
 - ⁱⁱⁱ Ver numeral 2.6.3 Atención a interrupciones y la tabla 2.7
 - ^{iv} En el numeral 4.8 se explica que el espacio de visión del programa CEIF-8031 va desde 8000h hasta 9FFFh
 - ^v Esto es cierto para los teclados de membrana blancos; en los negros la codificación no corresponde a la tecla pulsada, razón por la cual es necesario trabajar con una tabla de equivalencias.
 - ^{vi} El Formato INTEL HEX es el único de los tres que incluye información sobre la dirección en que se aloja el programa.
 - ^{vii} Tamaño máximo de programa en el microcontrolador, ya que el archivo en disco puede ser más grande
 - ^{viii} Ver numeral 2.6.3 Atención a interrupciones y la tabla 2.7
 - ^{ix} En el numeral 4.8 se explica que el espacio de visión del programa CEIF-8031 va desde 8000h hasta 9FFFh