

# DOCUMENTAÇÃO TRABALHO PRÁTICO 2

*Introdução aos sistemas lógicos*

**João Vitor Soares Santos**

**2023002138**

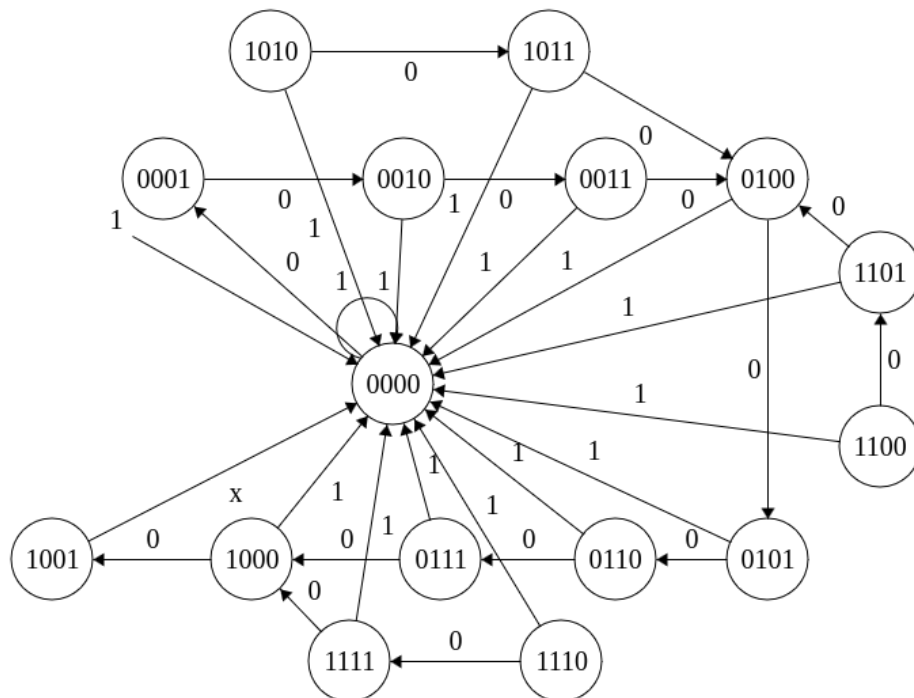
26.06.2024

## INTRODUÇÃO

O objetivo deste trabalho prático foi projetar e implementar um contador síncrono de 4 bits em Verilog. O contador seria usado para um show da Ariana Grande, na grande e recém Arena MRV. Para isso o contador deve ser capaz de contar de zero a nove, e em seguida iniciar sua contagem.

## IMPLEMENTAÇÃO

Podendo ser classificado como uma máquina de moore, o contador primeiramente foi projetado em uma máquina de estados finitos, com exatamente 16 estados, sendo *self-starting*, isso é, independente da entrada inicial do contador ele sempre cairá no loop da sequência de contagem.



Além disso o contador recebe uma entrada *reset*, que redefine o contador independentemente de seu estado para o estado inicial, isso é, o 0000. Ademais, o sinal de *reset* foi implementado de maneira síncrona com o clock, isso é demasiado vantajoso no contexto de um show, em que o contador precisa ser certo não abrindo espaço para erros e *glitches*, e mesmo existindo um atraso por causa disso, esse efeito não é sentido nesse contexto, em um show a diferença de velocidade de alguns milissegundos não é percebida pelos olhos humanos.

Sendo assim o contador foi implementado contendo uma saída de quatro bits, e seus respectivos mapas de *Karnaugh* estão listados abaixo:

### 1º bit mais significativo

### Truth Table

A	B	C	D	F(ABCD)
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	x
1	0	1	1	x
1	1	0	0	x
1	1	0	1	x
1	1	1	0	x

### Karnaugh Map

		AB			
		00	01	11	10
CD	00	0	0	x	1
	01	0	0	x	0
	11	0	1	x	x
	10	0	0	x	x

$$F(ABCD) = A \bar{D} + B C D$$

### 2º bit mais significativo

Truth Table

A	B	C	D	F(ABCD)
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	x
1	0	1	1	x
1	1	0	0	x
1	1	0	1	x
1	1	1	0	x

Karnaugh Map

		AB			
		00	01	11	10
CD	00	0	1	x	0
	01	0	1	x	0
	11	1	0	x	x
	10	0	1	x	x

$$F(ABCD) = B \bar{C} + B \bar{D} + \bar{B} C D$$

3ºbit mais significativo

**Truth Table**

A	B	C	D	F(ABCD)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	x
1	0	1	1	x
1	1	0	0	x
1	1	0	1	x
1	1	1	0	x

**Karnaugh Map**

		AB			
		00	01	11	10
CD	00	0	0	x	0
	01	1	1	x	0
	11	0	0	x	x
	10	1	1	x	x

$$F(ABCD) = C \bar{D} + \bar{A} \bar{C} D$$

4ºbit mais significativo

**Truth Table**

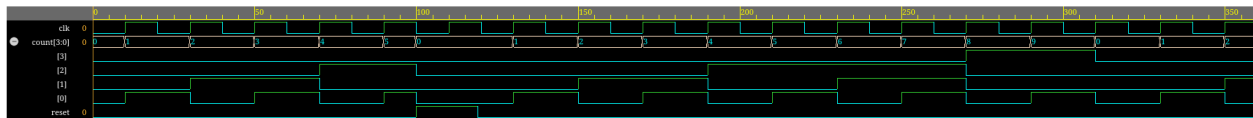
A	B	C	D	F(ABCD)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	x
1	0	1	1	x
1	1	0	0	x
1	1	0	1	x
1	1	1	0	x

**Karnaugh Map**

		AB			
		00	01	11	10
CD	00	1	1	x	1
	01	0	0	x	0
	11	0	0	x	x
	10	1	1	x	x

$$F(ABCD) = \bar{D}$$

A seguir está o diagrama de ondas gerado com o teste especificado:



## CONCLUSÃO

Durante este projeto de desenvolvimento de um contador sequencial em Verilog, consegui adquirir conhecimentos valiosos sobre design de circuitos digitais sequenciais e programação em uma linguagem de descrição de hardware (Verilog), ensinamentos valiosos para o mercado de trabalho e também para matérias futuras no curso, como organização de computadores.

## REFERÊNCIAS

Site usado para criar a maquina de estados finitos: <https://madebyevan.com/fsm/>

Site usado para gerar os mapas de Karnaugh;

<https://prof.valiante.info/aulas/sistemas-digitais/mapa-de-karnaugh-online>