

Curso: Bacharelado em Sistemas de Informação
Disciplina: Introdução aos Sistemas Lógicos
1º Semestre de 2024
Professor: Marcos Augusto Menezes Vieira (*mmvieira@dcc.ufmg.br*)

Trabalho Prático 1: Cálculo do Resto da Divisão para Mensagens Binárias

1 Objetivo

Desenvolver um circuito combinatório em Verilog que gere o **resto da divisão por 7 para uma mensagem binária de 4 bits**. Seu projeto deve incluir as funções lógicas minimizadas de cada saída, o diagrama do circuito, a implementação do circuito em Verilog, um caso de teste e a visualização das formas de onda do caso de teste.

1.1 Especificação do Circuito

- O circuito deve ter uma entrada de dados binários de 4 bits.
- Ele deve ter uma saída que é o resto da divisão por 7 de 3 bits da entrada.
- A divisão por 0 nunca será requisitada

1.2 Especificação do Problema

No período de 5 dias, são enviadas as seguintes mensagens binárias:

Dia 1 0010

Dia 2 1011

Dia 3 1111

Dia 4 1010

Dia 5 1100

Sua ajuda é necessária para desenvolver um programa que **calcule o resto da divisão por 7** da mensagem recebida. Implemente um caso de teste contendo essa situação específica e mostre pelo diagrama de ondas que o seu programa retorna a resposta correta para cada mensagem.

2 EDA Playground

Verilog é uma linguagem de descrição de hardware (Hardware Description Language - HDL) usada para modelar e simular sistemas eletrônicos ao nível de circuito. Apesar de possuir sintaxe semelhante a da linguagem C, Verilog é uma linguagem especificamente orientada à descrição da estrutura e do comportamento do hardware. O **modelo estrutural** é a forma pela qual o projetista descreve a interconexão entre os componentes que fazem parte do circuito (i.e. define as relações entre entrada e saída de um circuito); o **modelo comportamental**, por sua vez, descreve o funcionamento de cada um dos componentes do circuito. Neste trabalho criaremos um **modelo estrutural** e uma **simulação lógica** para testar o modelo.

A ferramenta EDA Playground é bastante utilizada para criar e simular descrições de hardware devido à sua praticidade e facilidade de uso. A Figura 1 uma implementação dos casos de teste e o log da simulação usando essa ferramenta. A Figura 2 ilustra as formas de onda relativas aos casos de teste usados na simulação.

Use o EDA Playground para simular o funcionamento do seu circuito. Além disso, crie casos de teste para diferentes entradas para verificar se o bit de paridade está sendo calculado corretamente.

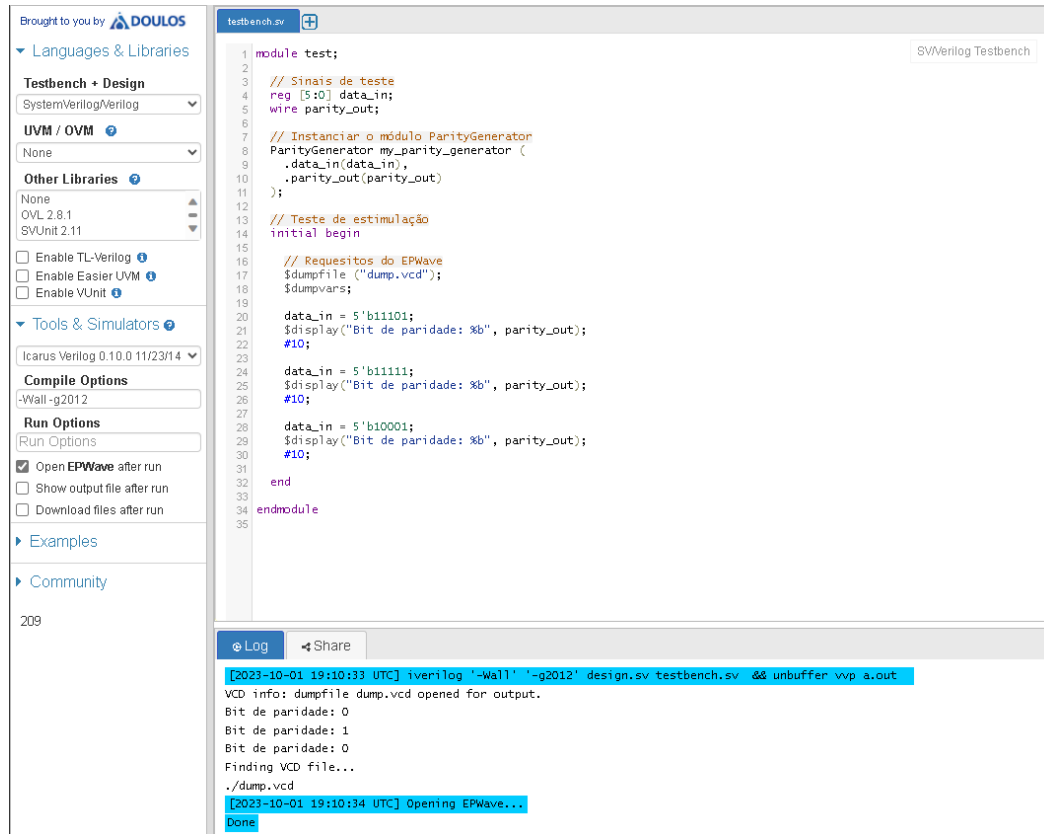


Figura 1: Exemplo de implementação do caso de uso: em testbench.vv temos a implementação de um caso de teste e, abaixo, o log da simulação.

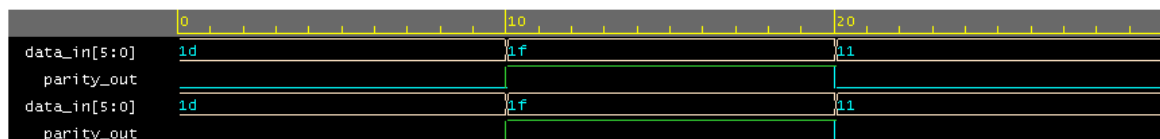


Figura 2: Formas de onda do caso de teste

EDA Playground

3 O que entregar?

Cada aluno deve submeter um arquivo **MATRÍCULA_NOME.zip** contendo, na raiz,

1. Documentação (em pdf) breve contendo:
 - (a) Decisões de implementação do circuito,
 - (b) A forma canônica de cada saída usando a notação $\sum m$ ou a notação $\prod M$,
 - (c) A forma simplificada de cada saída como um Produto de Somas (PoS),
 - (d) O diagrama do circuito resultante,

- (e) O mapa de Karnaugh de cada saída,
 - (f) A tabela verdade e
 - (g) A visualização das formas de onda do caso de teste.
2. O arquivo “design.sv” com a implementação e
 3. O arquivo de teste “testbench.sv” .

4 Consideração finais

- A legibilidade do código será considerada na correção! Use nomes intuitivos, indente seu código e faça bom uso de comentários.
- Não se esqueçam de cumprir integralmente os requisitos do trabalho.
- Deixe o funcionamento dos seus casos de teste extremamente claros e lembre de respeitar por completo as instruções do projeto.
- Qualquer dúvida podem postar no fórum.