

I.T.U.
Faculty of Computer and Informatics
Computer Engineering



Ders: Sayısal Elektronik Devreleri

Kodu: ELE 322

Ad Soyad: Abdullah AYDEĞER

Numara: 040090533

Öğretim görevlisi: Devrim Y. AKSIN

Asistan: Pınar B. BAŞYURT

Teslim Tarihi: 04.03.2012

İçindekiler

Giriş	3
Teknik Altyapı	3
Analiz - CMOS	3
Tasarım - CMOS	5
Analiz – PMOS	8

Giriş

Sayısal devre elemanları tasarlanırken en sık kullanılan elektronik eleman MOS'lardır. Bunun başta statik güç harcamaması, hızlı olması gibi birçok nedeni vardır. Bu ödevde de bizden verilen model parametreleri kullanarak belli koşulları sağlayan bir CMOS ve direnç yüklü PMOS evirici tasarlamamız istenmektedir.

Teknik Altyapı

Teorik analizde bize yardımcı olması açısından verilen parametreler aşağıdaki gibidir;

- $V_{Tn} = 0.475V$; $V_{Tp} = -0.452V$ $t_{ox} = 4.08nm$; $\epsilon_0 = 8,85 \cdot 10^{-14} F/cm$; $\epsilon_{ox,r} = 3.9$
- $\mu_n = 433.55 cm^2/(V.s)$; $\mu_p = 95.38 cm^2/(V.s)$
- $V_{Tn} = 0.475V$; $V_{Tp} = -0.452V$

Bu verilen parametrelerle simülasyon yapabilmek için ise LTSpice programı 0.18um parametreleriyle kullanılmıştır.

CMOS Evirici

Analiz - CMOS

CMOS evirici devresinde iki MOS'u da aynı giriş gerilimi sürmektedir. Bu durumda bunların V_{GS} gerilimleri ve V_{DS} gerilimleri şu şekilde oluşmaktadır:

$$(0.1) \quad V_{gsn} = V_i \quad V_{gsp} = V_i - V_{dd}$$

$$(0.2) \quad V_{dsn} = V_o \quad V_{dsp} = V_o - V_{dd}$$

Bu formüller gereği V_{gs} 'lerin belli değerleri için MOS'lar kesimde olacaktır. $V_i < V_{thn}$ olduğu durumda NMOS kesimdedir ve aşağıdaki formül geçerli olacaktır.

$$(1.1) \quad I_1(\text{aşağı yönlü akım}) = I_2(\text{yukarı yönlü akım})$$

Bu durum oluşmuşken NMOS için akım akıyorsa yani $I_1 = 0$ ise $I_2 = 0$ olacaktır. O halde PMOS üzerinde herhangi bir gerilim düşümü yaşanmayacaktır. Bu durumda;

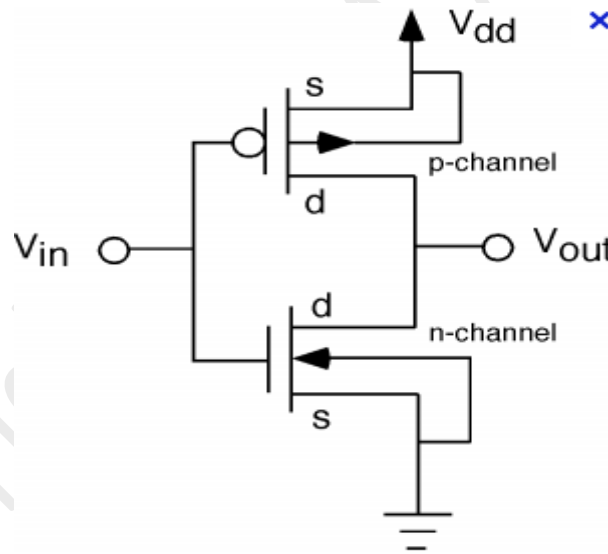
$$(1.2) \quad V_o = V_{dd}$$

Bu görülen V_{dd} değeri aynı zamanda bir devrenin verebileceği maksimum gerilimdir (V_{oh}).

Bu durumun tersi olarak da giriş gerilimi V_{dd} 'ye yakın yani yüksek gerilimdeyken de PMOS kesimde olacak ve çıkış gerilimi aşağıdaki gibi olacaktır:

$$(2.1) \quad V_o = 0 = V_{ol}$$

Bu görülen V_{dd} değeri ise aynı zamanda devrenin verebileceği minimum gerilim seviyesidir. (V_{ol}).



Şekil 1. CMOS evirici

Diğer kritik noktalara da bakmak gerekirse;

V_{il} : Giriş – çıkış gerilimleri eğrisinin eğiminin “-1” olduğu ayrıca $V_i < V_{th}$ olan noktadır. Bu nokta girişin lojik “0” olarak algılandığı en yüksek nokta olmasıdır. Bu noktadaki çıkış değeri de beklenildiği gibi yüksek anlamında verilebilecek en düşük gerilimdir (V_{ohmin}).

Bu gerilim değeri hesaplanırken NMOS doymasız(satürasyon) bölgede PMOS ise doymalı(lineer) bölgede çalışmaktadır. Bu tranzistörler için akım formülleri yazılıp birbirine eşitlenirse;

$$(3.1) \quad (\beta_n / 2) * (V_{gsn} - V_{tn})^2 = (\beta_p / 2) * (2 * V_{ds} * (V_{gsp} - V_{tp}) - V_{ds}^2)$$

Burada 0.1 ve 0.2 formülleri gereği: $V_{gsn} = V_{il}$ $V_{gsp} = V_{il} - V_{dd}$ $V_{dsp} = V_{dd} - V_o$
Ayrıca $dV_i / dV_o = -1$ denklemiyle birlikte 3.1 denklemi çözülürse aşağıdaki elde edilir:

$$(3.2) \quad V_{il} = (2 * V_o + V_{thp} - V_{dd} + \beta_n / \beta_p * V_{tn}) / (1 + \beta_n / \beta_p)$$

V_{ih}: Giriş – çıkış gerilimleri eğrisinin eğiminin “-1” olduğu ve $V_i > V_{th}$ olan noktadır. Bu noktanın anlamı ise girişin lojik “1” olarak algılandığı en düşük nokta olmasıdır. Yine aynı şekilde bu noktadaki çıkış değeri de V_{olmax} olur. V_{il} hesaplanırken kullanılan denklemleri PMOS saturasyonda ve NMOS lineer bölgede için çözülürse V_{ih} 'nin denklemi elde edilir:

$$(4.1) \quad V_{ih} = (V_{dd} + V_{thp} + \beta_n / \beta_p * (2 * V_{çıkış} + V_{tn})) / (1 + \beta_n / \beta_p)$$

V_{th}: Eviricide bir başka önemli nokta da giriş gerilimi ile çıkış geriliminin eşit olduğu yani ideal eviricinin geçiş(1-0 veya 0-1) noktasıdır. Eviricinin bu noktadaki karakteri ideal eviriciyle göreceli olarak ne kadar iyi çalıştığının bir göstergesidir. Bu bölgede iki transistör de saturasyon bölgesinde çalışacaklarından ötürü ve $V_o = V_i$ de düşünülerek:

$$(5.1) \quad (\beta_n / 2) * (V_i - V_{thn})^2 = (\beta_p / 2) * (V_i - V_{dd} - V_{thp})^2$$

Bu denklemde elde edilen V_i değeri V_{th} değerine eşittir.

Tasarım - CMOS

Bu eviricide 0.18um'luk parametreler kullanıldığı için μ_n ve μ_p ile c_{ox} parametrelerini değiştiremiyoruz. Fakat β_n ve β_p ile oynayarak kritik gerilim değerleri üzerinde değişiklikler yapılabiliriz. Bu yüzden β_p ve β_n 'yi değiştirmek için W ve L üzerinde oynama yapabiliriz.

Bu değerlerin getirilmek istendiği nokta ideal eviricinin bulunduğu noktadır ve soruda şöyle istenmiştir;

$$V_{th} = V_{dd}/2$$

Bu eşitlik 5.1 denkleminde yerine konursa;

$$(5.2) \quad (\beta_n / 2) * (V_{dd}/2 - V_{thn})^2 = (\beta_p / 2) * (V_{dd}/2 - V_{dd} - V_{thp})^2$$

Burada tasarım için gerekli parametreler yerine konulduğunda;

$$V_{Tn} = 0.475V; V_{Tp} = -0.452V$$

$$\mu_n = 433.55 \text{ cm}^2/(V.s); \mu_p = 95.38 \text{ cm}^2/(V.s)$$

$$t_{ox} = 4.08\text{nm}; \epsilon_0 = 8.85 \cdot 10^{-14} \text{ F/cm}; \epsilon_{ox,r} = 3.9$$

$$V_{DD} = 1.8 \text{ V}$$

$$(\beta_n / 2) * (0.9 - 0.475)^2 = (\beta_p / 2) * (-0.9 + 0.452)^2$$

$$(\beta_n / 2) * 0.18 = (\beta_p / 2) * 0.20$$

Buradan $\beta_n / \beta_p = 1$ yaklaşık olarak alınabilir.

$$\epsilon_{ox} = \epsilon_{ox,r} * \epsilon_0 \text{ buradan } \epsilon_{ox} = 3.45 \cdot 10^{-14} \text{ bulunur.}$$

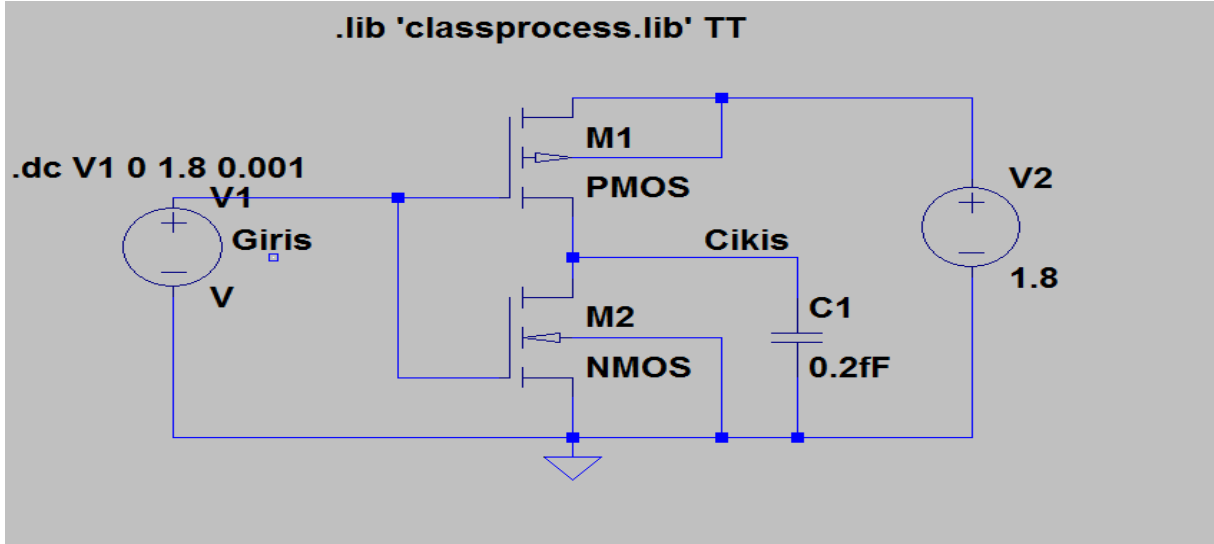
$$C_{ox} = \epsilon_{ox} / t_{ox} \text{ buradan } C_{ox} = 0.84 \cdot 10^{-5}$$

$$\text{Ayrıca } \beta_n = \mu_n * C_{ox} * w_n / l_n \text{ buradan } \beta_n = 0.36 \cdot 10^{-5} * w_n / l_n$$

$$\beta_p = \mu_p * C_{ox} * w_p / l_p \text{ buradan } \beta_p = 0.08 \cdot 10^{-5} * w_p / l_p$$

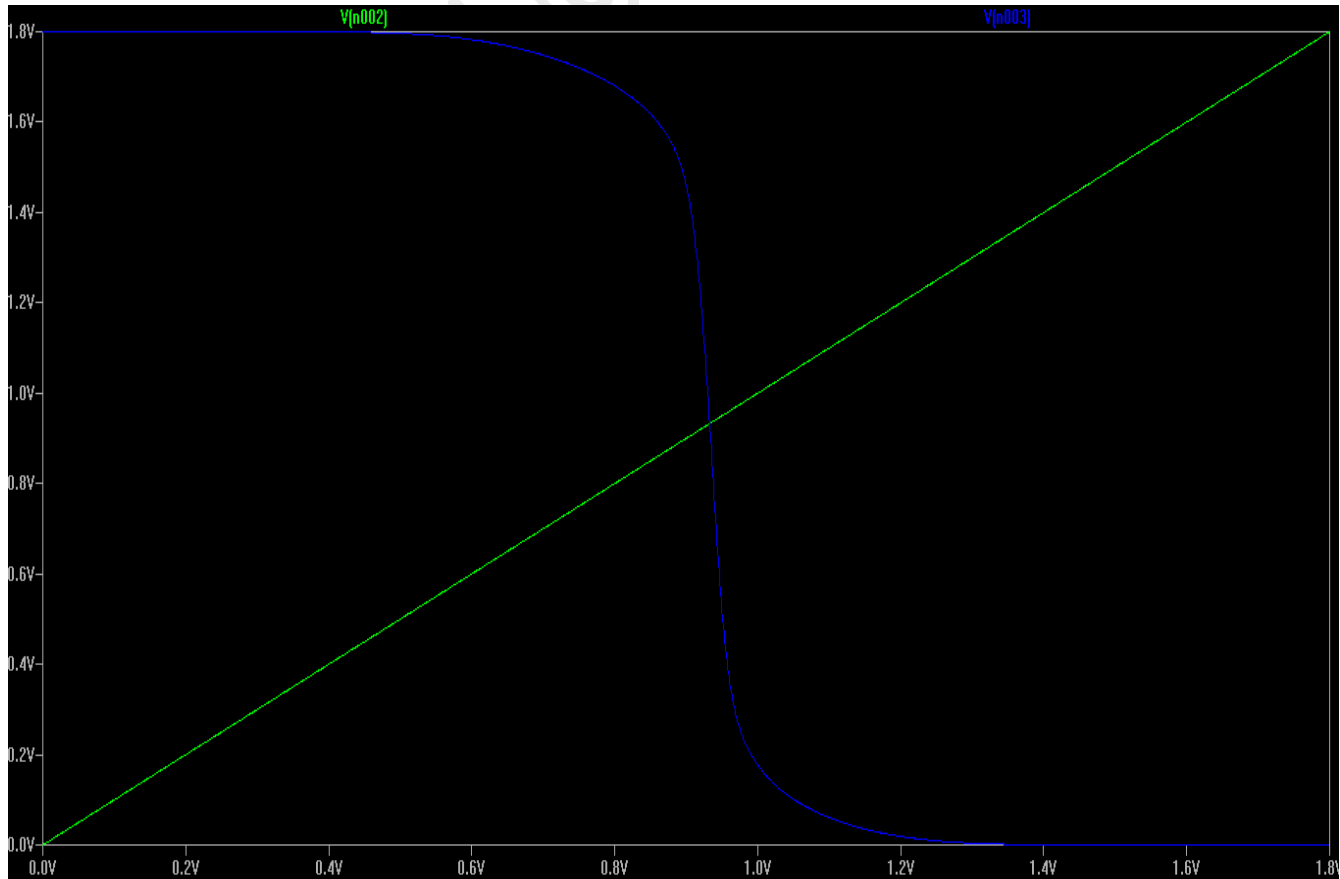
Burada $\beta_n / \beta_p = 1$ eşitliği kullanılırsa ve MOS'ların uzunlukları 0.18 um olarak aynı alınırsa $w_p / w_n = 4.5$ alınabilir. Bu durumda elde edilecek olan sonuçlar aşağıda görüldüğü gibi olacaktır.

Bu tasarımda $t_p < 300\text{psn}$ koşuluyla ilgili de gerekli analizlerin yapılması gerekiyordu. Ancak süre yetmediğinden ve bu konuda pek bilgim olmadığından bu analizleri yapamadım.



Şekil 2. LTSpice CMOS Evirici Devre

Devredeki elektronik elemanlardan bahsetmek gerekirse, V_1 giriş gerilimidir ve değeri 0'dan 1.8 Volta değişmektedir. $V_2 = V_{dd} = 1.8$ Volt yani devreyi besleyen gerilimdir. NMOS'un $I_n = 0.18e-6$ $w_n = 1e-6$ ve PMOS'un $I_p = 0.18e-6$ $w_p = 4.5e-6$ girilmiş olup kullanılan kapasitansın değeri de $C1 = 0.2fF$ 'dir. Bu parametreler eşliğinde elde edilen giriş – çıkış gerilim grafiği aşağıdaki gibidir:

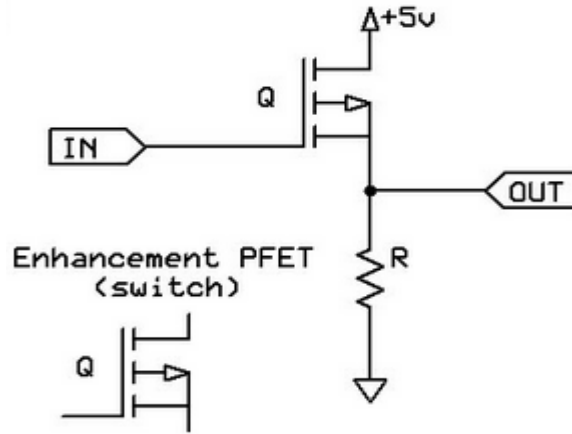


Şekil 3. CMOS evirici giriş-çıkış gerilim grafiği

Direnç Yüklü PMOS Evirici

Analiz ve Tasarım – PMOS

Direnç yüklü PMOS örneği aşağıdaki şekilde görülmektedir. Bunun analizi CMOS eviriciye göre daha kolaydır.



Şekil 4. PMOS Evirici (direnç yüklü)

PMOS V_i giriş geriliminin yüksek değerleri için kesimde olacak ve akım akıtmayacaktır. O halde;

$$(1.1) \quad V_o = 0 = V_{ol}$$

V_i geriliminin düşük değerleri için ise CMOS'a benzer şekilde analizler yapılabilir.

Burada soruda verilmiş olan kısıtlamalara karşı tasarım yapmamız gerekmektedir. Kısıtlamalar;

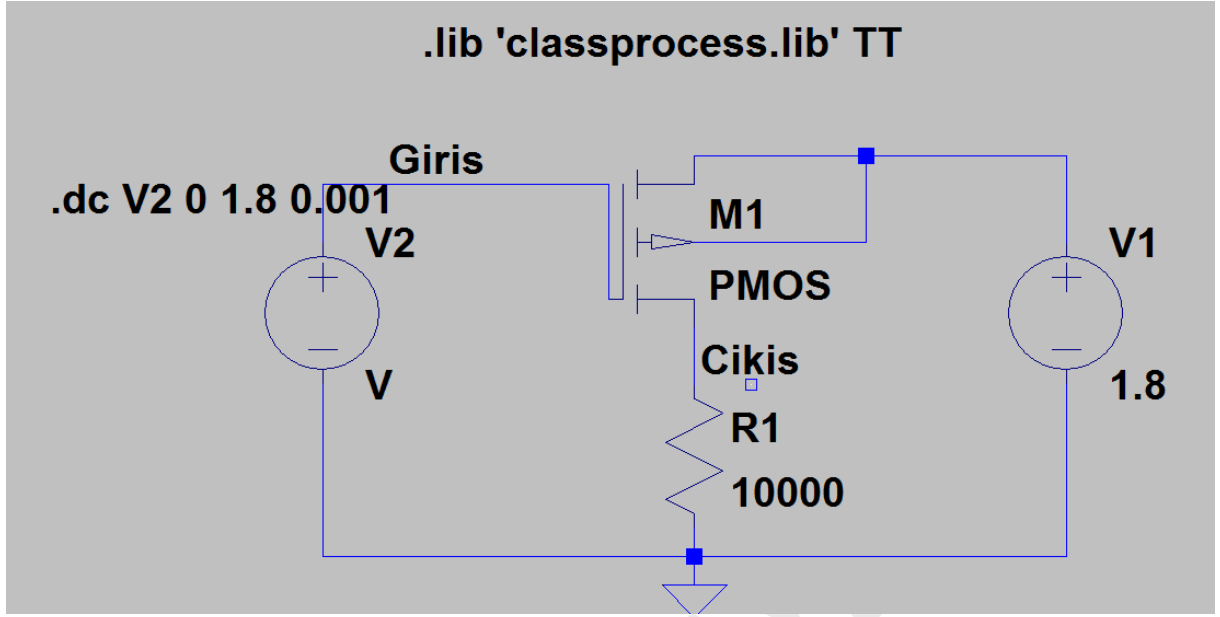
- $V_{OH} \geq 1.7V$
- $R = 10 \text{ k}\Omega$

(Bu kısıtlamalara uymak için $V_{OH} = V_{dd} / \beta_p (V_{dd} - V_{THP}) * R + 1$

Burada $\beta_p = \mu_p * c_{ox} * w_p / l_p$ buradan $\beta_p = 0.08 * 10^{-5} * w_p / l_p$

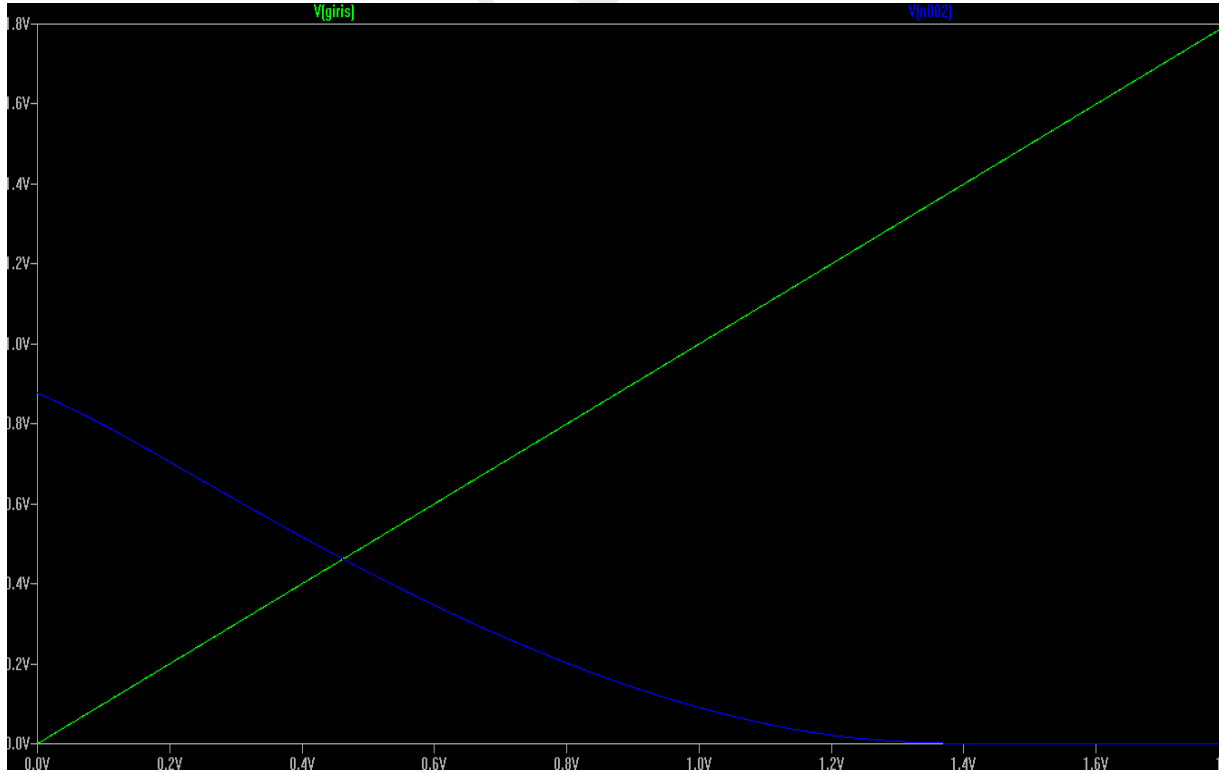
V_{OH} minimum olarak 1.7V ise bu değeri 1.7Volt alarak çözümü yapıp w_p / l_p değerini bulabiliriz.

$1.7 = 1.8 / \beta_p * (1.8 + 0.452) * 10000 + 1$ buradan $\beta_p = 0.02e-4$ bulunmaktadır. Bu değeri elde etmek için ise $w_p / l_p = 2.5$ gibi bir değer çıkmaktadır. Bu değerlerle tasarım yapıldığında LTSpice'daki devre aşağıdaki gibi olacaktır:



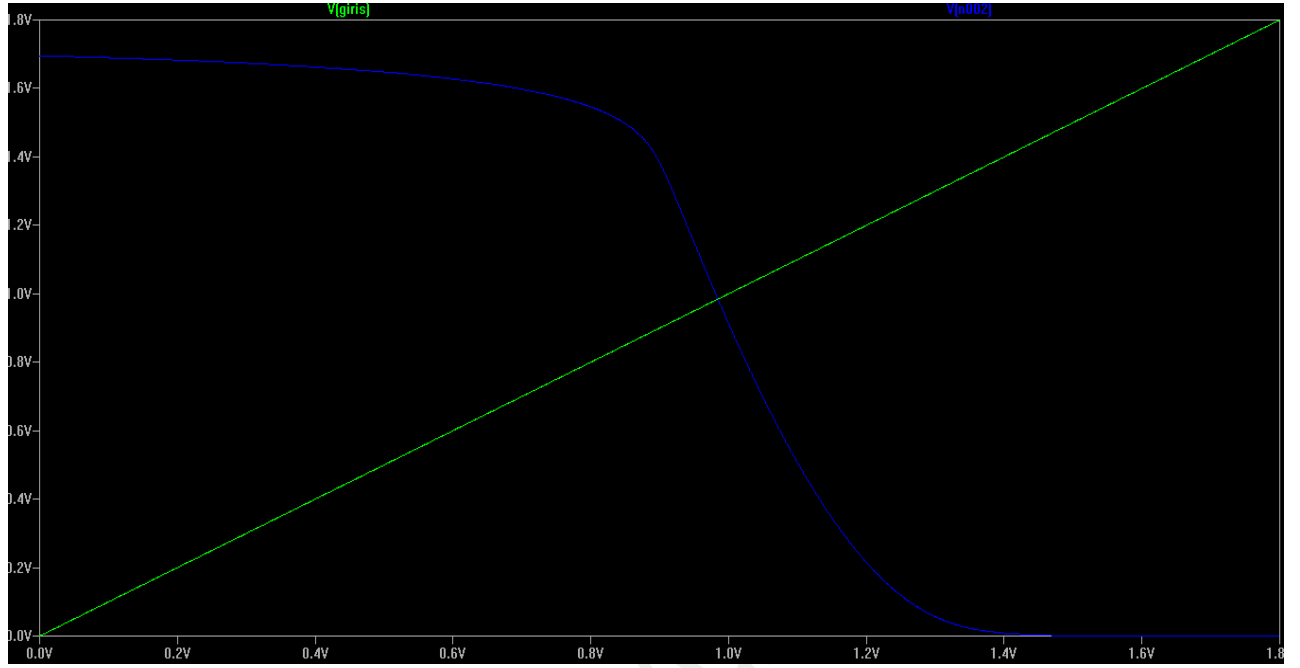
Şekil 5. LTSpice PMOS(direnç yüklü) Evirici devresi

Bu devre simüle edildiğinde ise aşağıda görülen grafik çıkmıştır. Bu da istenilen sonucu yansıtmamaktadır. $V_{OH} \geq 1.7$ Volt olamamaktadır.



Şekil 6. PMOS Evirici giriş-çıkış gerilim grafiği

Bu grafikte w_p / l_p oranı 2.5 değil de 25 verilseydi istenilen sonuç aşağıdaki gibi elde edilecekti;



Şekil 7. PMOS Evirici beklenen grafik

Yorum

İlk ödevde CMOS Evirici ve direnç yüklü PMOS Evirici'yi hem teorik olarak kağıt üstünde tasarlayıp, gerekli işlemleri yaptım hem de LTSpice programı vasıtasıyla simülasyon ortamında tasarladım. CMOS Evirici'de herşey beklenen gibi gitti ve grafiği doğru bir şekilde elde ettim. Ancak PMOS eviricide grafiği beklediğim gibi alamadım, sanırım hesaplamalarımda bir hata oldu(10 kat gibi bir hata). Bu ödev benim "Sayısal Elektronik Devreleri" dersiyle alakalı pratik yapmama olanak sağladı. Ancak ilk ödev olmasına rağmen çok uğraştırıcı, vakit harcatıcı bir ödevdi.