

İ.T.Ü
Bilgisayar ve Bilişim Fakültesi
Bilgisayar Mühendisliği



Ders: Sayısal Elektronik Devreleri

Kodu: ELE 322

Ad Soyad: Abdullah AYDEĞER

Numara: 040090533

Öğretim görevlisi: Devrim Y. AKSIN

Asistan: Pınar B. BAŞYURT

Teslim Tarihi: 15.04.2012

İçindekiler

Giriş	3
Teknik Altyapı	3
CMOS Transmisyon Kapısının Farklı Tasarımları	4
1. $W_n / L_n = 1\mu m / 0.18\mu m$; $W_p / L_p = 1\mu m / 0.18\mu m$	4
2. $W_n / L_n = 1\mu m / 0.18\mu m$; $W_p / L_p = 2\mu m / 0.18\mu m$	7
3. $W_n / L_n = 2\mu m / 0.18\mu m$; $W_p / L_p = 1\mu m / 0.18\mu m$	7
4. $W_n / L_n = 10\mu m / 0.18\mu m$; $W_p / L_p = 20\mu m / 0.18\mu m$	8
Sonuç	9
Yorum	9

Giriş

CMOS transmisyon kapıları birer anahtar görevi görebilirler. Bu ödevde CMOS transmisyon kapısının eşdeğer direncinin analitik yolla ve LTSpice programı yardımıyla incelenecektir.

Teknik Altyapı

Teorik analizde bize yardımcı olması açısından verilen parametreler aşağıdaki gibidir;

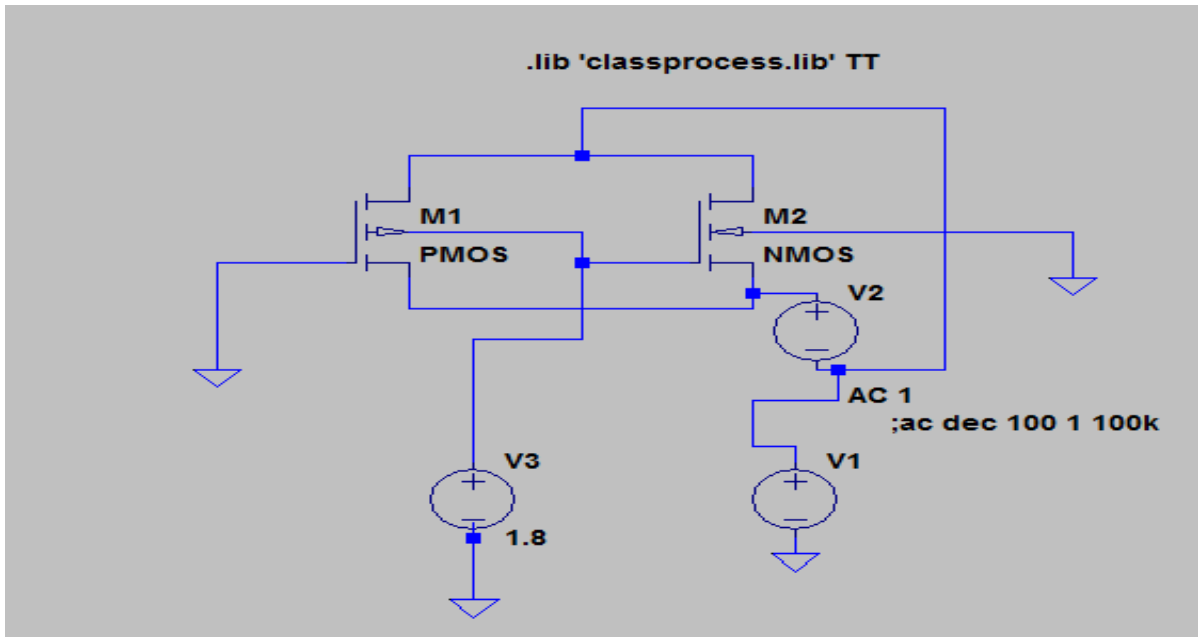
$$V_{DD} = 1.8 \text{ V}, V_{Tn} = |V_{Tp}| = 0.4 \text{ V}$$

$$C_{ox} = 8 \text{ fF}/\mu\text{m}^2;$$

$$\mu_n C_{ox} = 300 \mu\text{A}/\text{V}^2; \mu_p C_{ox} = 100 \mu\text{A}/\text{V}^2$$

$$W_{min} = 1\mu\text{m}; L_{min} = 0.18 \mu\text{m}$$

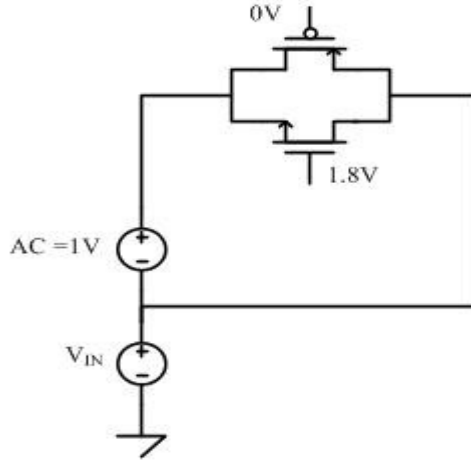
Bu verilen parametrelerle simülasyon yapabilmek için ise LTSpice programı 0.18um parametreleriyle kullanılmıştır.



Şekil 1. LTSpicede CMOS transmisyon kapısı

CMOS Transmisyon Kapısının Farklı Tasarımları

CMOS transmisyon kapısı aşağıdaki verilen boyutlarla tasarlanıp, her boyut için ayrı ayrı analizler yapılacaktır.



Şekil 2. CMOS Transmisyon kapısı (Şeklin kaynağı: http://www.vlsi.itu.edu.tr/ituvlsi/webs/courses/undergraduate/ELE322/course-database/student-groups/2011-2012/homeworks/hw4.jpg/image_preview)

1. $W_n / L_n = 1\mu\text{m} / 0.18\mu\text{m}$; $W_p / L_p = 1\mu\text{m} / 0.18\mu\text{m}$

Bu durumda B_n ve B_p hesaplanırsa;

$$B_n = \mu_n * C_{ox} * w_N / L_N$$

$$B_n = 300 \mu\text{A/V}^2 * (1/0.18) = 1.6 \text{ e-3 mA/V}^2$$

$$B_p = \mu_p * C_{ox} * w_P / L_P$$

$$B_p = 100 \mu\text{A/V}^2 * (1/0.18) = 0.55 \text{ e-3 mA/V}^2$$

CMOS transmisyon kapısının direnci R_n ve R_p dirençlerinin eşdeğer direncinden aşağıdaki formülden bulunabilir.

$$R_{eq} = (R_n * R_p) / (R_n + R_p)$$

Lojik '0' iletirken;

- ➔ $R_n = 2V_o / (B_n \cdot (V_{dd} - V_{tn})^2)$ NMOS doymadayken
- ➔ $R_n = 2 / B_n [2 \cdot (V_{dd} - V_{tn}) - V_o]$ NMOS doymasızken(lineer)
- ➔ $R_p = 2V_o / (B_p \cdot (-V_o + V_{tp})^2)$ PMOS doymadayken

Lojik '1' iletirken;

- ➔ $R_n = 2(V_{dd} - V_o) / (B_n \cdot (V_{dd} - V_o - V_{tn})^2)$ NMOS doymadayken
- ➔ $R_p = 2(V_{dd} - V_o) / (B_p \cdot (V_{dd} + V_{tp})^2)$ PMOS doymadayken
- ➔ $R_p = 2 / [B_p \cdot (2 \cdot (V_{dd} + V_{tp}) - (V_{dd} - V_o))]$ PMOS doymasız

Burada lojik '0' iletirken R_{eq} 'ın en büyük(bu da gecikmeyi en büyük yapar) değerini alacağız. Bu değer için $V_o = V_{dd}/2$ kabulü yapılabilir. Bu durumda $V_o = 0.9V$ olarak NMOS ve PMOS'un bulunduğu bölgeler hesaplanırsa;

PMOS'da geçitle drein aynı gerilime yani $0V$ 'a sahip olduğundan PMOS doymadadır. NMOS'da ise $V_{gs}=V_{dd}$, $V_{ds}=V_{dd}/2$ olduğundan NMOS bölgesi hesaplanırsa;

$$V_{gs} - V_{tn} >? V_{ds}$$

$$V_{dd} - V_{tn} >? V_{dd}/2$$

$$1.8 - 0.4 > 0.9 \Rightarrow \text{NMOS lineer bölgededir.}$$

Bu durumda kullanılacak olan formüller

$$R_n = 2 / B_n [2 \cdot (V_{dd} - V_{tn}) - V_o] \text{ ve } R_p = 2V_o / (B_p \cdot (-V_o + V_{tp})^2)$$

$$R_n = 2 / 1.6e-3 [2 \cdot (1.8 - 0.4) - 0.9]$$

$$R_n = 2 / 1.6e-3 [2.1]$$

$$\underline{R_n = 0.5 \text{ k}}$$

$$R_p = 2 \cdot 0.9 / [0.55e-3 \cdot (-0.9 + 0.4)^2]$$

$$R_p = 1.8 / 0.13 e-3$$

$$\underline{R_p = 13.8 \text{ k}}$$

$R_{eq} = (R_n * R_p) / (R_n + R_p)$ denkleğinden

$$R_{eq} = (13.8k * 0.5k) / (13.8k + 0.5k)$$

$R_{eq} = 0.48 k$ --CMOS transmisyon kapısının direnci

Burada lojik '1' iletirken R_{eq} 'ın en büyük(bu da gecikmeyi en büyük yapar) değeri alacağız. Bu değeri için $V_o = V_{dd}/2$ kabulü yapılabilir. Bu durumda $V_o = 0.9V$ olarak NMOS ve PMOS'un bulunduğı bölgeler hesaplanırsa;

NMOS'da geçitle drein aynı gerilime yani $1.8V(V_{dd})$ 'a sahip olduğundan NMOS doymadadır. PMOS'da ise $|V_{gs}| = V_{dd}$, $V_{ds} = V_{dd}/2$ olduğundan PMOS bölgesi hesaplanırsa;

$$|V_{gs}| - |V_{tp}| >? |V_{ds}|$$

$$V_{dd} - |V_{tp}| >? V_{dd}/2$$

$$1.8 - 0.4 > 0.9 \Rightarrow \text{PMOS lineer bölgededir.}$$

Bu durumda kullanılacak olan formüller

$$R_n = 2(V_{dd} - V_o) / (B_n * (V_{dd} - V_o - V_{tn})^2) \text{ ve } R_p = 2 / [B_p * (2 * (V_{dd} + V_{tp}) - (V_{dd} - V_o))]$$

$$R_n = 2(1.8 - 0.9) / [1.6e-3 * (1.8 - 0.9 - 0.4)^2]$$

$$R_n = 1.8 / (1.6e-3 * 0.25)$$

$$\underline{R_n = 4.5 k}$$

$$R_p = 2 / [0.55e-3 * (2 * (1.8 - 0.4) - (1.8 - 0.9))]$$

$$R_p = 2 / 0.55e-3 * 2.1$$

$$\underline{R_p = 1.7 k}$$

$R_{eq} = (R_n * R_p) / (R_n + R_p)$ denkleğinden

$$R_{eq} = (4.5k * 1.7k) / (4.5k + 1.7k)$$

$R_{eq} = 1.22 k$ --CMOS transmisyon kapısının direnci '1' iletirken(şarj evresi)

2. $W_n / L_n = 1\mu m / 0.18\mu m$; $W_p / L_p = 2\mu m / 0.18\mu m$

Bu durumda B_n ve B_p hesaplanırsa;

$$B_n = \mu_n * C_{ox} * w_N / L_N$$

$$B_n = 300 \mu A/V^2 * (1/0.18) = 1.6 e-3 mA/V^2$$

$$B_p = \mu_p * C_{ox} * w_P / L_P$$

$$B_p = 100 \mu A/V^2 * (1/0.18) = 1.1 e-3 mA/V^2$$

CMOS transmisyon kapısının direnci R_n ve R_p dirençlerinin eşdeğer direncinden aşağıdaki formülden bulunabilir:

$$R_{eq} = (R_n * R_p) / (R_n + R_p)$$

Bir önceki şıktaki direnç hesaplarında bu şıktakine oranla tek fark B_n ve/veya B_p değerleri olduğundan bir önceki şıkta bulduğumuz değerleri bu B_n ve/veya B_p değerleri ile ters orantılı olarak hesaplayabiliriz.

Bu yüzden lojik '0' iletirken;

$$R_n = 0.5 k \quad \text{--sabit}$$

$$R_p = 13.8 k * (1/2) = 6.9 k$$

$$R_{eq} = 6.9k * 0.5k / (6.9k + 0.5k) = 0.46 k$$

Lojik '1' iletirken;

$$R_n = 4.5k \quad \text{--sabit}$$

$$R_p = 1.7k * (1/2) = 0.85 k$$

$$R_{eq} = 0.85 * 4.5 / (4.5 + 0.85) = 0.71 k$$

3. $W_n / L_n = 2\mu m / 0.18\mu m$; $W_p / L_p = 1\mu m / 0.18\mu m$

Bu durumda B_n ve B_p hesaplanırsa;

$$B_n = \mu_n * C_{ox} * w_N / L_N$$

$$B_n = 300 \mu A/V^2 * (1/0.18) = 3.2 e-3 mA/V^2$$

$$B_p = \mu_p * C_{ox} * w_P / L_P$$

$$B_p = 100 \mu A/V^2 * (1/0.18) = 0.55 e-3 mA/V^2$$

Benzer şekilde lojik '0' iletirken;

$$R_n = 0.5k * (1/2) = 0.25 k$$

$$R_p = 13.8k \text{ -- sabit}$$

$$R_{eq} = 0.25k * 13.8k / (0.25k + 13.8k) = 0.24k$$

Lojik '1' iletirken;

$$R_n = 4.5k * (1/2) = 2.25k$$

$$R_p = 1.7k \text{ --sabit}$$

$$R_{eq} = 2.25k * 1.7k / (2.25k + 1.7k) = 0.96 k$$

4. $W_n / L_n = 10\mu m / 0.18\mu m$; $W_p / L_p = 20\mu m / 0.18\mu m$

Bu durumda B_n ve B_p hesaplanırsa;

$$B_n = \mu_n * C_{ox} * W_n / L_n$$

$$B_n = 300 \mu A/V^2 * (1/0.18) = 16 * e^{-3} \text{ mA/V}^2$$

$$B_p = \mu_p * C_{ox} * W_p / L_p$$

$$B_p = 100 \mu A/V^2 * (1/0.18) = 11 * e^{-3} \text{ mA/V}^2$$

CMOS transmisyon kapısının direnci R_n ve R_p dirençlerinin eşdeğer direncinden aşağıdaki formülden bulunabilir:

$$R_{eq} = (R_n * R_p) / (R_n + R_p)$$

Önceki şıklara benzer şekilde lojik '0' iletirken;

$$R_n = 0.5k * (1/10) = 0.05 k$$

$$R_p = 13.8k * (1/20) = 0.69 k$$

$$R_{eq} = 0.05k * 0.69k / (0.05k + 0.69k) = 0.046k$$

Lojik '1' iletirken;

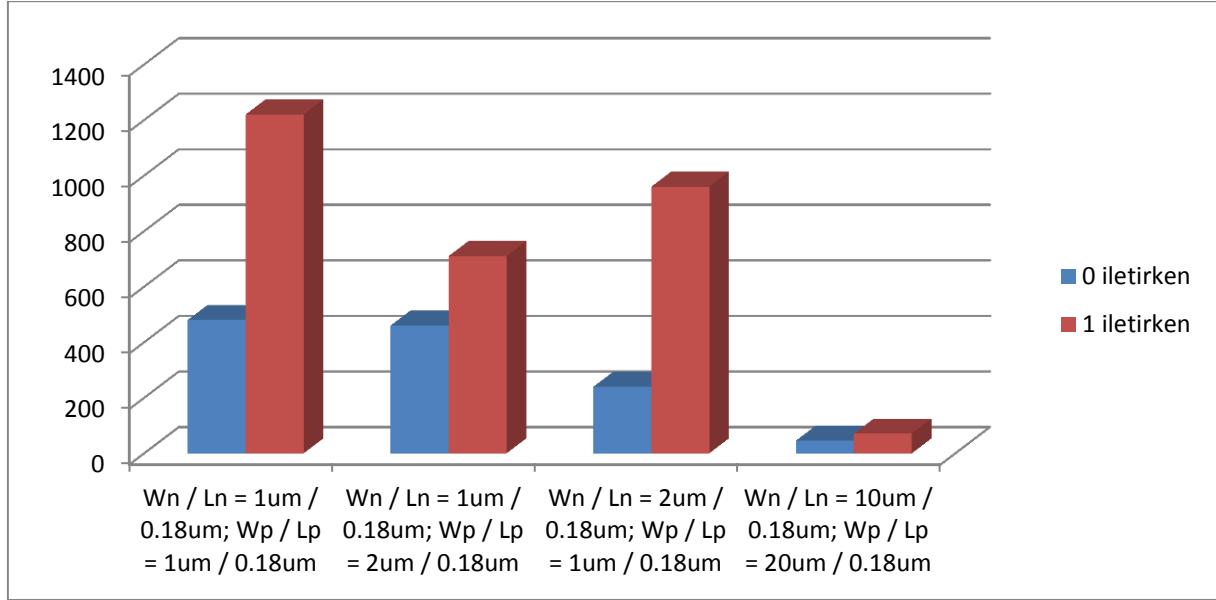
$$R_n = 4.5k * (1/10) = 0.45 k$$

$$R_p = 1.7k * (1/20) = 0.085 k$$

$$R_{eq} = 0.45 * 0.085k / (0.45k + 0.085k) = 0.071 k$$

Sonuç

Bu tüm bulduğum değerleri grafiğe dökersek;



Görüldüğü üzere tranzistörlerin boyları arttırıldığında dirençleri azalmaktadır. '0' iletirken eşdeğer direnci belirlemede etkili olan NMOS olduğu için '0' iletirken PMOS'un eninin arttırılması pek de direnci değiştirmemiştir. Aynı şekilde '1' iletirken de eşdeğer direnci belirleyen PMOS'tur.

Yorum

Üçüncü ödevde değişik boyutlardaki n ve p MOS'larla CMOS transmisyon kapısı tasarlamamız istendi. Geçerli formülleri bulup, gerekli yerlerde uygulayıp eşdeğer direnç hesabı yapmak pek de zor değildi. Ancak teorik analizinin kolay olmasına rağmen, bu hesaplamaların LTSpice'da gerçeklemek oldukça zordu (Raporda da görülemediği üzere epeyi uğraşmama rağmen gerçekleyemedim).