I.T.U.

Faculty of Computer and Informatics

Computer Engineering



Ders: Sayısal Elektronik Devreleri

Kodu: ELE 322

Ad Soyad: Abdullah AYDEĞER

Numara: 040090533

Öğretim görevlisi: Devrim Y. AKSIN

Asistan: Pınar B. BAŞYURT

Teslim Tarihi: 18.03.2012

İçindekiler

Giriş	3
·	
Teknik Altyapı	3
CMOS Statik Kapı Devresi Tasarımı	4
Kaskatlı Devre	. 6
Yorum	7

Giriş

Sayısal devre elemanları tasarlanırken kullanılması en uygun olan eleman MOS'lardır. Bu ödevde bizden istenilen bir lojik fonksiyonu MOS'lar kullanarak CMOS statik kapı devresi şeklinde gerçekleştirmemizdir.

Teknik Altyapı

Teorik analizde bize yardımcı olması açısından verilen parametreler aşağıdaki gibidir;

```
VDD= 1.8 \text{ V}, VTn= |\text{VTp}|= 0.4 \text{V}

Cox = 8 \text{ FF}/\mu\text{m}2;

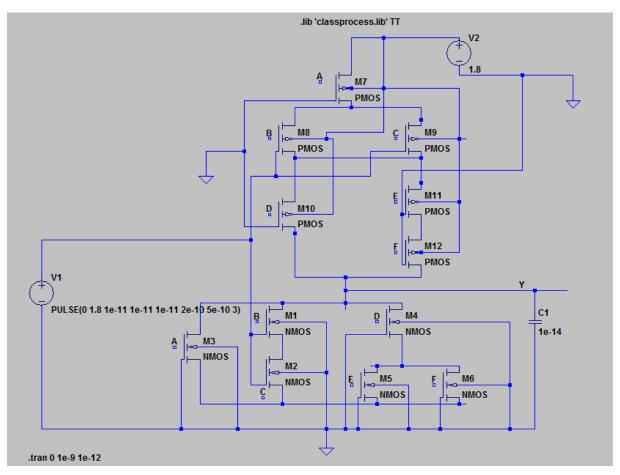
\mu\text{nCox} = 300 \mu\text{A/V2}; \mu\text{pCox} = 100 \mu\text{A/V2}

Wmin = 1\mu\text{m}; Lmin = 0.18 \mu\text{m}
```

Bu verilen parametrelerle simülasyon yapabilmek için ise LTSpice programı 0.18um parametreleriyle kullanılmıştır.

CMOS Statik Kapı Devresi Tasarımı

Y' = A + BC + D (E+F) şeklinde verilen lojik fonksiyonunun CMOS statik kapı devresi şekil 1.1'de verilmiştir.



Şekil 1.1 Y' = A + BC + D(E+F) devresi CMOS statik kapılarıyla

Bu tasarımda bizden istenilen koşullar aşağıdaki gibidir:

- VTH = VDD/2,
- CL = 10fF için rpLH + rpHL< 100psn

Bu verilen koşulları sağlayabilmek için gerekli teorik analizler yapılırsa;

Vth = { VDD - |VTP| + [(
$$\beta Ne\$ / \beta Pe\$$$
)^1/2]* VTN}/ 1+ ($\beta Ne\$ / \beta Pe\$$)^1/2 Burada VDD = 1.8 V => Vth = VDD/2 = 0.9V

($\beta Ne\S / \beta Pe\S$) ^1/2 = t denirse (işlemleri göstermeyi kolaylaştırmak için) 0.9 = { 1.8 – 0.4 + t * 0.4 } / 1 + t Buradan t = 1 olduğu yani $\beta Ne\S / \beta Pe\S$ = 1 olduğu açıkça görülmektedir. Aynı zamanda $\beta Ne\S$ = 13/6 * βN ve $\beta Pe\S$ = 6/13 * βP yani $\beta N / \beta P$ = (6/13) ^2 Buradan $\beta N / \beta P$ = (μn * Cox * wN/LN) / (μp * Cox * wP / LP) = (6/13) ^2 \Rightarrow 3 *wN/wP = 0.21 \Rightarrow wN = 0.07 wP

CL = 10fF için TpLH + TpHL < 100psn. Bu durumda,

$$TpLH = \{CL * L / \mu n * Cox * wNwc \} * MN$$

$$TpHL = \{ CL * L / \mu p * Cox * wPwc \} * MP$$

Buradan verilen değerler yerine konursa,

 $wNwc = wN/2 \Rightarrow wNwc = 0.035wP$

100 psn = {
$$10fF * 0.18 \mu m / 300 (\mu A/V2) * wNwc} * MN + { $10fF * 0.18 \mu m / 100 (\mu A/V2) * wPwc} * MP$$$

Buradaki MN değeri ise aşağıdaki eşitlikle bulunabilir:

$$MN = (1 / VDD - VTN) * {2 * VTN/ (VDD - VTN) + ln((3*VDD - 4*VTN) / VDD)}$$

$$MN = (1 / 1.8-0.4) * {2*0.4/(1.8-0.4) + ln((3*1.8 - 4*0.4) / 1.8)}$$

$$MN = 0.71 * { 0.57 + ln(2.11) }$$

$$MN = 0.71 * (0.57 + 0.74) = 0.93 V^{-1}$$

$$Aynı zamanda MN = MP, \qquad WN = 0.07 WP$$

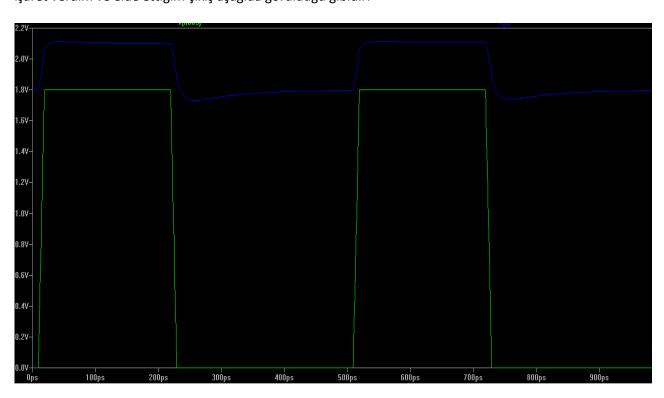
Bulunan MN değeri yukarıdaki gecikme zamanı eşitliğinde yerine konursa;

WPWC = WP/4 = 0.25WP

1e-10sn = {
$$[1.8*e-21/0.0105 e-3*wP(A/V^2)] + [1.8*e-21/0.025 e-3*wP(A/V^2)]*0.93V^{-1}$$

Buradan gerekli wP değeri, wP = 2.26 e-6 m çıkmaktadır. Bu durumda wN = 0.07wP = 0.15 e-6m bulunmaktadır.

LTSpice'da bulduğum parametreleri yerlerine koydum. En yavaş koşul için B ve C'ye kare dalge işaret verdim ve elde ettiğim çıkış aşağıda görüldüğü gibidir.



Şekilden de görüldüğü üzere ne yazık ki beklenilen sonuç elde edilememiştir. Çıkış işareti Y sürekli olarak yüksek değerlerde (VDD'ye yakın) gözlemlenmiştir.

Kaskatlı Devre

Gerçeklediğimiz devre en fazla 10fF sürebilmekte olup bu devreden 1nF sürebilmek istersek kaskat yapı kullanmamız gerekir. Bu kaskat yapıda toplam 'n' adet evirici art arda bağlanmalıdır ki n'in minumum değeri için;

n = ln (CL/Cin1) = ln (1e-9 F/10e-15 F) = 11.5 -> bu değerden büyük en büyük çift tamsayı '12' olduğu için <math>n = 12 seçilmiştir.

Cin1 = cox * (wP + wN) * L ki buradaki L = Lmin = 0.18e-6 m değeridir.

 $Cox = 8 fF/ \mu m2;$

Cin1 = 10fF ise ve wP/wN =
$$(\mu n / \mu p)^1/2 => wP = 1.73 wN$$

$$\Rightarrow$$
 10fF = 8fF/ μ m² * (2.73*wN) * 0.18e-6 m => wN = 2.54 e-6 m, wP = 4.40 e-6 m

Kaskatların geçişleri aralarındaki oran;

$$K = (CL/Cin1)^1/n = (1e+5)^1/12 = 2.60 = wNi+1/wNi = wPi+1/wPi$$

Yorum

İkinci ödevde CMOS statik devre elemanlarını kullanarak bir tasarım yapmamız istendi. Ancak hem kağıt üzerinde teorik olarak tasarlanması hem de LTSpice (daha önceden hiçbir bilgimiz olmadan bundan ödev yapmak pek de kolay olmasa gerek) programında tasarlamamız beklenmesi ve bunları düzgünce bir rapor formatında vermemiz oldukça ama oldukça *uğraştırıcı* ve vakit harcatıcıydı. Zaten çoğu kısmını görüldüğü üzere yapamadım.