

**İ.T.Ü.**  
**Elektrik-Elektronik Fakültesi**  
**Bilgisayar Mühendisliği Bölümü**



# **LOJİK DEVRELER**

## **LABORATUVARI**

### **DENEY RAPORU**

**Deney No** :3  
**Deney Adı** :Seri Aritmetik Lojik Birim  
**Deney Tarihi** :08.03.10  
**Grup** :2  
**Deneyi Yapanlar** :Aykut Akın  
Levend Mehmet Mert  
Suat Alkan Aldan

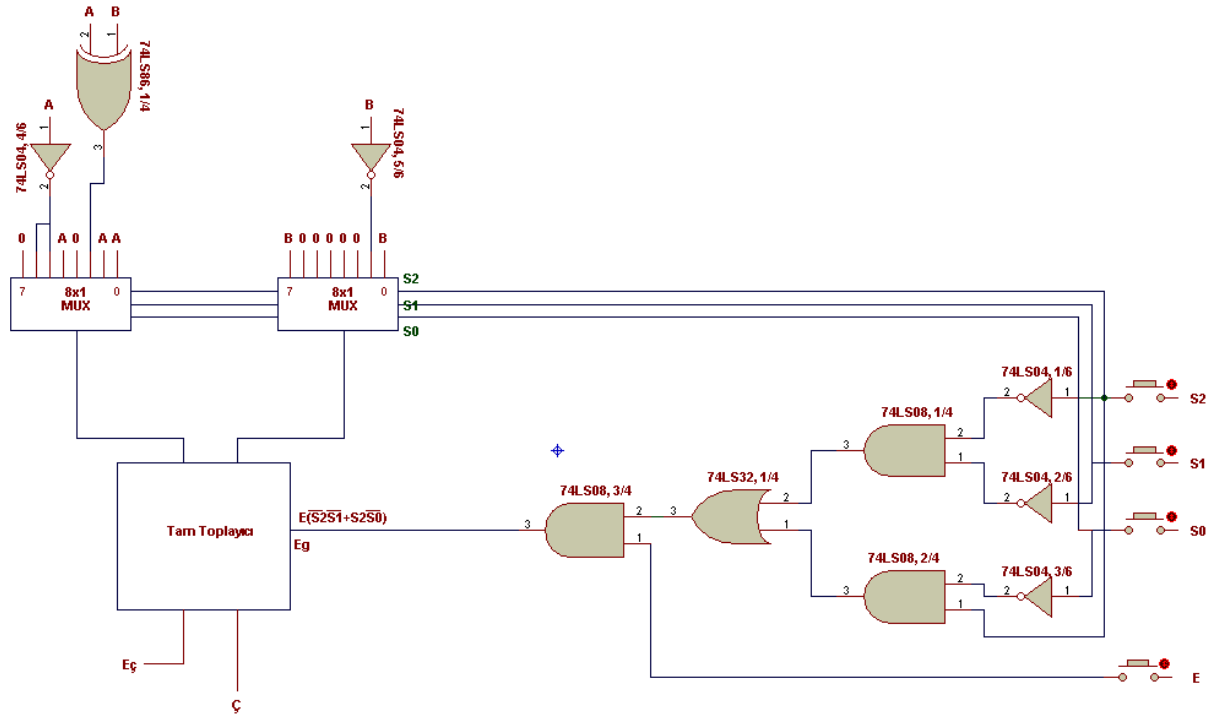
**Deneyi Yaptıran Araştırma Görevlisi: Selda Kuruoğlu**

**A)Amaç:** Kombinezonsal olmayan devrelerle tamsayılar üzerinde aritmetik işlemler yapıldığını ve bunun sayının büyüklüğünden bağımsız olarak hesaplandığını göstermek ve bir problemin tanımından gerçekleştirilmesine kadar olan süreçte öğrencilerin şimdiye dek elde etmiş olduğu kuramsal ve uygulama bilgilerinin kullanılmasını sağlamaktadır.

## B)Devre Çizimleri ve Sonuçları

### Deney 9.1:

#### Yapılan Tasarım :

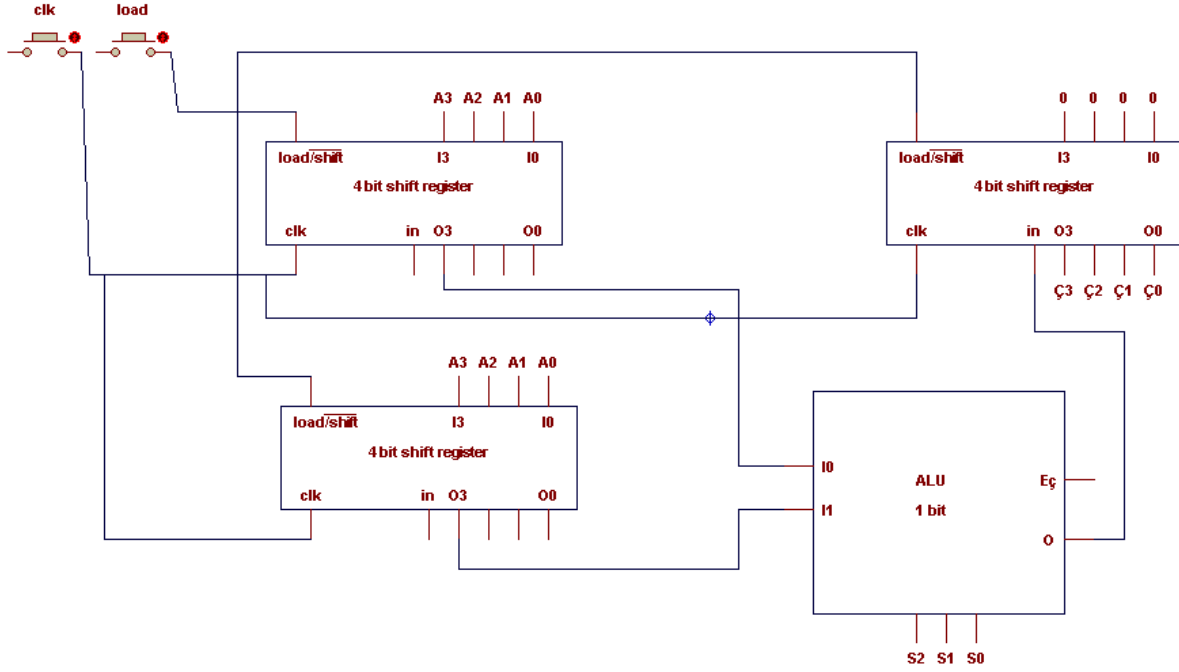


S2	S1	S0	İŞLEMLER
0	0	0	$\checkmark \leftarrow A + B + E_g$
0	0	1	$\checkmark \leftarrow A + B' + E_g$
0	1	0	$\checkmark \leftarrow A \oplus B$
0	1	1	$\checkmark \leftarrow 0$
1	0	0	$\checkmark \leftarrow A + E_g$
1	0	1	$\checkmark \leftarrow A'$
1	1	0	$\checkmark \leftarrow A' + E_g$
1	1	1	$\checkmark \leftarrow B$

Tasarımda veri seçiciler kullanılarak tam toplayıcıya işlemler için gereken verilerin gitmesi temel alınmıştır. 8 işlem yapabilen bir aritmetik için 3 adet seçici giriş yeterli olmakta ve her değişik giriş tabloda görülen farklı bir işlemi gerçekleştirmektedir. Bütün işlem sonuçları tam toplayıcının çıkışından alınmaktadır ve elde çıkışı da yapılan işleme uygun olarak değerini değiştirmektedir.

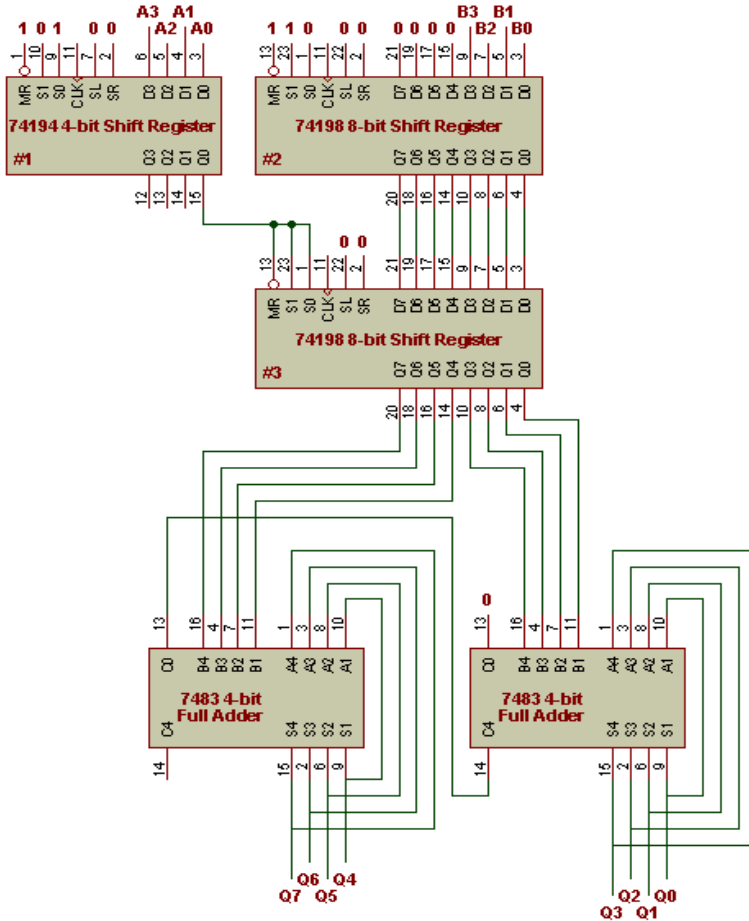
## Deney 9.2:

### Yapılan Tasarım :



Tasarımda 4 bitlik verilerin shift registerlara yüklenmesi planlanmış ve ALU’da işlemler yapıldıktan sonra oluşan çıkışların da bir başka shift registerın çıkışlarında tutulması sağlanmıştır. Böylece 4 bitlik işlemin sonucu saklanmış olmaktadır.

### Raporda İstenenler:



Önce #1 ve #2 nolu shift registerların S1 ve S0 bacakları 1 yapılarak sayılar load edilir. Daha sonra #1 nolu shift register için S1=0, S0=1 yapılarak sağa öteleme ayarı yapılmış olur. #2 nolu shift register içinde S1=1, S0=0 yapılarak sola doğru öteleme ayarının yapılması sağlanır. #2 nolu shift registerın 8 bitlik ve toplama devresinin 8 bitlik olmasının nedeni 4 bit 2 sayının çarpımının 8 bite kadar çıkabilmesinden kaynaklanmaktadır. #1 shift registerının çıkışının ilk biti kontrol biri konumunda kullanılır. Eğer 0 ise #3 shift registerının çıkışları 0 olacaktır. Eğer 1 ise S1 ve S0 da 1 yapılır. Böylece #3 shift registerının çıkışı kontrol bitine bakarak değiştirilerek toplama devresine aktarılmış olur. Toplama devresi de sürekli bir önceki değeri ile #3 nolu shift registerından gelen değeri toplayarak çarpma işlemini deney füyündeki 2.algoritmaya göre yapmış olur.