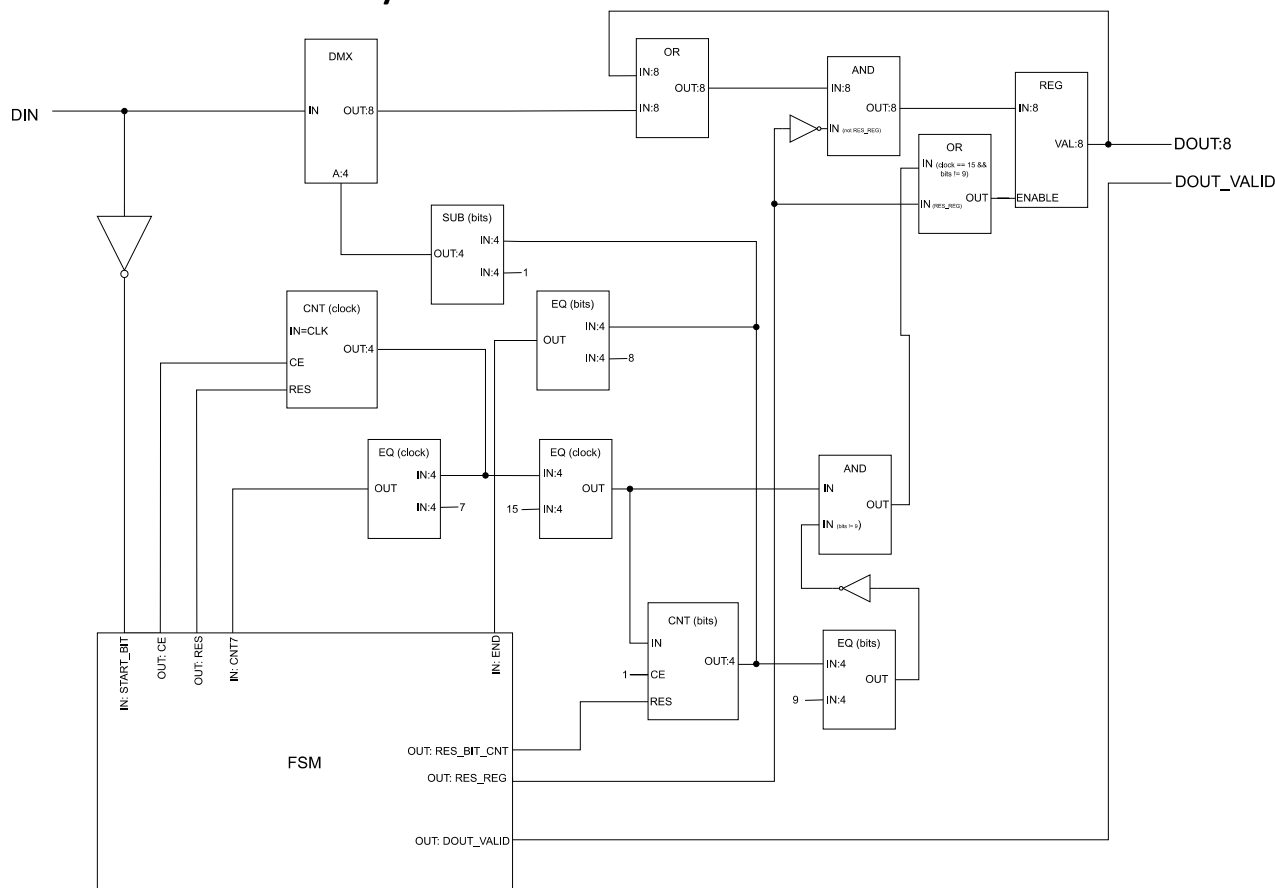


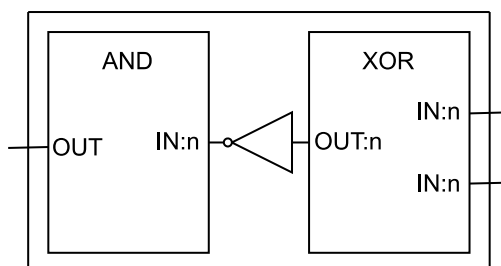
INC – Návrh číslicových systémů Návrh projektu

Návrh architektury

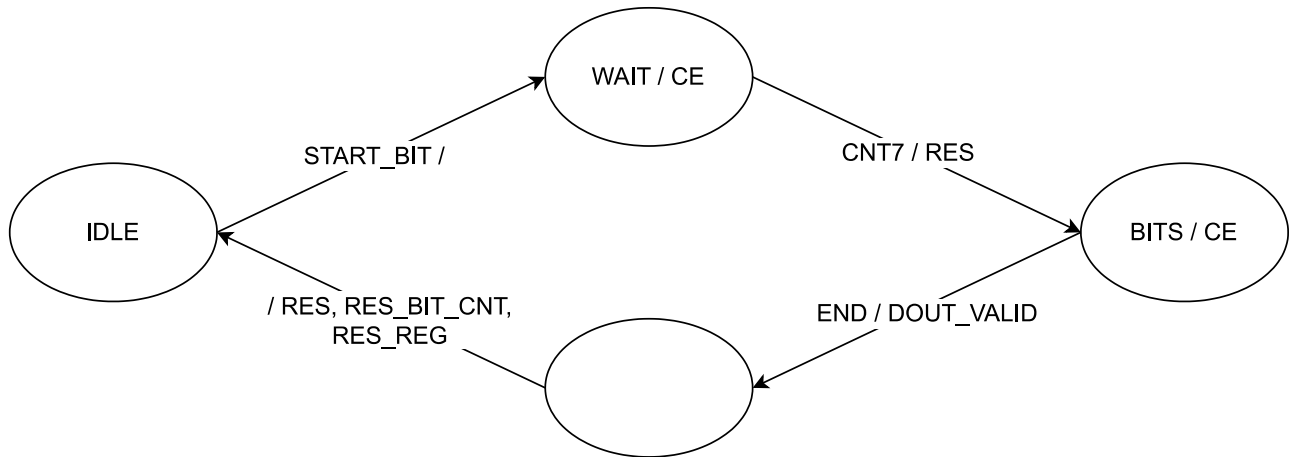


Poznámky:

- Činnost řídicího automatu spustí samotný datový signál.
- Chování datové cesty je řízeno dvěma 4bitovými čítači CNT.
- První čítač se inkrementuje každý takt hodin (začne až na začátku příjmu dat, do té doby CE – count enable v nule).
- V osmém taktu čítač nastaví příznak řídicímu automatu CNT7. Automat čítač vyresetuje.
- Za 16 taktů, uprostřed prvního datového bitu, se inkrementuje druhý čítač, který počítá bity. Má hodnotu jedna a protože chci, aby v prvním datovém bitu byl adresový vstup demultiplexoru hodnota nula, použil jsem odčítačku.
- V tomto šestnáctém taktu se nastaví registru příznak ENABLE a jeho hodnota se nastaví na logický součet bitů původní hodnoty a bitů nové hodnoty (výstup demultiplexoru).
- V posledním bitu STOP_BIT se nastaví automatu příznak END. Je ošetřeno aby se poslední STOP_BIT do registru nezapisoval.
- Automat na jeden takt nastaví příznak DOUT_VALID a následující takt resetuje čítače a registr a vrátí se do klidového stavu: čekání na START_BIT.
- EQ je modul pro rovnost (equals) a budiž realizován např. takto:



Návrh automatu



Legenda:

- Vstupy: START_BIT, CNT7, END
- Mealyho výstupy: RES, RES_BIT_CNT, RES_REG
- Moorovy výstupy: CE

Poznámky:

- Počáteční stav je IDLE a počítá se tím, že jsou čítače a registr nulové.
- Uvedení vstupu/výstupu znamená, že je na tomto vstupu/výstupu automatu logická jednička. Neuvedení znamená logickou nulu.
- Automat splňuje požadavky, které souvisí s návrhem architektury.
- Na začátku zařídí offset do poloviny bitu (reset čítače taktů v osmém taktu) a obvod následně funguje samočinně až do posledního bitu, kdy automat na základě příznaku END resetuje čítače a začne znovu čekat na START_BIT.