

USB 转高速串口芯片 CH343

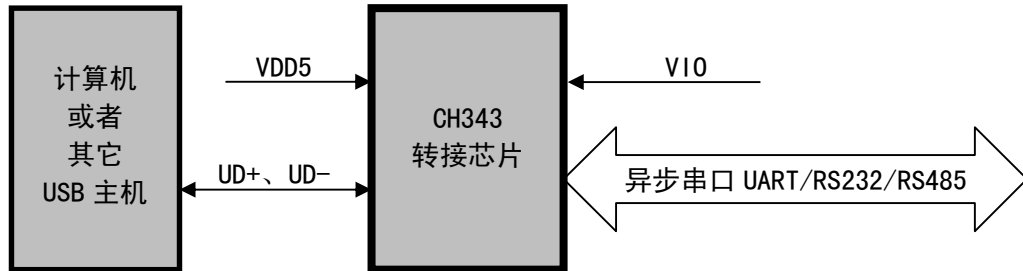
手册

版本: 1E

<http://wch.cn>

1、概述

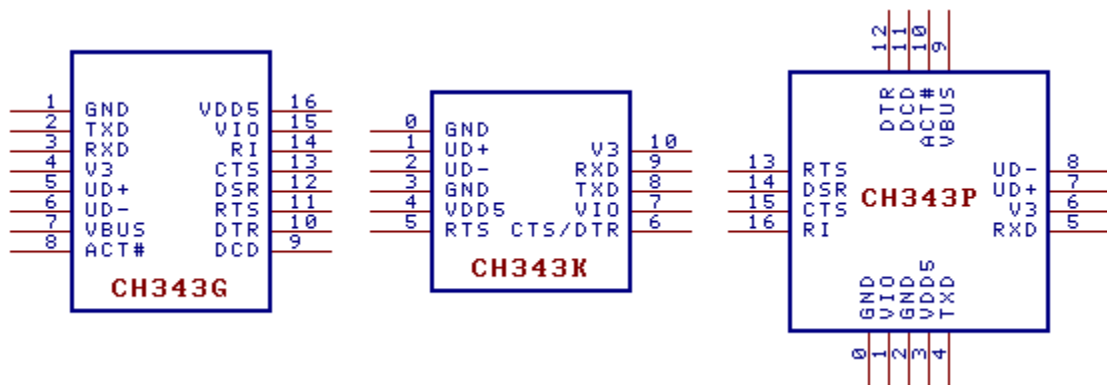
CH343 是一个 USB 总线的转接芯片, 实现 USB 转高速异步串口, 同时支持 115200bps 及以下通讯波特率的自动识别和动态自适应, 提供了常用的 MODEM 联络信号, 用于为计算机扩展异步串口, 或者将普通的串口设备或者 MCU 直接升级到 USB 总线。



2、特点

- 全速 USB 设备接口, 兼容 USB V2.0。
- 内置固件, 仿真标准串口, 用于升级原串口外围设备, 或者通过 USB 增加额外串口。
- 计算机端 Windows 操作系统下的串口应用程序完全兼容, 无需修改。
- 支持免安装的操作系统内置 CDC 类驱动程序或者多功能高速率的 VCP 厂商驱动程序。
- 硬件全双工串口, 内置独立的收发缓冲区, 支持通讯波特率 50bps~6Mbps。
- 可选自动识别和动态自适应在 115200bps 及以下的常用通讯波特率。
- 串口支持 5、6、7 或者 8 个数据位, 支持奇校验、偶校验、空白、标志以及无校验。
- 支持常用的 MODEM 联络信号 RTS、DTR、DCD、RI、DSR、CTS。
- 支持 CTS 和 RTS 硬件自动流控。
- 支持半双工, 提供正在发送状态 TNOW 支持 RS485 切换。
- 通过外加电平转换器件, 支持 RS232 接口。
- USB 端支持 5V 电源电压和 3.3V 电源电压。
- 串口 I/O 独立供电, 支持 5V、3.3V、2.5V、1.8V 电源电压。
- 内置上电复位, 内置时钟, 无需外部晶振。
- CH343P 内置 EEPROM, 可配置芯片 VID、PID、最大电流值、厂商和产品信息字符串等参数。
- 芯片内置 Unique ID (USB Serial Number)。
- 提供 SOP16 和 ESSOP10 及 QFN16 无铅封装, 兼容 RoHS。

3、封装



封装形式	塑体宽度		引脚间距		封装说明	订货型号
SOP16	3.9mm	150mil	1.27mm	50mil	标准的 16 脚贴片	CH343G
ESSOP10	3.9mm	150mil	1.00mm	39mil	带底板的窄距 10 脚贴片	CH343K
QFN16_3X3	3*3mm		0.5mm	19.7mil	方形无引线 16 脚	CH343P

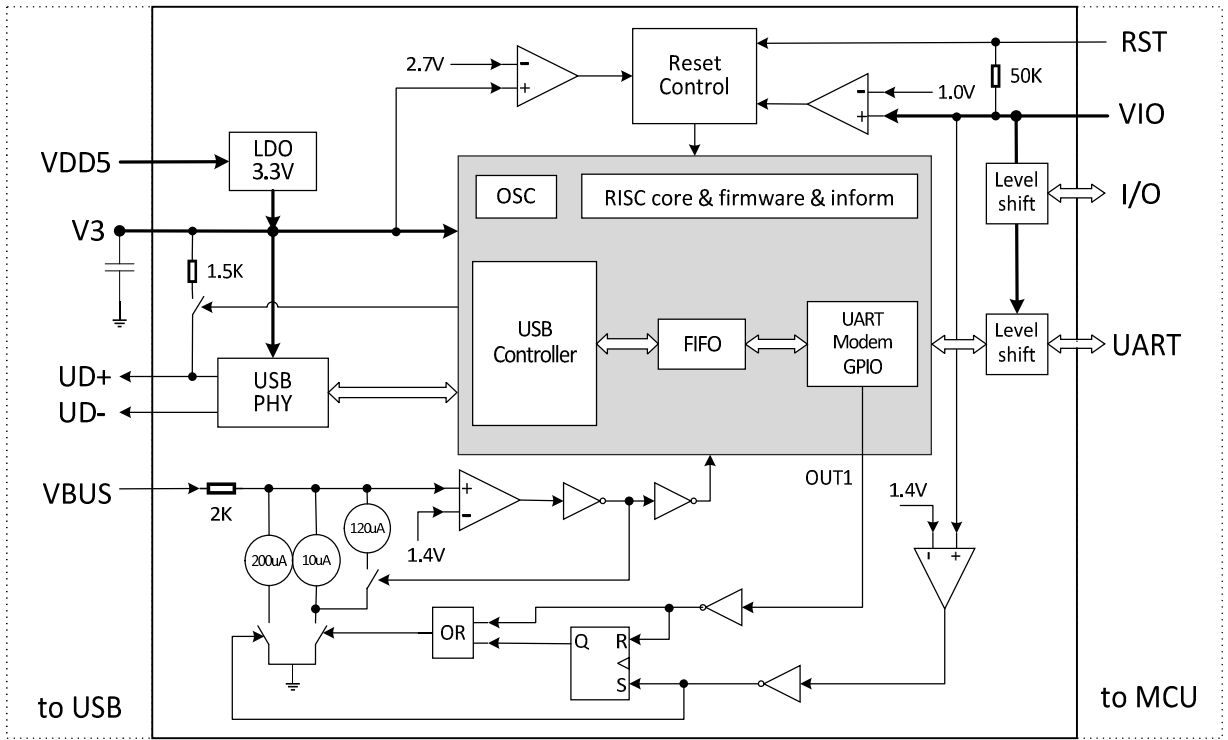
注：CH343K/CH343P 的底板是 0#引脚 GND，是可选但建议的连接；其它 GND 是必要连接。
CH343 的 USB 收发器按 USB2.0 全内置设计，UD+和 UD-引脚不能串接电阻，否则影响信号质量。

4、引脚

SOP16 引脚号	ESSOP10 引脚号	QFN16 引脚号	引脚 名称	类型	引脚说明
16	4	3	VDD5	电源	电源调节器正电源输入端，需要外接退耦电容
15	7	1	VIO	电源	I/O 端口电源输入端，需要外接退耦电容
1	3,0	2,0	GND	电源	公共接地端，需要连接 USB 总线的地线
4	10	6	V3	电源	内部电源调节器输出和内核及 USB 电源输入， 当 VDD5 电压小于 3.6V 时连接 VDD5 输入外部电源， 当 VDD5 电压大于 3.6V 时外接退耦电容
无	无	无	RST	输入	外部复位输入端，低电平有效，内置上拉电阻
5	1	7	UD+	USB 信号	直接连到 USB 总线的 D+数据线，不能额外串接电阻
6	2	8	UD-	USB 信号	直接连到 USB 总线的 D-数据线，不能额外串接电阻
7	无	9	VBUS	输入	USB 总线的 VBUS 状态检测输入，内置下拉电阻
2	8	4	TXD	输出	串口的串行数据输出，空闲态为高电平
3	9	5	RXD	输入	串口的串行数据输入，内置上拉电阻
13		15	CTS	输入	MODEM 联络输入信号，清除发送，低有效
	6		CTS 或 DTR	默认输入 可自动 转成输出	默认是 MODEM 联络输入信号，清除发送，低有效。 当计算机端软件设置 DTR 有效时起，自动切换为 MODEM 联络输出信号，数据终端就绪，低有效
12	无	14	DSR	输入	MODEM 联络输入信号，数据装置就绪，低有效
14	无	16	RI	输入	MODEM 联络输入信号，振铃指示，低有效
9	无	11	DCD	输入	MODEM 联络输入信号，载波检测，低有效
10	无	12	DTR TNOW	输出	MODEM 联络输出信号，数据终端就绪，低有效， 上电期间如果检测到外接了下拉电阻则切换为 串口发送正在进行的状态指示，高电平有效
11	5	13	RTS	输出	MODEM 联络输出信号，请求发送，低有效
8	无	10	ACT#	输出	USB 配置完成状态输出，低电平有效，挂起时无效。 上电期间如果检测到外接了下拉电阻则切换为 通讯波特率自适应模式，软件也可以启用该模式

5、功能说明

5.1. 内部结构



5.2. 电源与功耗

CH343 芯片有 3 个电源端，内置了产生 3.3V 的电源调节器。VDD5 是电源调节器的输入端，V3 是电源调节器的输出端和 USB 收发器及内核电源输入，VIO 是 I/O 引脚电源。

CH343 芯片支持 5V 或者 3.3V 电源电压，V3 引脚应该外接容量为 0.1uF 左右的电源退耦电容。当使用 5V 工作电压（大于 3.8V）时，VDD5 引脚输入外部 5V 电源（例如 USB 总线电源），由内部电源调节器于 V3 引脚产生 3.3V 电源，用于 USB 收发器。当使用 3.3V 或更低工作电压（小于 3.6V）时，V3 引脚应该与 VDD5 引脚相连接，同时输入外部的 3.3V 电源，V3 引脚仍需外接电源退耦电容。

CH343 芯片的 VIO 引脚用于为串口 I/O 和 RST 引脚提供 I/O 电源，支持 1.8V~5V 电源电压，VIO 应该与 MCU 等外设使用同一电源。UD+和 UD-及 VBUS 引脚使用 V3 电源，不使用 VIO 电源。

CH343 芯片自动支持 USB 设备挂起以节约功耗。在 USB 挂起状态下，如果 I/O 输出引脚没有外部负载，I/O 输入引脚处于悬空（内部上拉）或者高电平状态，那么 VIO 电源将不消耗电流。另外，当 V3 和 VDD5 失去供电处于 0V 电压时，VIO 消耗电流情况同上，VIO 不会向 VDD5 或者 V3 倒灌电流。

VBUS 引脚应该连接到 USB 总线的电源，当检测到失去 USB 电源时，CH343 芯片将关闭 USB 并睡眠（挂起）。CH343K/J 芯片没有 VBUS 引脚，所以假定一直存在 USB 电源。VBUS 引脚内置的下拉电阻可以由计算机端软件通过设置串口 MCR 寄存器中的 OUT1 信号控制（SERIAL_IOC_MCR_OUT1），OUT1 无效时开启下拉电阻（默认状态），OUT1 有效时关闭下拉电阻。

当 VBUS 引脚串接电阻后用于通过 PMOS 控制 VIO 电源时，CH343 提供了 VIO 低压保护机制。在关闭 VBUS 下拉电阻期间，如果检测到 VIO 电压低于约 1.4V，那么 CH343 将自动在 VBUS 引脚吸收约 300uA 放电电流，直到 VIO 电压升高后结束该放电电流，并自动开启下拉电阻。

以下为几种电源连接方案，供参考。

供电方案	串口信号电压	VDD5 引脚	V3 引脚	VIO 引脚	MCU 或外设电源
	MCU 工作电压	不低于 V3 电压	额定 3.3V 左右	两者用同一电源，1.8V~5V	
全部 USB 供电	5V	USB 供电 5V	仅外接电容	USB 供电 5V	
	3.3V	USB 供电 5V	外接电容	由 V3 供电 3.3V，最多 10mA	
	3.3V	USB 供电 5V 经外置 LDO 电源调节器降压到 3.3V，V3 外接电容			
	1.8V~4V	USB 供电 5V	仅外接电容	USB 供电经外置 LDO 调节器降压	
USB+自供	1.8V~5V	USB 供电 5V	仅外接电容	自供电 1.8V~5V	

双供电				(1.8V, 2.5V, 3.3V, 5V)
全部自行供电	4V~5V	自供电 4V~5V	仅外接电容	自供电 4V~5V
	1.8V~5V	自供电, 额定 3.3V, 外接电容		自供电 1.8V~5V

推荐双供电方案, 仅 VIO 与 MCU 共用电源, 消耗电流极小, USB 挂起/睡眠时 VIO 电流仅 2 μ A。

5.3. 串口

异步串口方式下 CH343 芯片的引脚包括: 数据传输引脚、MODEM 联络信号引脚、辅助引脚。

数据传输引脚包括: TXD 引脚和 RXD 引脚。串口输入空闲时, RXD 应为高电平。串口输出空闲时, TXD 为高电平。

MODEM 联络信号引脚包括: CTS 引脚、DSR 引脚、RI 引脚、DCD 引脚、DTR 引脚、RTS 引脚。所有这些 MODEM 联络信号都是由计算机应用程序控制并定义其用途。

CH343 芯片的 DTR 引脚在上电或者复位期间作为配置输入引脚, 可以外接 4.7K Ω (3~8K Ω) 的下拉电阻产生默认的低电平, 使串口进入半双工模式, 并将原 DTR 引脚切换为 TNOW 输出引脚, 用于指示串口正在发送数据。在半双工模式下, TNOW 可以用于直接控制 RS485 收发器的收发切换。

CH343K 芯片的 CTS/DTR 引脚在计算机端软件设置 DTR 有效时则自动从 CTS 切换为 DTR (默认空闲态均为高电平), 并保持为 DTR 输出直到芯片重新上电或者复位。该 DTR 不支持半双工模式输入。

辅助引脚包括: ACT#引脚。ACT#引脚为 USB 设备配置完成状态输出, 可以用于通知 MCU 或者驱动串接了限流电阻后接到 VIO 的发光二极管。ACT#引脚在上电或者复位期间作为配置输入引脚, 可以外接 4.7K Ω (3~8K Ω) 的下拉电阻产生默认的低电平, 使串口进入通讯波特率自适应模式, 能够自动动态识别 115200bps 及以下的常用通讯波特率。主要支持 300、600、900、1200、1800、2400、3600、4800、9600、14400、19200、28800、33600、38400、56000、57600、115200 等常用通讯波特率以及 10K、20K、30K、50K、100K、150K、250K、300K、500K 等特殊高速通讯波特率。

CH343 的异步串口支持 CTS 和 RTS 硬件自动流控制, 可以通过软件启用。如果启用, 那么仅在检测到 CTS 引脚输入有效 (低电平有效) 时串口才继续发送下一个数据, 否则暂停串口发送; 当接收缓冲区空时, 串口会自动有效 RTS 引脚 (低电平有效), 直到接收缓冲区的数据较满时, 串口才自动无效 RTS 引脚, 并在缓冲区空时再次有效 RTS 引脚。使用硬件自动速率控制, 可以将己方的 CTS 引脚接到对方的 RTS 引脚, 并将己方的 RTS 引脚送到对方的 CTS 引脚。

CH343 内置了独立的收发缓冲区, 支持单工、半双工或者全双工异步串行通讯。串行数据包括 1 个低电平起始位、5、6、7 或 8 个数据位、1 个或 2 个高电平停止位, 支持奇校验/偶校验/标志校验/空白校验。CH343 支持常用通讯波特率: 50、75、100、110、134.5、150、300、600、900、1200、1800、2400、3600、4800、9600、14400、19200、28800、33600、38400、56000、57600、76800、115200、128000、153600、230400、256000、307200、460800、921600、1M、1.5M、2M、3M、4M、6M 等。

在通讯波特率较高的应用中, 建议启用硬件自动流控。全速 USB 仅 12Mbps, 考虑到协议开销等因素, 实际应用中应该避免串口处于连续或者全双工的 3Mbps 及以上的高速通讯状态。

CH343 串口接收信号的允许波特率误差不大于 2%, 串口发送信号的波特率误差小于 1.5%。

在计算机端的 Windows 操作系统下, CH343 支持系统自带的 CDC 类驱动程序, 也可安装高速率的 VCP 厂商驱动程序, 能够仿真标准串口, 所以绝大部分串口应用程序完全兼容, 通常无需任何修改。

CH343 可以用于升级原串口外围设备, 或者通过 USB 总线为计算机增加额外串口。通过外加电平转换器件, 可以进一步提供 RS232、RS485、RS422 等接口。

5.4. 时钟和复位及其它

CH343 芯片内置了 USB 上拉电阻, UD+和 UD-引脚应该直接连接到 USB 总线上。

CH343 芯片内置了电源上电复位电路, 还内置了低压复位电路, 同时监测 V3 引脚和 VIO 引脚的电压, 当 V3 电压低于 VRV3 或者 VIO 电压低于 VRVIO 时, 芯片自动硬件复位。

CH343 芯片内置了时钟发生器, 无需外部晶体及振荡电容。

5.5. 芯片参数配置

在较大批量应用时，CH343 的厂商识别码 VID 和产品识别码 PID 以及产品信息可以定制。

在少量应用时，可以使用内置了 EEPROM 的 CH343P 芯片。用户安装 VCP 厂商驱动程序后，可以通过芯片厂家提供的配置软件 CH34xSerCfg.exe，灵活配置芯片的厂商识别码 VID、产品识别码 PID、最大电流值、BCD 版本号、厂商信息和产品信息字符串描述符等参数。

6、参数

6.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

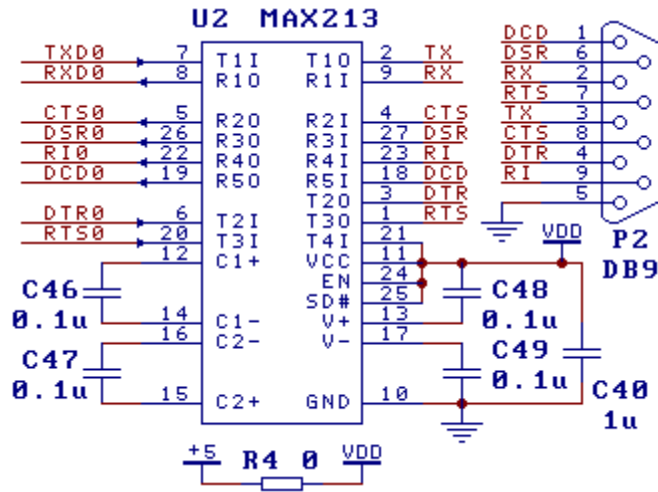
名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	℃
TS	储存时的环境温度	-55	125	℃
VDD5	USB 端电源电压（VDD5 引脚供电，GND 引脚接地）	-0.5	6.0	V
VIO	串口 I/O 电源电压（VIO 引脚供电，GND 引脚接地）	-0.5	6.0	V
VVBUS	VBUS 引脚上的电压	-0.5	6.5	V
VUSB	USB 信号引脚上的电压	-0.5	V3+0.5	V
VUART	串口及其它引脚上的电压	-0.5	VIO+0.5	V

6.2. 电气参数（测试条件：TA=25℃，VDD5=5V 或 VDD5=V3=3.3V，VIO=1.8V~5V，不含 USB 引脚）

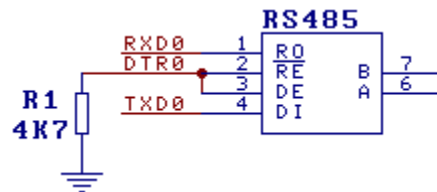
名称	参数说明		最小值	典型值	最大值	单位
VDD5	USB 端电源电压	V3 引脚不连 VDD5，V3 接电容	4.0	5	5.5	V
		V3 引脚连接 VDD5，VDD5=V3	3.0	3.3	3.6	
VIO	串口及其它 I/O 的 VIO 电源电压		1.7	5	5.5	V
IVDD	工作时 VDD5 或 V3 电源电流			3	15	mA
IVIO	工作时的 VIO 电源电流（取决于 I/O 负载）			0	(10)	mA
ISLP	USB 挂起时的电源电流	VDD5 供电端=5V		0.09	0.16	mA
		VDD5=V3 供电端=3.3V		0.085	0.15	mA
		VIO 供电端，无 I/O 负载/上拉		0.002	0.05	mA
ILD0	内部电源调节器对外负载能力				10	mA
VIL	低电平输入电压	VIO=5V	0		1.5	V
		VIO=3.3V	0		0.9	V
		VIO=1.8V	0		0.5	V
VIH	高电平输入电压	VIO=5V	2.5		VIO	V
		VIO=3.3V	1.9		VIO	V
		VIO=1.8V	1.3		VIO	V
VIHVBS	VBUS 引脚高电平电压		VIO=1.8V~5V	1.7	5.8	V
VOL	低电平输出电压	VIO=5V，吸入 15mA 电流		0.4	0.5	V
		VIO=3.3V，吸入 8mA 电流		0.3	0.4	V
		VIO=1.8V，吸入 3mA 电流		0.3	0.4	V
VOH	高电平输出电压 非复位态	VIO=5V，输出 10mA 电流	VIO-0.5	VIO-0.4		V
		VIO=3.3V，输出 5mA 电流	VIO-0.4	VIO-0.3		V
		VIO=1.8V，输出 2mA 电流	VIO-0.4	VIO-0.3		V
IPUP	串口和 RST 引脚的上拉电流 （上拉到 VIO 电压）	VIO=5V	35	150	220	μA
		VIO=3.3V	15	60	90	μA
		VIO=1.8V	3	14	21	μA
IPDN	VBUS 引脚的下拉电流	VBUS>1.6V	6	10	16	μA
		VBUS<1.3V	50	140	200	μA

7.2. USB 转 9 线 RS232 串口（下图）

CH343G 提供了常用的串口信号及 MODEM 信号，图中通过外部电平转换电路 U2 将 TTL 串口转换为 RS232 串口，端口 P2 是 DB9 插针，其引脚及功能与计算机的普通 9 针串口相同，U2 的类似型号有 MAX213/ADM213/SP213/MAX211 等。图中 U2 通过 R4 由 USB 总线统一供电。

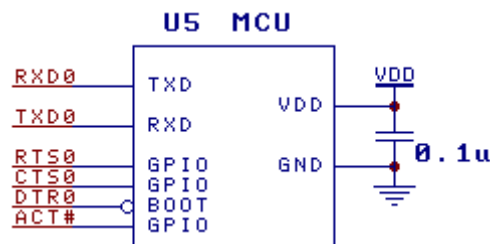


7.3. USB 转 RS485（下图）



图中 DTR 引脚外接下拉电阻，从而切换为 T_{NOV} 引脚，用于控制 RS485 收发器的 DE（高有效发送使能）和 RE#（低有效接收使能）引脚。RS485 收发器应该与 V_{I/O} 使用同一供电电源。

7.4. 连接单片机串口，各自供电（下图）



上图是双供电方式下 MCU 单片机通过 TTL 串口连接 CH343 芯片实现 USB 通讯的参考电路。CH343 由 USB 总线供电 V_{BUS}，MCU 及 V_{I/O} 使用另一自供电电源 V_{DD}，V_{DD} 支持 5V、3.3V、2.5V、1.8V。

除了 RXD 和 TXD，其它引脚都是可选连接。

如果串口速度较高，那么 MCU 可以通过 CTS 和 RTS 实现硬件自动流控。

如果需要，V_{BUS} (OUT1) 还可以用于控制 USB 电源 V_{BUS} 向 MCU 供电的 PMOS 电源开关，如下图所示：+5 为 USB 电源，V_{DD} 为 CH343 的 V_{I/O} 电源和 MCU 电源。默认状态下，V_{BUS} 的下拉电阻开启产生下拉电流，使 PMOS 栅极有足够电压开启，V_{BUS} 向 V_{I/O} 供电。计算机端软件在设置好 RTS 和 DTR 之后，设置 OUT1 有效，则 V_{BUS} 的下拉电阻关闭，从而使 PMOS 的栅极失去电压而关闭，最终 V_{I/O} 电压降低导致 MCU 低压复位。当 V_{I/O} 电压下降到约 1.4V 左右时，触发 V_{I/O} 低压保护机制，V_{BUS} 自动吸收下拉电流并恢复下拉电阻，使得 PMOS 重新开启，V_{I/O} 恢复供电。整个过程实现了 V_{I/O} 降压和 MCU 复位。发光管 D1 用于避免 V_{BUS} 电压太低，另外，在 Q1 与 V_{DD} 之间串联二极管可以防止 V_{DD} 向 +5 倒灌。

