Національний технічний університет України

«Київський політехнічний інститут»

Інститут прикладного системного аналізу

Кафедра системного проектування

**Лабораторна робота №5**

**з курсу комп’ютерної схемотехніки**

Виконала:

студентка групи ДА-42

Хмарська Світлана

Київ – 2016

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Значення В ±10%  Vtn, Vtp | Логічна схема | W,um  (початкова) | L,um  (початкова) | Прим. |
| 1.0 | 4і-ні | 5 | 3 |  |

**Короткі теоретичні відомості:**

Основною перевагою логічних вузлів на КМОП логиці є низьке споживання енергії (лише в момент перемикання). Приклади логічних вузлів на КМОП логиці наведено на рисунках 1 та 2. Зміна розрядності входу відбувається завдяки включенню додаткових пар транзисторів n і p-типу.

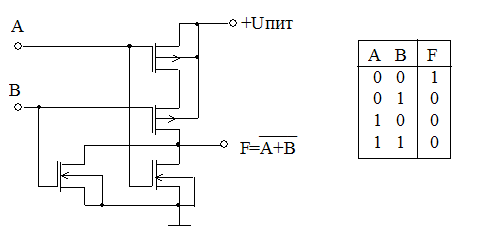


Рис.1. 2-АБО-НІ

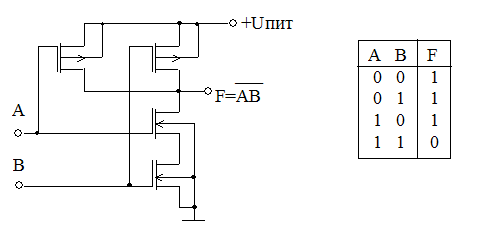
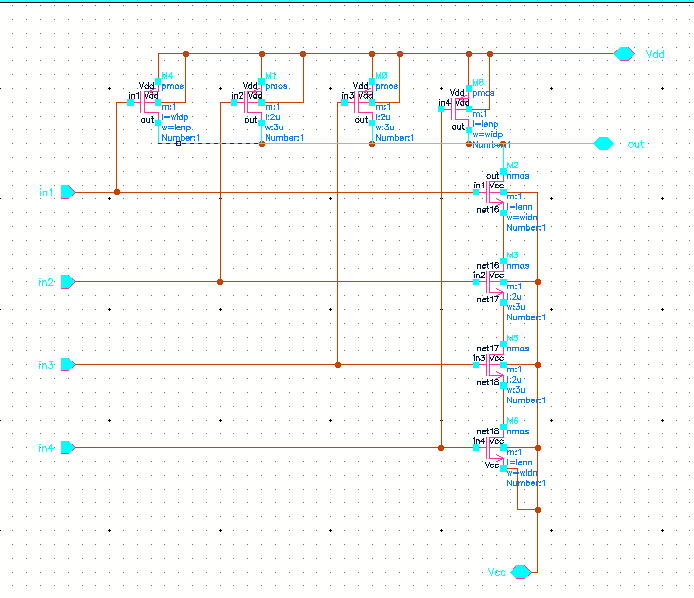
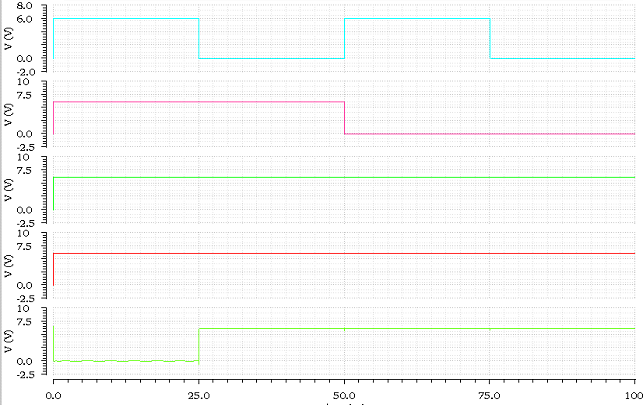


Рис.2. 2-ТА-НІ

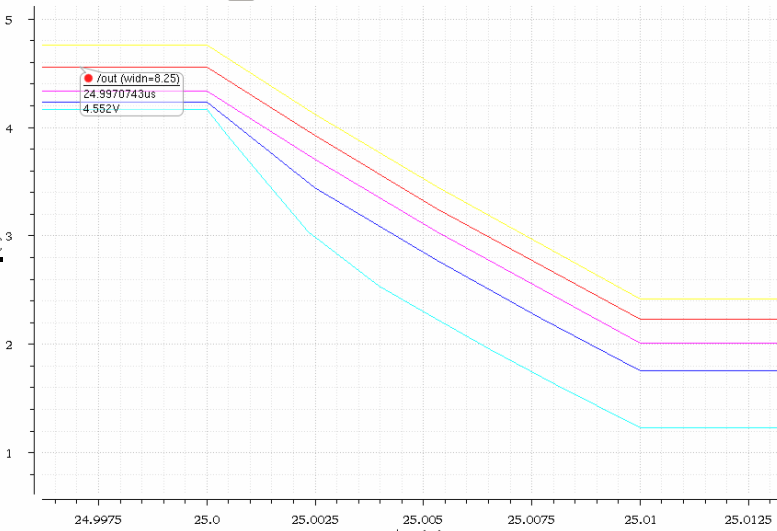
Схема логічного елементу ТА-НІ на чотири входи:



Перевірка правильності роботи елементу 4ТА-НІ (останній графік - вихід).



Підбір довжини на n-канальному транзисторі:



Затримки елемента (при параметрах транзистора згідно з варіантом):

tr (max) = 3.1 (ns) tf (max) = 3.18 (us)

Затримки елемента при нових параметрах:

tr (new) = 6.1 (ns) tf (new) = 6.44 (us)

Нові параметри транзисторів:

p-канального: w=11 (um) l=3(um)

n-канального: w=5 (um) l=11(um)

**Висновок**

У даній роботі я склала схему елементу 4та-ні, який, як показує часовий аналіз, був побудований вірно. Також я дізналась, як зі зміною напруги на підкладці змінюється час тривалості фронтів.