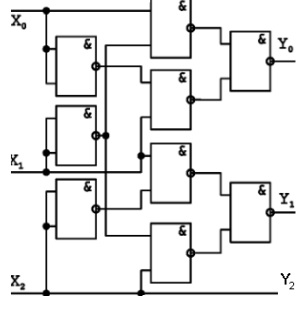
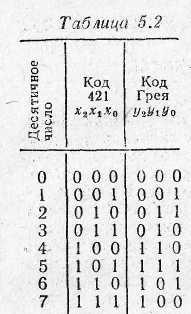
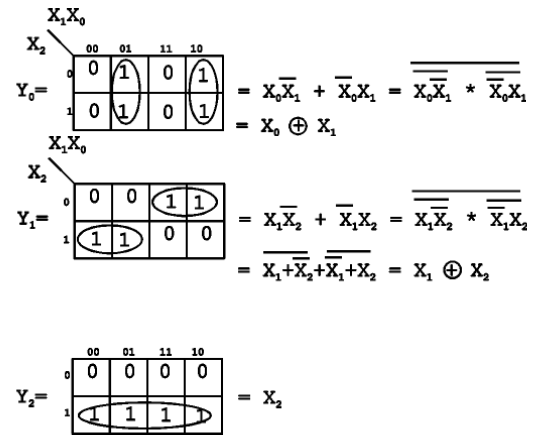
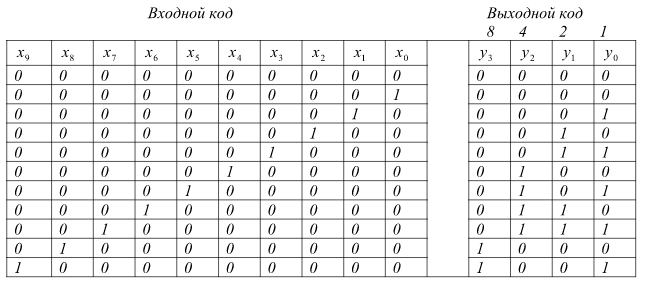
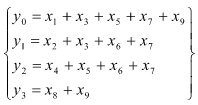
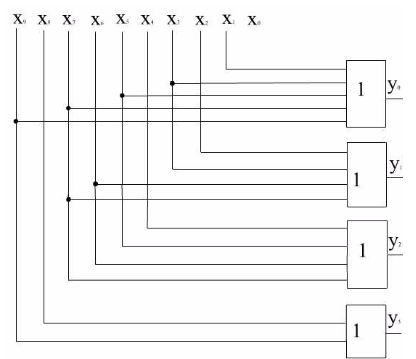
**Перетворення Кода «421» у код Грея**

**Перетворення «1 з n» у код «8421»**

Частным случаем преобразователя кодов является шифратор – устройство, обеспечивающее выдачу определенного кола в ответ на возбуждение одного из входов.

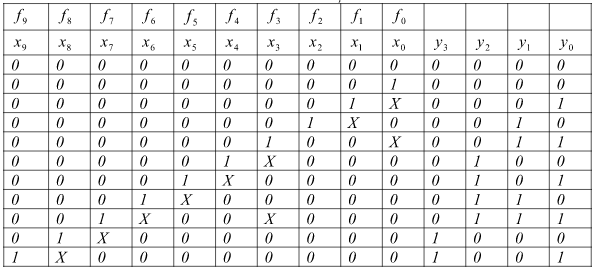


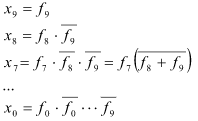


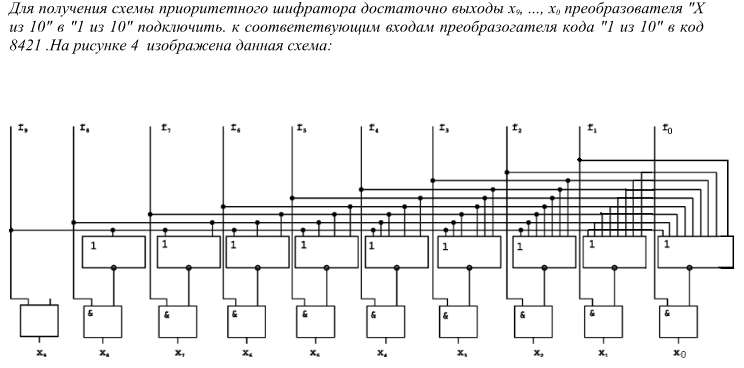
**Приклад на перетворенні з «Х з 10» у код «8421»**



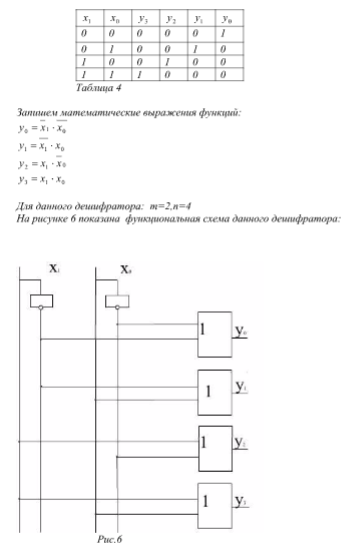
Проведем преобразование:”x из 10” в “ 1 из 10”, а затем в код”8421” Рассмотрим пример построения приоритетного шифратора для преобразования десятичных чисел в код 8421,изображенный в таблице 3:



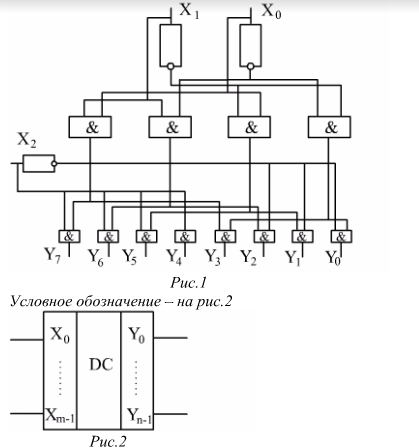




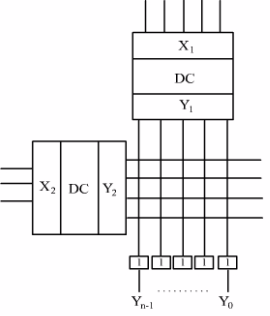
**Приклад для вихідного коду «1 з 4 »**



**Приклад для вихідного коду «1 з 8 »**



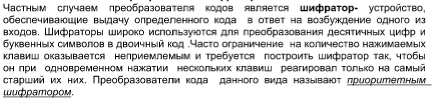
**Прямоугольні (квадратні)** Схема Повний неповний дешифратори



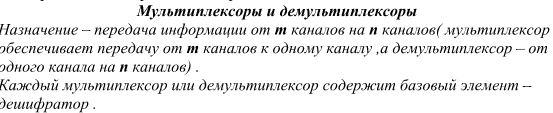
Полный дешифратор (decrypter) преобразует *n*разрядный двоичный код в унитарный, в котором каждой комбинации значений входных сигналов соответствует логическая единица только на одном из *N* = 2*n*выходов

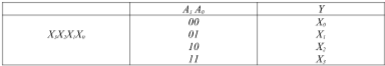
Дешифратор называется **неполным**, если часть входных разрядов не используется (то есть число выходов меньше {\displaystyle 2^{n}} 2^n).

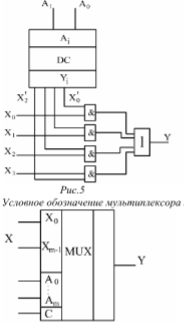
**Застосування шифраторів, дешифраторів для перетворення кодів**



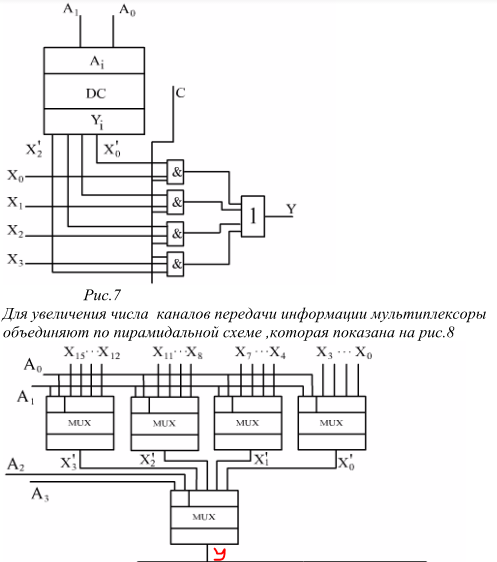
**Мультіплексор**

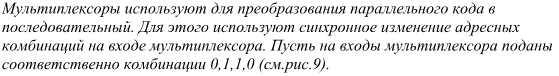


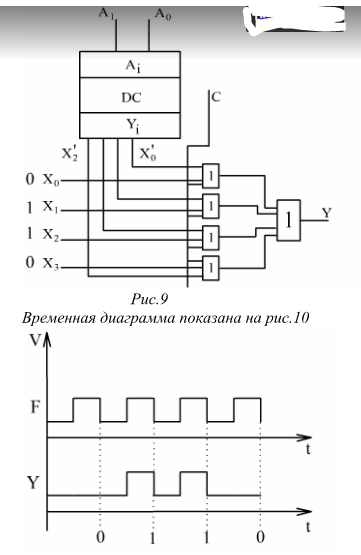


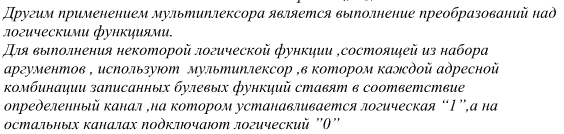




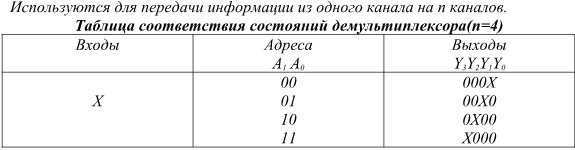


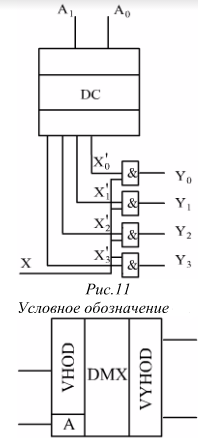




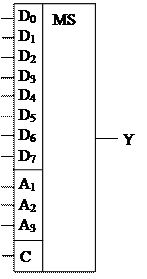


**Демультіплексор**





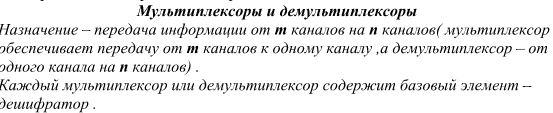
 мультиплексор, який містить вісім інформаційних входів D0, D1, … , D7; три керуючих (адресних) входи А1, А2, А3 і один строб-вхід С.

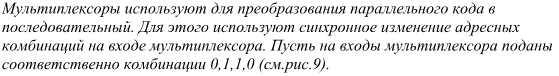


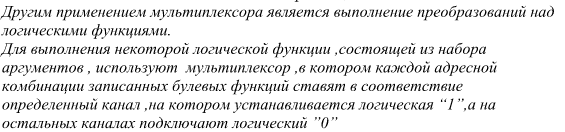
**Мультїплексорне-Демультіплексорне дерева**



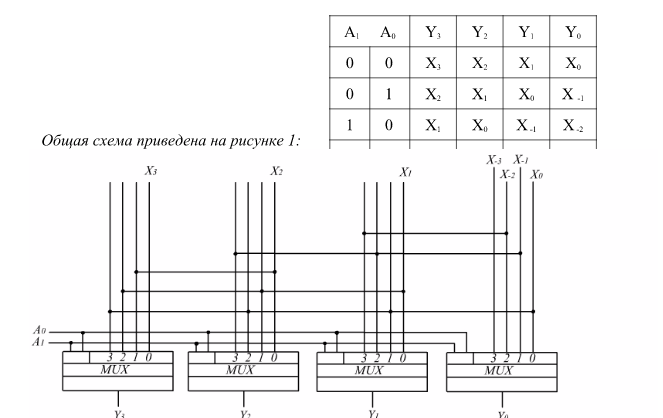
**Приклади застосування мультіплексорів , демультіплексорів**

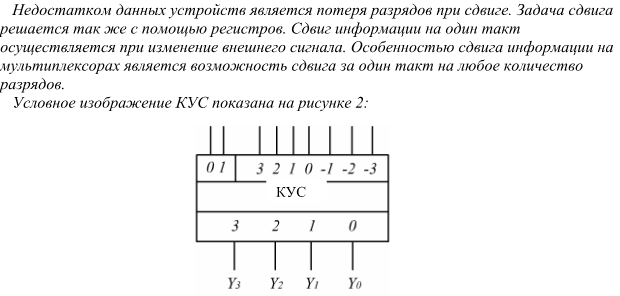




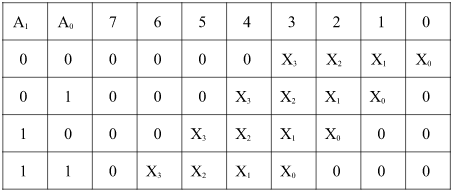


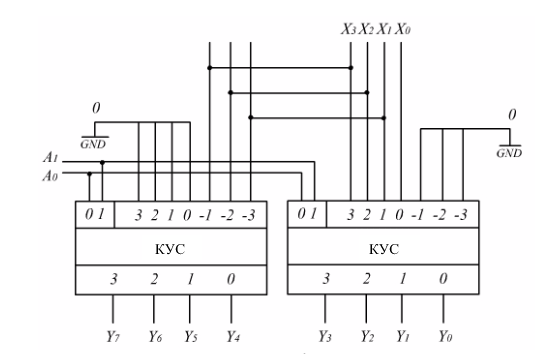
**Комбінаційний пристрій зсуву з витратою старших розрядів**



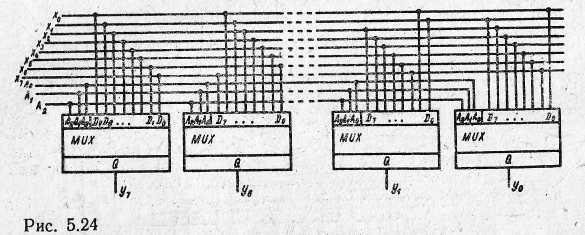


**Комбінаційний пристрій зсуву без витрати старших розрядів**

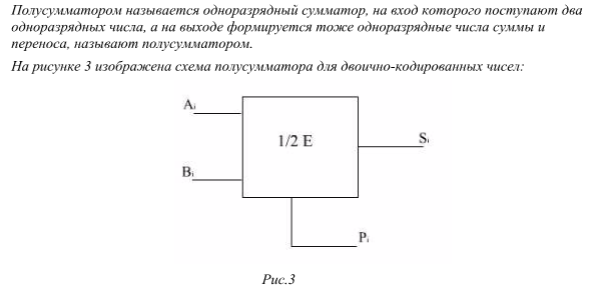


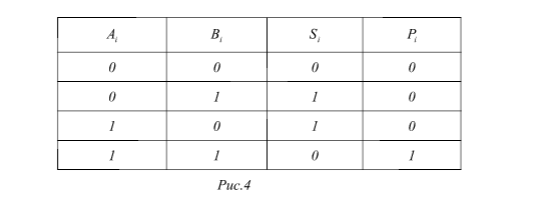


**Комбінаційний кільцевий пристрій зсуву**

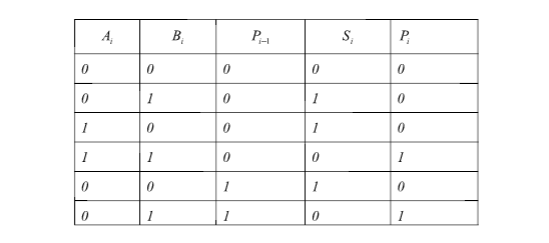
 

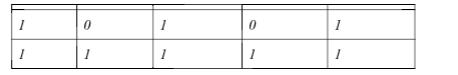
**14) Комбінайційний напівсумматор та повний сумматор**



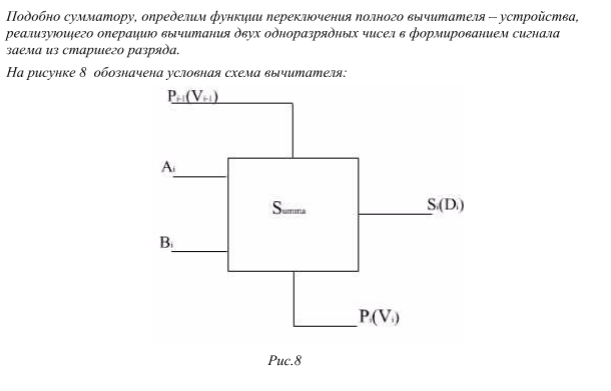








**15)Комбінаційний сумматор віднімання**





**16)Універсальний сумматор**

Совмещение операций сложения и вычитания требует дополнительного сигнала F,

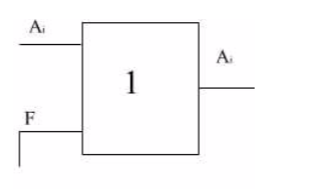
устанавливающего режим работы сумматора.

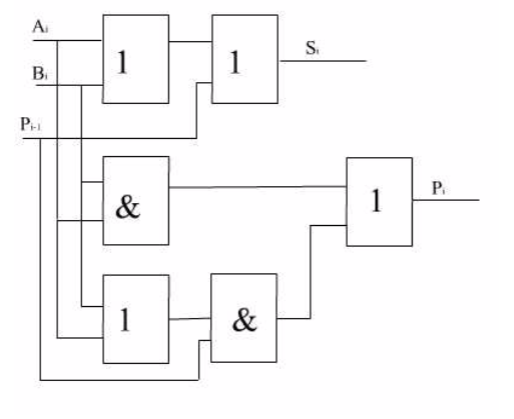
В сумматоре при F=0 производятся суммирования чисел и формирования переноса в

следующий разряд.

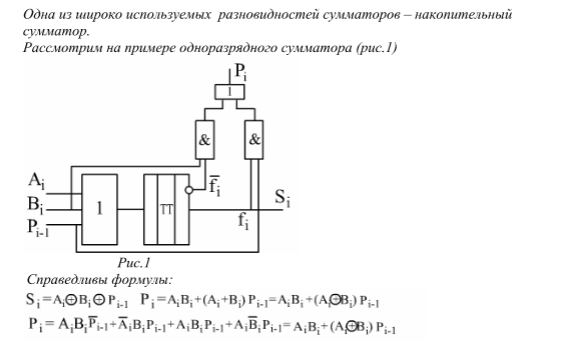
Если F=1 производится операция вычитания.

На рисунке 11 изображена схема, реализующую даную запись:





**17) Накопичуючий однорозрядний сумматор**



Основная идея работы накопительных сумматоров – последовательная обработка информации , поступающей на вход. Последовательность определяется серией тактовых импульсов . Поскольку число единиц информации , поступающих на вход – три ,то полное число

тактов,необходимых для обработки – также три. На первом такте на вход поступает A i ,

на втором - B i , на третьем - P i-1 , B i (B i поступает только на вход “И”) В простейшем случае на входе формируется схема “ИЛИ“,выход которой подключен к входу счетного триггера(основная функция счетного тригера – смена информации на противоположную при подаче двух одинаковых импульсов 1 и сохранение информации при поступлении 0 на вход).Логическая

функция ,выполняемая счетным триггером ,при последовательном поступлении

двух импульсов эквивалентна функции XOR.На выходе триггера формируется

функция исключающего “ИЛИ“ для А и В. Для формирования сигнала S

необходимо функция исключающего “ИЛИ“ с сигналом P i-1 ,которая

формируется на третьем такте схемы с подачей на вход сигнала P i-1 ,то есть

формируется функция XOR предыдущего состояния триггера с новым

поступившим сигналом P i-1. Для формирования сигнала переноса P i необходимо

сформировать дополнительно A i ,B i и функцию “И” для )(iiBAи P

i-1 с последующим объединением сигналов по схеме “ИЛИ“

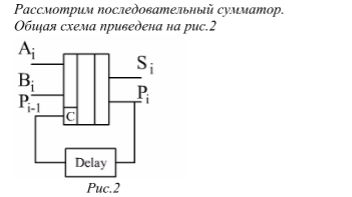
Для формирования A i B i используем инверсный вход триггера . Выходы

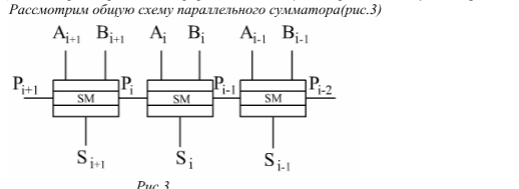
элементов “И” подключены на вход устройства ”ИЛИ”.Таким образом на

третьем такте завершается формирование сигнала ,в накапливающем

сумматоре.

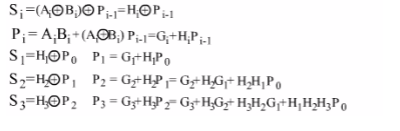
**18) Многорозрядные сумматоры**



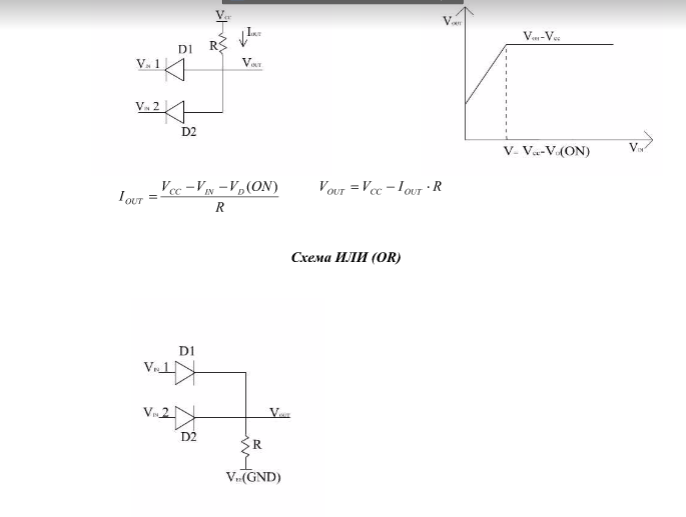


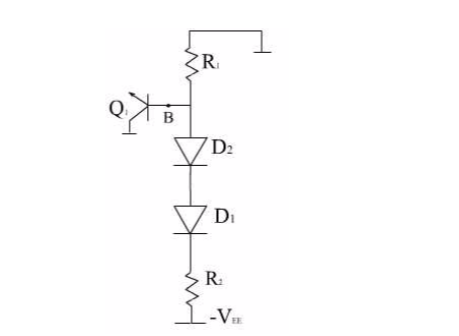
**19) Увеличение скорости многорозядного паралельного**

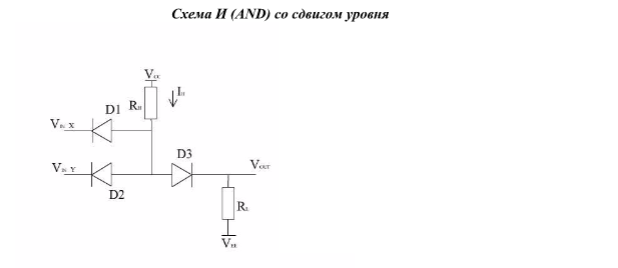
Параллельным сумматорам уделяют большое внимание , так как он обеспечивают большую скорость работы.Перенос определяет основную задержку в обработке чисел. Задержка резко возрастает с увеличением разрядности ,поскольку для обработки старшего разряда как правило нужна информация по обработке младших разрядов. Для увеличения скорости обработки используют схемы ускорения переноса.



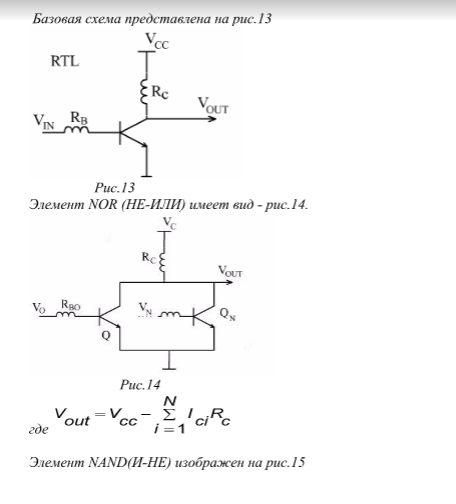
**20) диодно-резисторные лог. Элементы**

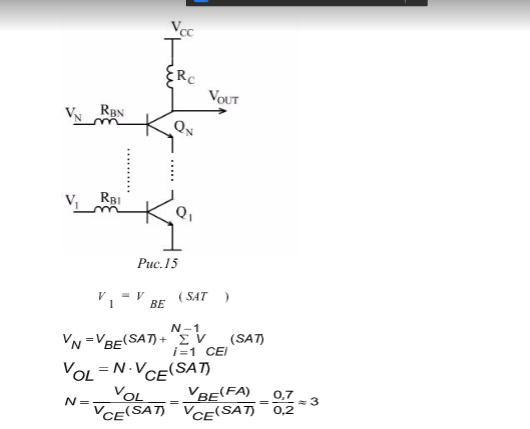




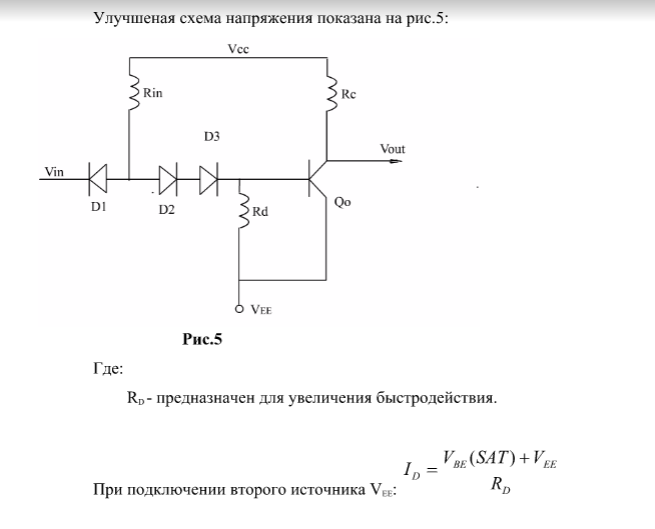


**21)Резисторно-транзисторная логика**





22) 



**23) Транзисторно-транзисторная**

