Національний технічний університет України

«Київський політехнічний університет»

Інститут прикладного системного аналізу

Кафедра системного проектування

Лабораторна робота №1

З курсу комп’ютерної схемотехніки на тему:

«Розробка архітектурної моделі тригеру»

Виконав студент

2 курсу

Групи ДА-51

Болобан Олег

Мета роботи: Ознайомитись з принципами побудови та роботи тригерів. Засвоїти базові поняття мови функціонально-логічного опису цифрових пристроїв. Придбати навички роботи з системами моделювання цифрових пристроїв.

Варіант завдання:

Тригер: R

Синхронізація: присутня

Активний стан кер. сигналів: 0

Робоча частота 3МГц

Не M-S

Короткі теоретичні відомості:

Тригер - базовий елемент пам’яті, який зберігає один біт інформації.

Свою назву **RS-тригер** одержав від перших літер англійських слів ***set*** — встановлювати (***S***) та ***reset*** — відновлювати (***R***).

***S*** — інформаційний вхід призначений для установлення тригера в одиничний стан (***Q*** = 1), а ***R*** — вхід призначений для повернення тригера у нульовий стан (***Q*** = 0).

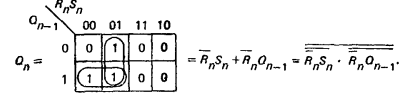
«Схема керування» перекодує набір керуючих сигналів в сигнали запису/збереження інформації в елементі пам’яті, який може бути побудований на одному з базових типів тригерів (наприклад RS-тригері) .

R - RESET - встановлення на виході каналу Q “0”(старший пріорітет);

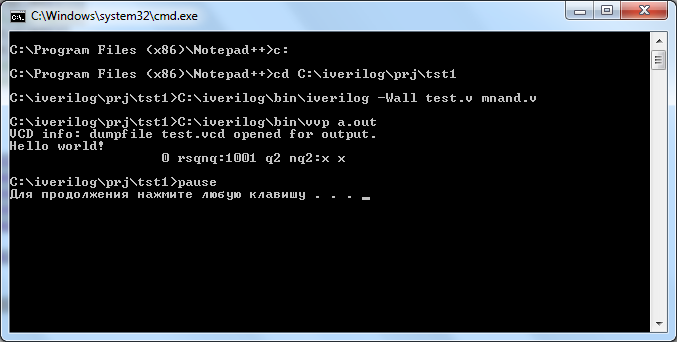


|  |  |  |
| --- | --- | --- |
| R | S | Q |
| 0 | 0 | Q` |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Таблиця переходів RS тригеру

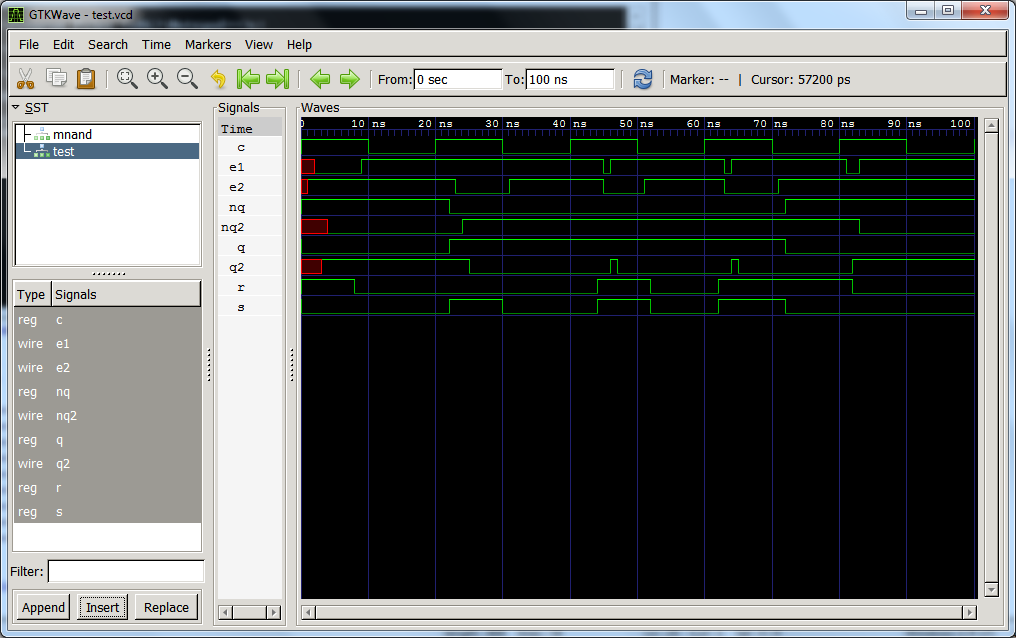
Карти Карно для R тригеру 

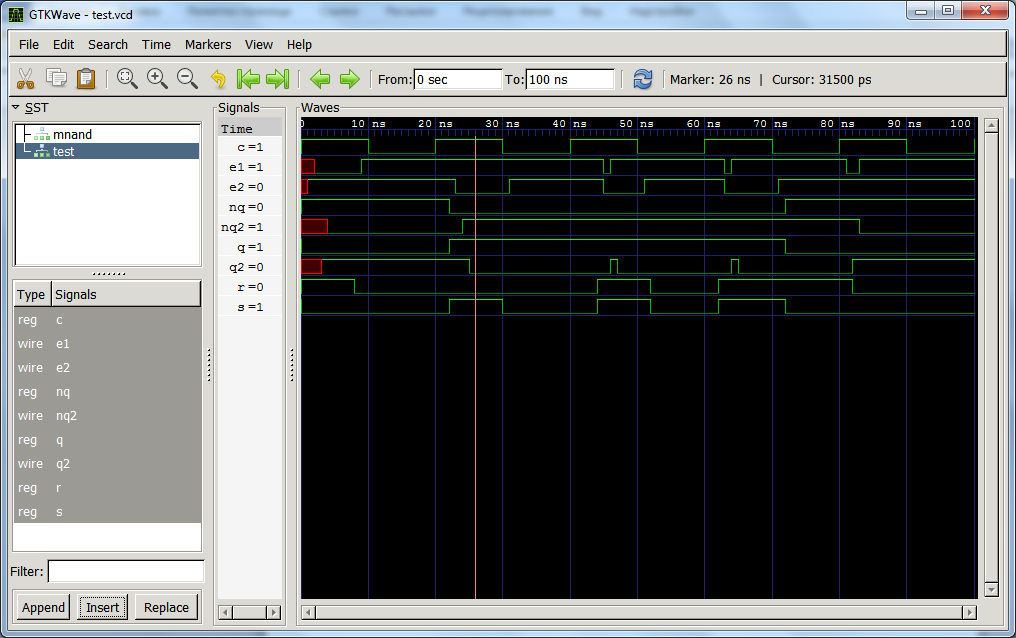
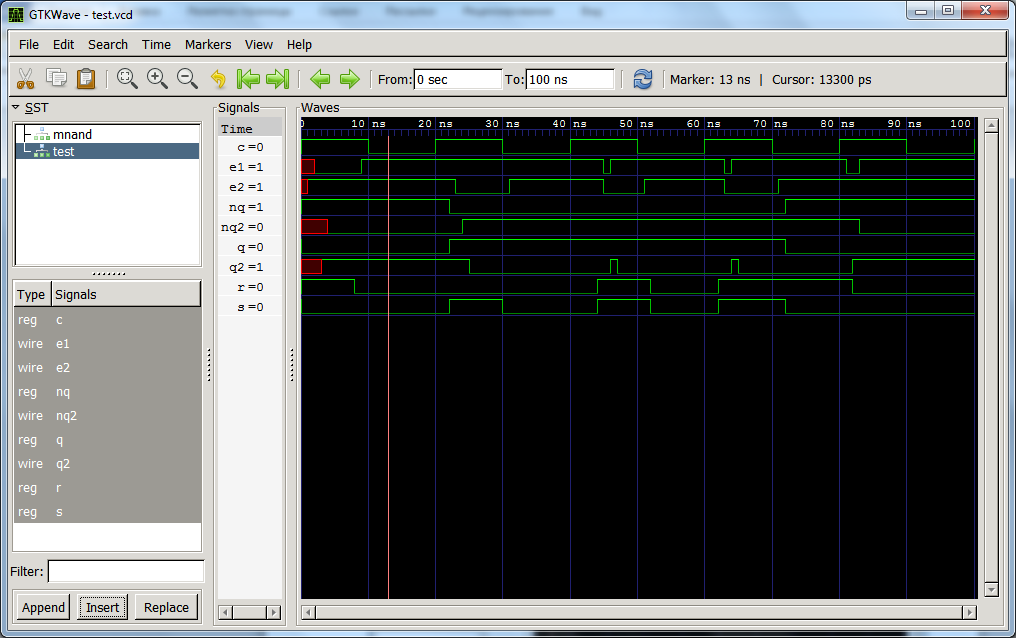
Написавши код мого тригеру на Verilog, я його запустив і в консолі побачив дане повідомлення:

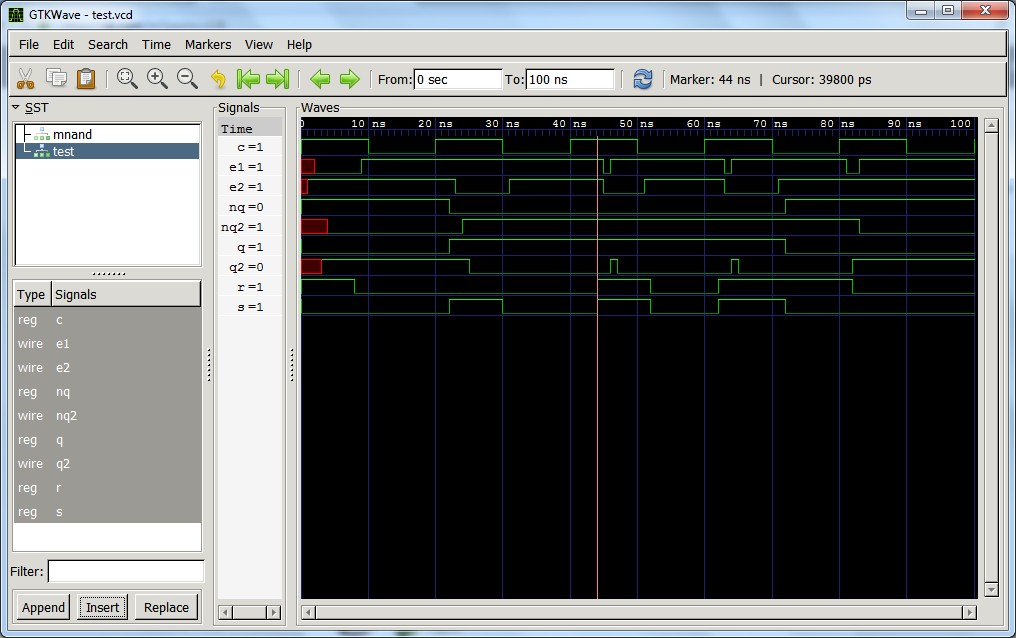


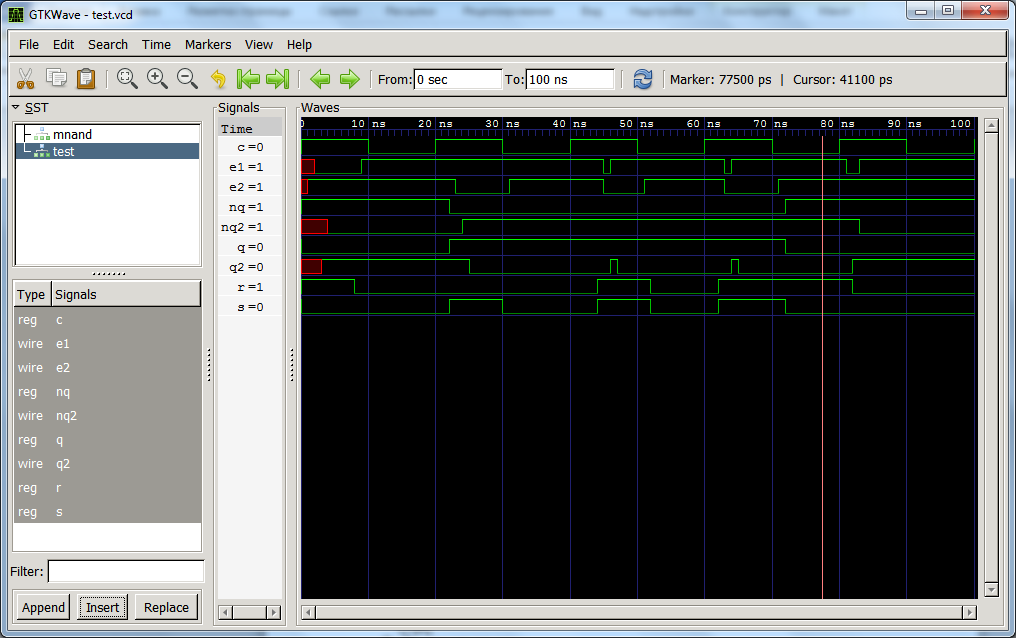
Рядок “Hello world!” свідчить про те, що програма відпрацювала правильно.

Після я використав файл gv.cmd, щоб завантажити програму GTKWave і отримав









Порівнявши дані з нашої програми з таблицею переходів мого тригеру, впевнився, що програма працює правильно.

Лістинг Verilog:

`timescale 1ns/1ps

module test;

wire q2,nq2, e1, e2;

reg q,nq;

reg r,s,c;

always@(r,s)

begin

case({r,s})

2'b01:begin q=1;nq=0; end

2'b10:begin q=0;nq=1; end

2'b11:begin q=1;nq=0; end

endcase

end

nand#1(q2,e1,nq2);

nand#1(nq2,q2,e2);

nand#1(e1,r,c,e2);

nand#1(e2,s,c);

initial

begin

$dumpfile("test.vcd");

$dumpvars;

$monitor($time," rsqnq:",r,s,q,nq," q2 nq2:",q2," ",nq2);

$monitoroff;

$display("Hello world!");

#100;

$finish;

end

always#10 c=~c;

initial

begin

c=1;

r=1;s=0;#8;

r=0;s=0;#14;

r=0;s=1;#8;

r=0;s=0;#14;

r=1;s=1;#8;

r=0;s=0;#10;

r=1;s=1;#10;

r=1;s=0;#10;

r=0;s=0;#10;

end

endmodule

Висновок:

У ході лабораторної за допомогою середовища Верілог було спроектовано R тригер, що схожий на RS, але канал R переважає канал S, і на виході виході каналу Q повинен бути “0”.