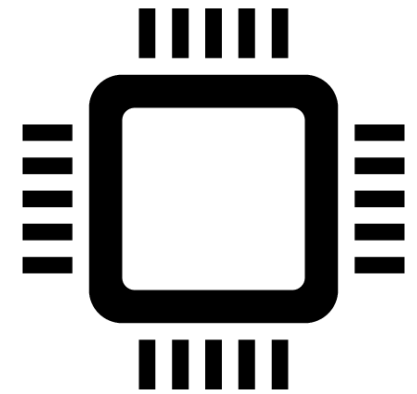


Programowanie struktur cyfrowych



dr Aleksander Lamża

Uniwersytet J. Kochanowskiego w Kielcach
Uniwersytet Śląski w Katowicach

aleksander.lamza@us.edu.pl

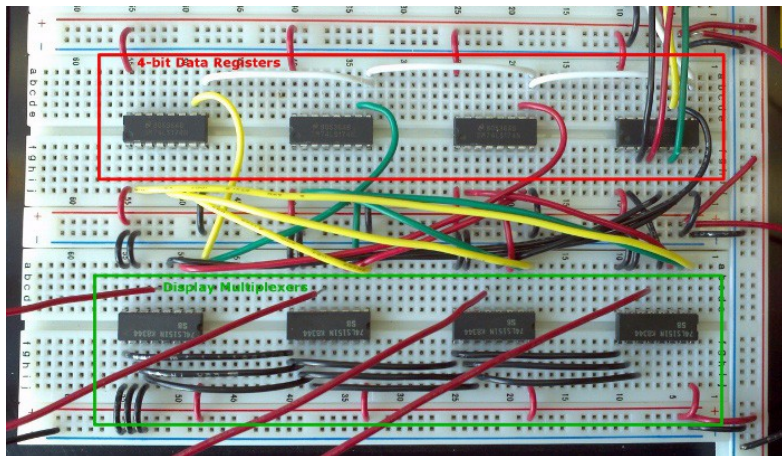
VHDL – język opisu sprzętu

Czym są języki opisu sprzętu?

Hardware Description Languages (HDL) – to grupa języków opisu sprzętu. Pozwalają na definiowanie projektu układu cyfrowego w postaci tekstowej.

Projekt układu powstaje w HDL podobnie jak program komputerowy w języku programowania.

Symulacja układu jest analogiczna do uruchomienia programu.



?

```
16 module universalShifter (clock, bitsIn, bitsOut,  
17     load, carryIn, Lshift, Rshift,  
18     rotateL, rotateR, resetSync);  
19     parameter n=8; // Size of parametric register  
20     input clock, resetSync, load, Lshift, Rshift, carryIn, rotateL, rotateR;  
21     input wire [n-1:0] bitsIn;  
22     reg [n-1:0] store;  
23     output reg [n-1:0] bitsOut;  
24  
25     initial  
26     begin  
27         bitsOut = 0;  
28     end  
29  
30     always @(posedge clock)  
31     begin  
32         // Reset takes first priority.  
33         if(resetSync)  
34             store = 0;  
35     else  
36         begin  
37             // Load takes priority over shifting and rotating.  
38             if(load)  
39                 store = bitsIn;  
40         else  
41             begin  
42                 case({Lshift, Rshift, rotateL, rotateR})  
43                     4'b1000 : store = {store[n-1:0],carryIn}; // Shift left  
44                     4'b0100 : store = {carryIn,store[n:1]}; // Shift right
```

Praca nad językami umożliwiającymi opis sprzętu rozpoczęła się już pod koniec lat 60. XX wieku. Przez dłuższy czas były to jednak opracowania raczej teoretyczne.

W latach 70., wraz z rozwojem układów scalonych dużej skali integracji (VLSI) oraz układów programowalnych (głównie PLD), potrzeba standaryzacji języka opisu sprzętu stała się bardzo nagląca.

Istniejące języki nie nadawały się do tego celu, ponieważ nie spełniały trzech podstawowych wymagań ważnych dla języków opisu sprzętu, czyli:

- muszą być użyteczne w całym procesie projektowania,
- muszą bazować na mechanizmach naturalnych dla projektanta,
- muszą być akceptowane przez środowisko projektantów sprzętu.

Trochę historii – VHDL

Od 1980 roku Departament Obrony USA przeprowadzał program **VHSIC** (Very High Speed Integrated Circuit), którego celem było opracowanie technologii, narzędzi i metod związanych z układami cyfrowymi.

W 1983 do pracy w programie został zaangażowany zespół złożony z przedstawicieli trzech firm: Intermetrics, IBM i Texas Instruments, którego zadaniem było zaprojektowanie oraz zaimplementowanie języka opisu układów VLSI.

Pod koniec 1985 roku została wydana pierwsza wersja języka dla komputerów VAX 11/780 oraz IBM 370.



Trochę historii – VHDL

W 1987 VHDL (VHSIC HDL) stał się obowiązującym standardem w dziedzinie języków opisu i projektowania układów wielkiej skali integracji.

Kolejne wersje ukazały się w latach: 1993, 2000, 2002 i 2008.

Narzędzia związane z VHDL zostały napisane w języku Ada.

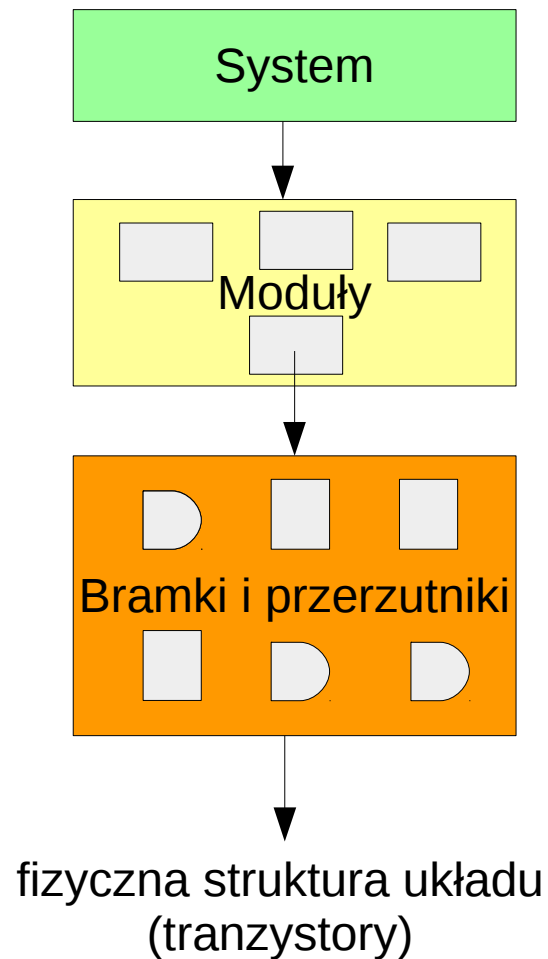
Z tego języka pochodzi też wiele konstrukcji w VHDL.

Język VHDL jest normalizowany przez IEEE (Institute of Electrical and Electronic Engineers).

W omawianych przykładach będziemy korzystać z normy IEEE 1164 definiującej wartości logiczne, która została zaimplementowana w pakiecie `std_logic_1164` biblioteki `IEEE`.

Podstawowe cechy języka VHDL

Umożliwia odzwierciedlenie hierarchicznego projektowania sprzętu:



Podstawowe cechy języka VHDL

Umożliwia opis projektu i jego sprawdzenie na poszczególnych poziomach abstrakcji (systemowym, architektonicznym, logicznym).

Umożliwia wielokrotne wykorzystanie zaprojektowanych wcześniej i przetestowanych elementów.

Umożliwia reprezentację dynamiki układu cyfrowego oraz współbieżnych operacji występujących w sprzęcie.

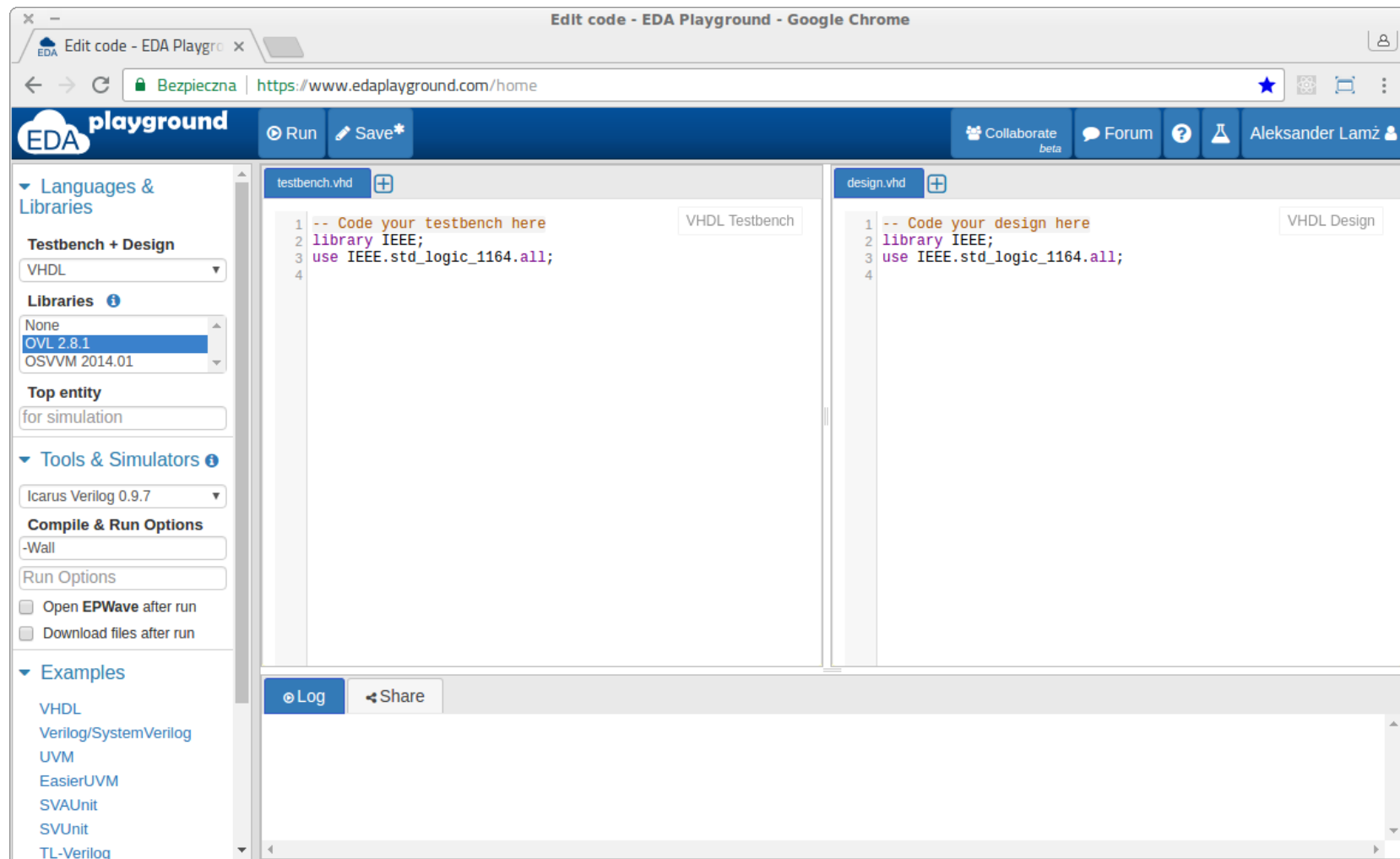
Ułatwia wymianę informacji między członkami zespołu projektowego.

Ułatwia dokumentowanie projektu.

Narzędzia

Ponieważ nie mamy do dyspozycji sprzętu, wszystkie ćwiczenia będziemy wykonywać w symulatorze.

Podstawowym narzędziem pracy będzie **EDAplayground.com**:



Narzędzia

Przyda nam się też bezpłatne narzędzie GHDL (kompilator VHDL-a) oraz GTKWave do wizualizacji i analizy przebiegów czasowych:

