

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

ІКНІ

Кафедра ПЗ

ЗВІТ

до лабораторної роботи №3

на тему: «Моделювання та дослідження основних типів тригерів в системі
Proteus»

з дисципліни: «Архітектура комп'ютера»

Лектор : доцент каф. ПЗ

Крук О.Г

Виконала: ст.гр.ПЗ-23

Кохман О.В.

Прийняв: доцент каф. ПЗ

Крук О.Г

« ____ » _____ 2022 р.

Σ _____ .

Львів – 2022

Тема: Моделювання та дослідження основних типів тригерів в системі Proteus.

Мета: закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Індивідуальне завдання

Варіант 11:

11	63
----	----

Теоретичні відомості

Тригер – це елемент пам'яті з двома стійкими станами - логічний 0 та логічна 1, зміна яких відбувається під дією входних сигналів. Таким чином тригер може зберігати один біт інформації.

На основі тригерів будують типові функціональні вузли комп'ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам'яті (ЕП) та схеми керування (СхК), яка утворює входну логіку (рис. 1). Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

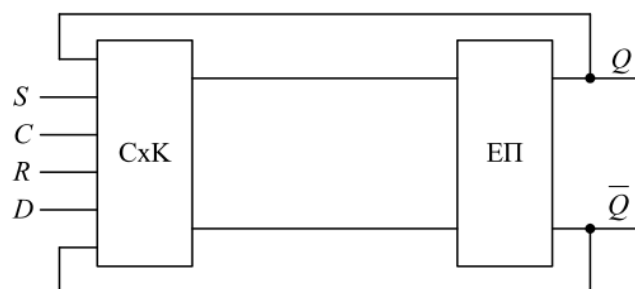


Рис. 1. Структура тригера у вигляді ЕП і СхК

Стан тригера визначається сигналами на прямому Q та інверсному \bar{Q} виходах. При позитивному кодуванні інформації високий рівень напруги на

прямому виході відображає значення логічної 1 (стан $Q = 1$), а низький рівень – значення логічного 0 (стан $Q = 0$). Сигнали на виходах тригера в усталеному режимі завжди повинні бути протилежними: якщо на прямому виході є одиниця, то на інверсному - 0, або навпаки.

Зміна стану тригера (його перемикання) забезпечується зовнішніми сигналами та сигналами зворотного зв'язку з виходу тригера, які поступають на входи СхК. Переважно зовнішні сигнали, як і входи тригера, позначають латинськими буквами R, S, T, C, V та іншими. В найпростіших схемах тригерів окрема СхК може бути відсутньою.

Оскільки функціональні властивості тригерів визначаються їхньою СхК, то назви основних входів переносяться на всю схему тригера.

Протокол роботи

$$T = 1/f = 1/63000 = 0.0000159 \text{ seconds}$$

$$\tau = T/10 = 0.0000159/10 = 0.00000159 \text{ seconds}$$

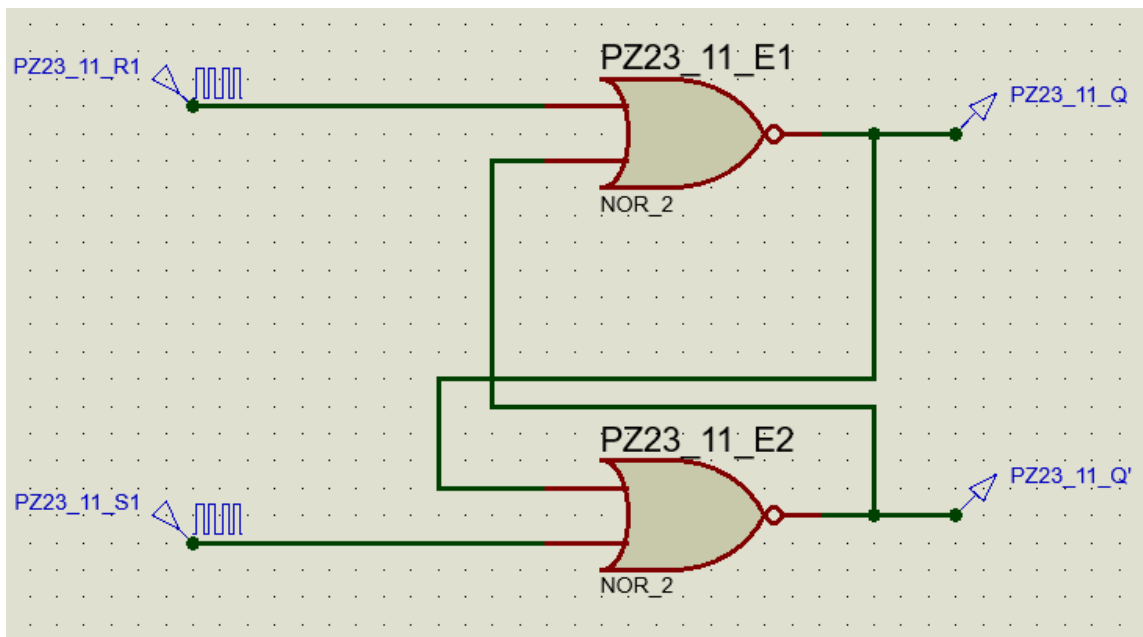


Рис. 1 Схема асинхронного RS-тригера на логічних елементах АБО-НЕ (NOR).

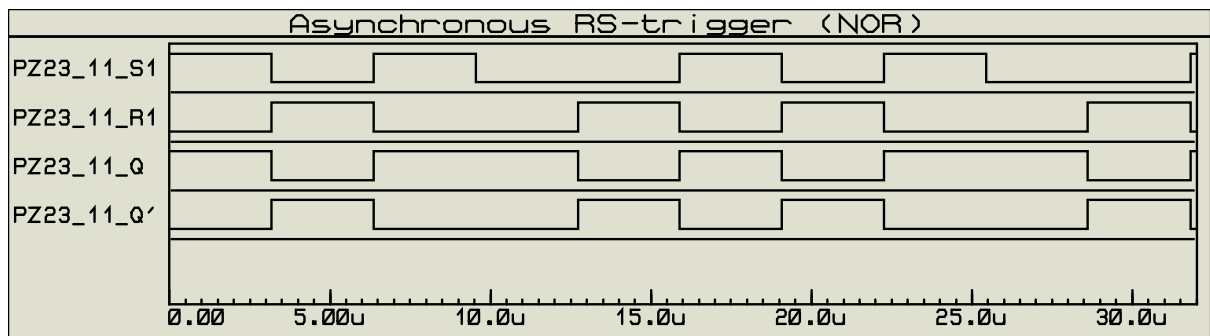


Рис. 2 Графік асинхронного RS-тригера на логічних елементах АБО-НЕ (NOR).

S_n	R_n	Q_n	Q_{n+1}
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
0	0	0	0
0	0	1	1
1	1	0	x
1	1	1	x

Таблиця переходів Схеми асинхронного RS-тригера на логічних елементах АБО-НЕ (NOR). Проаналізувавши цю таблицю і порівнявши її із отриманим графіком, можна зробити висновок, що схема синтезована правильно.

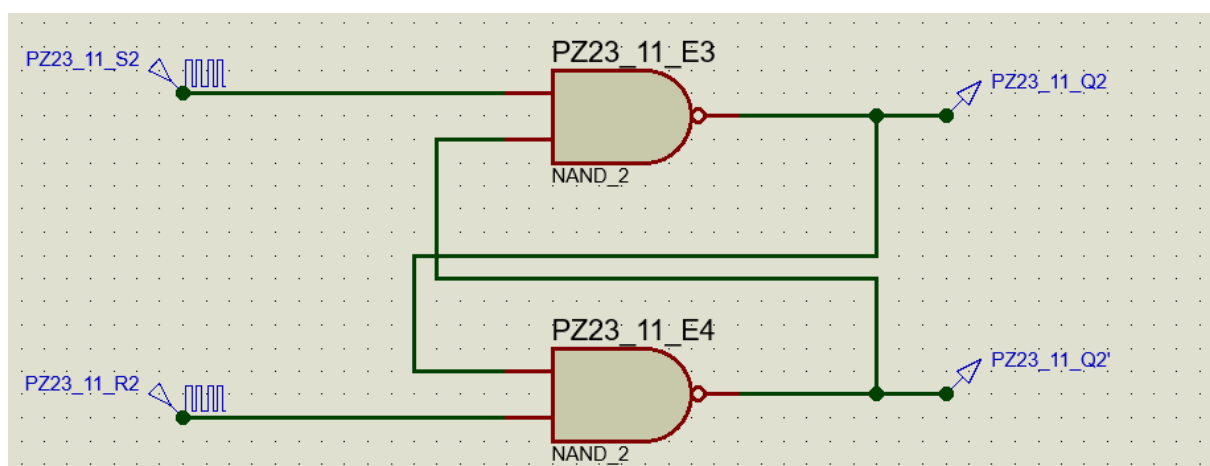


Рис. 3 Схема асинхронного RS-тригера на логічних елементах І-НЕ (NAND).

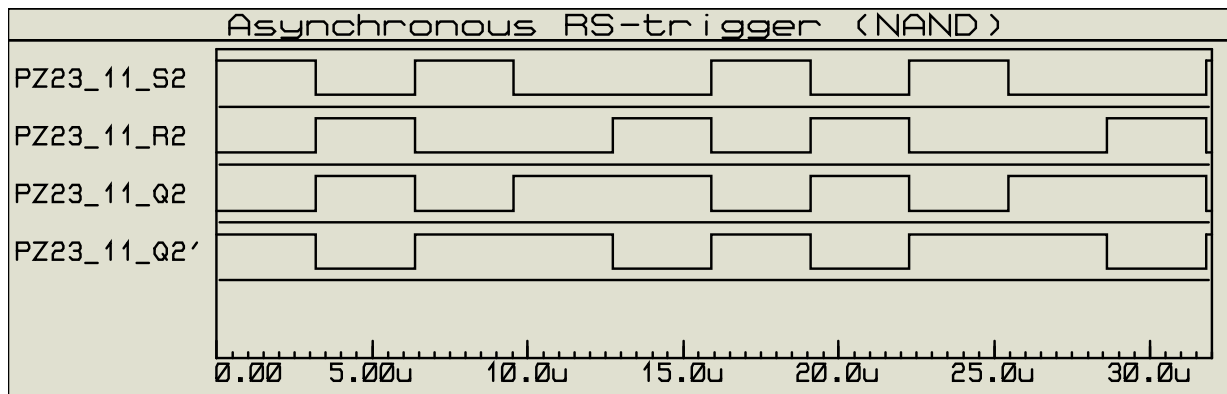


Рис. 4 Графік асинхронного RS-тригера на логічних елементах І-НЕ (NAND).

Sn	Rn	Qn	Qn+1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1
0	0	0	x
0	0	1	x

Таблиця переходів асинхронного RS-тригера на логічних елементах І-НЕ (NAND). Проаналізувавши та порівнявши її із отриманим графіком, можна зробити висновок, що схема синтезована правильно.

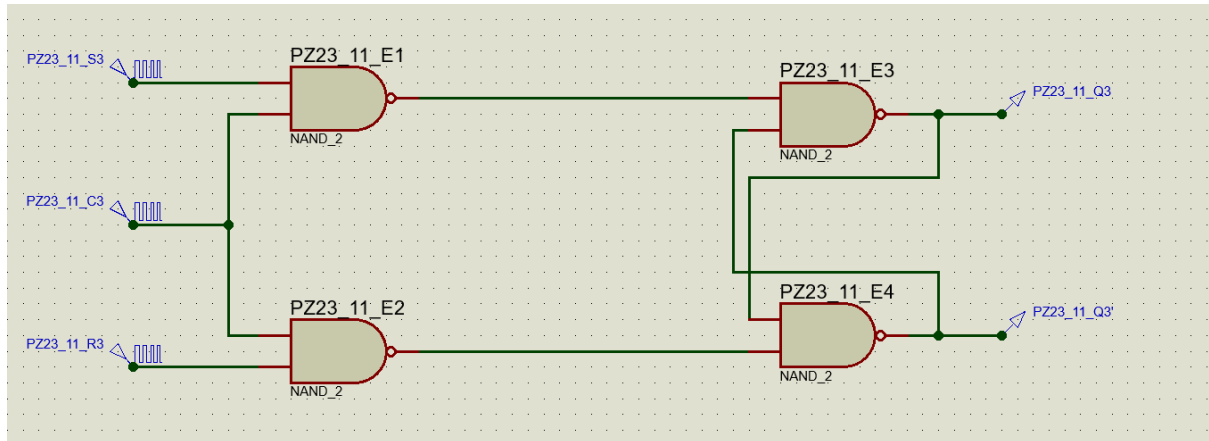


Рис. 5 Схема синхронного RS-тригера на логічних елементах І-НЕ (NAND).

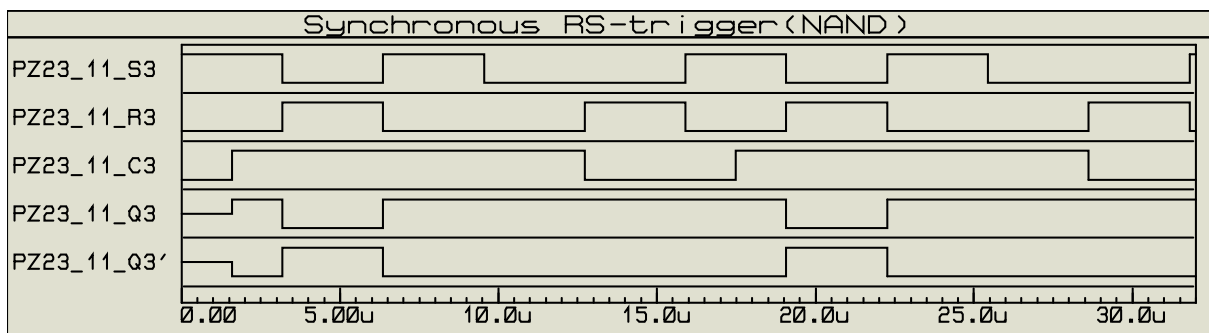


Рис. 6 Графік синхронного RS-тригера на логічних елементах І-НЕ (NAND).

З часових діаграм синхронного тригера видно, що він перемикається під дією вхідних сигналів S3 та R3 лише в ті проміжки часу, коли синхронізуючий сигнал C3 має значення логічної одиниці. Така синхронізація називається статичною або синхронізацією за рівнем. Отже, можна зробити висновок, що схема синтезована правильно.

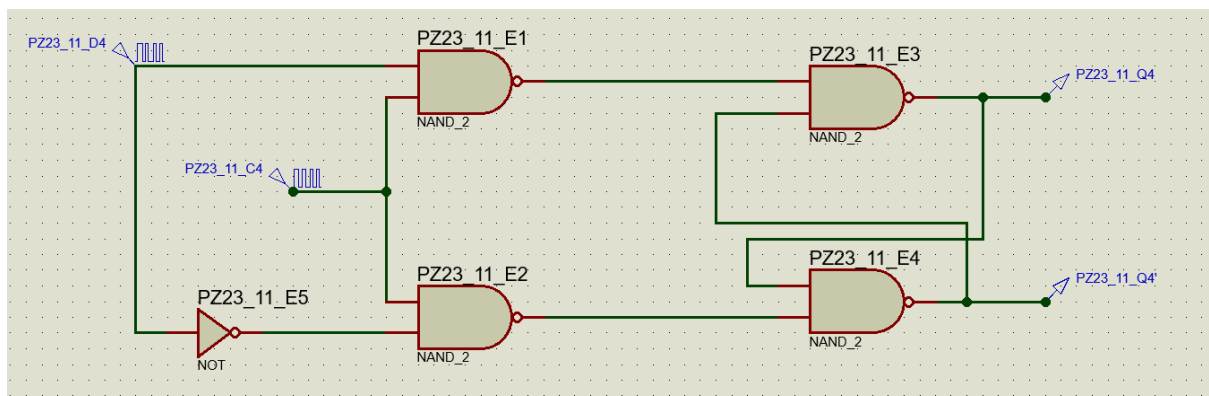


Рис. 7 Схема синхронного D-тригера на логічних елементах І-НЕ(NAND).

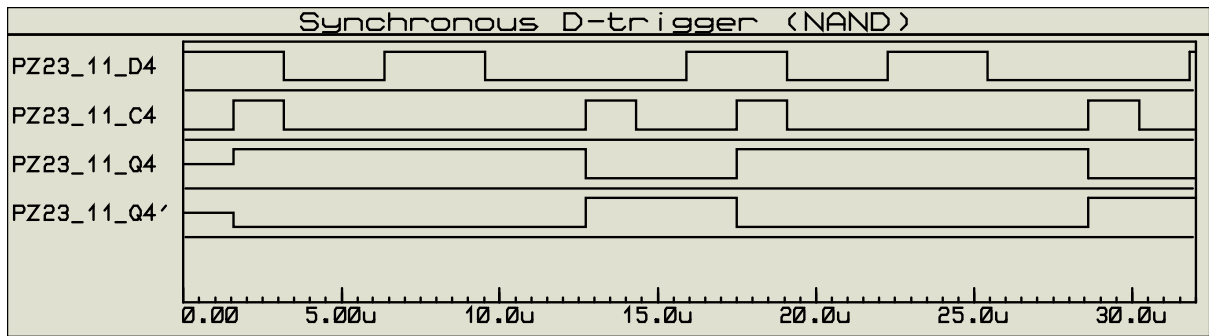


Рис. 8 Графік синхронного D-тригера на логічних елементах І-НЕ(NAND).

Коли на вході C4 є активний логічний рівень (поданий тактовий імпульс), вихідний сигнал Q4 повторює значення вхідного сигналу D4. Після закінчення дії синхронізаційного імпульсу тригер більше не реагує на зміну вхідного сигналу D4 і не перемикається, а вихідний сигнал Q4 зберігає своє останнє значення поки вхід C4 є неактивним. Отже, можна зробити висновок, що синтезована схема є правильною.

Час затримки D-тригера: $0.0000318 - 0.0000159 = 0.0000159$ seconds

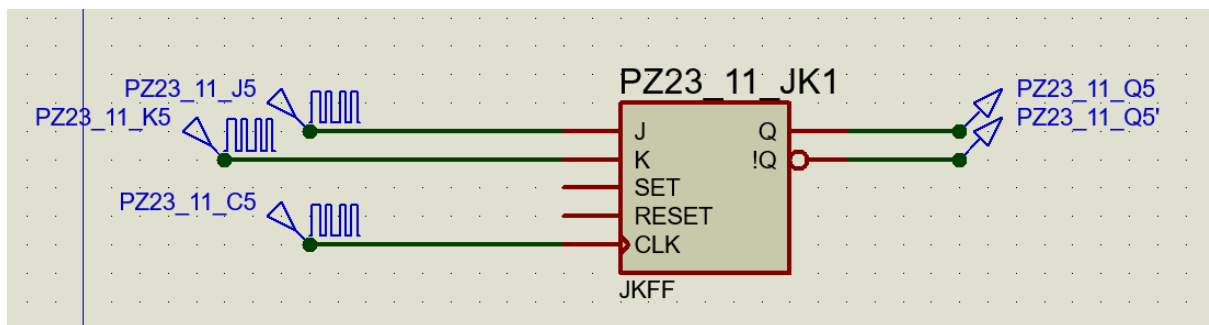


Рис. 9 Схема синхронного D-тригера на основі JK-тригера.

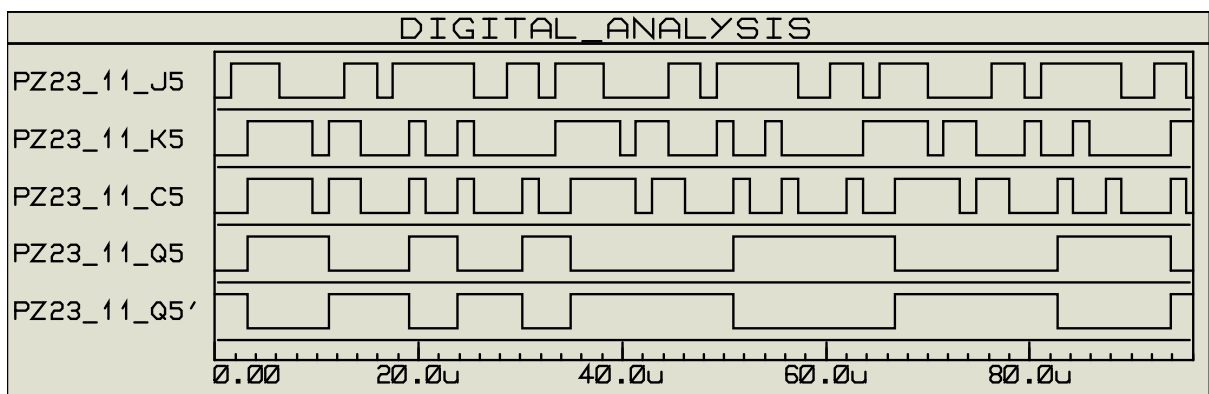


Рис. 10 Графік синхронного D-тригера на основі JK-тригера.

S_n	R_n	Q_n	Q_{n+1}
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
0	0	0	0
0	0	1	1
1	1	0	1
1	1	1	0

Таблиця переходів синхронного D-тригера на основі JK-тригера. Проаналізувавши і порівнявши таблицю із отриманим графіком, можна зробити висновок, що схема синтезована правильно. JK-тригер є універсальним, оскільки може виконувати функції RS-тригера, D-тригера (при поданні сигналу від входу J через інвертор на вхід K) та T-тригера (при одночасному поданні сигналів $JK = 1$). Дана синхронізація називається синхронізацією за фронтом.

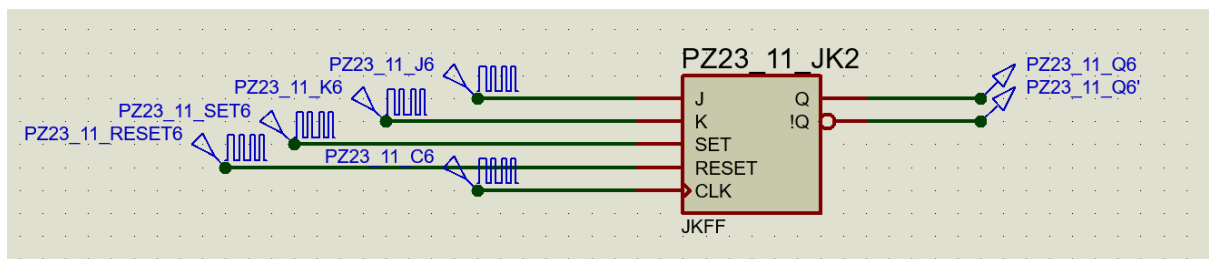


Рис. 11 Схема JK-тригера

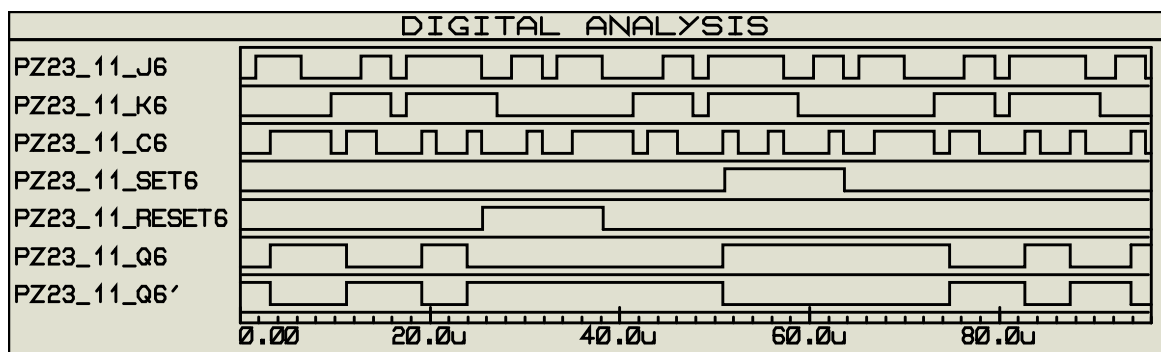


Рис. 12 Графік JK-тригера.

Отже, проаналізувавши часові діаграми даного та попереднього графіка, можна зробити такі висновки:

- при появі активного логічного рівня на вході RESET значення на виході Q встановлюється на логічний нуль і поки триває сигнал RESET не змінюється незалежно від значень логічних рівнів на входах J та K.
- при появі активного логічного рівня на вході SET значення на виході Q встановлюється на логічну одиницю і поки триває сигнал SET не змінюється незалежно від значень логічних рівнів на входах J та K.

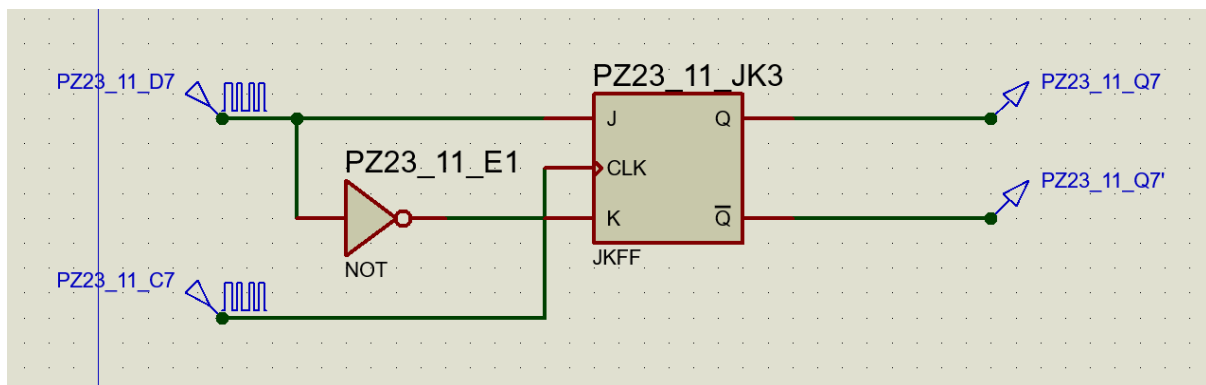


Рис. 13 Схема синхронного D-тригера на основі тригера JKFF

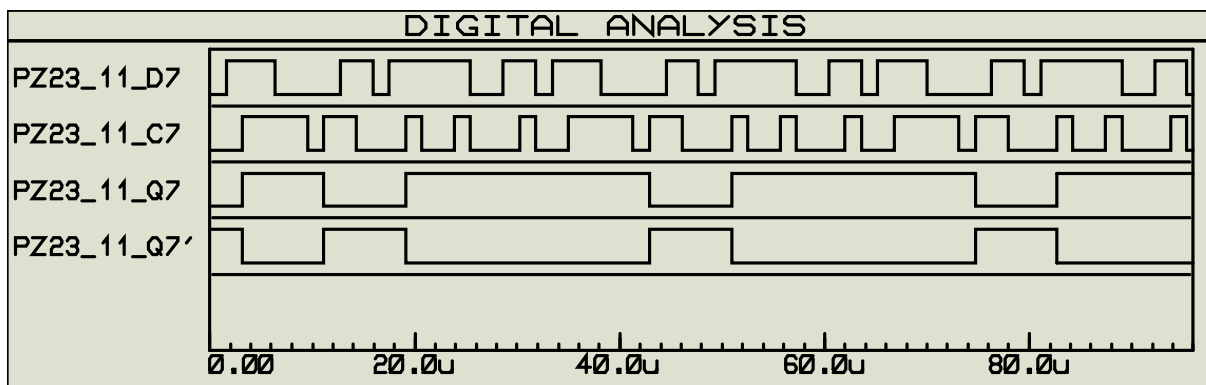


Рис. 14 Графік синхронного D-тригера на основі тригера JKFF

Отже, проаналізувавши часові діаграми синхронного D-тригера на основі тригера JKFF, можна зробити висновки, що зміна сигналу на виходах відбувається лише впродовж тривалості прямого тактового сигналу C7 (динамічна синхронізація), тому дана схема синтезована правильно.

Час затримки D-тригера: $0.0000318 - 0.0000159 = 0.0000159$ seconds

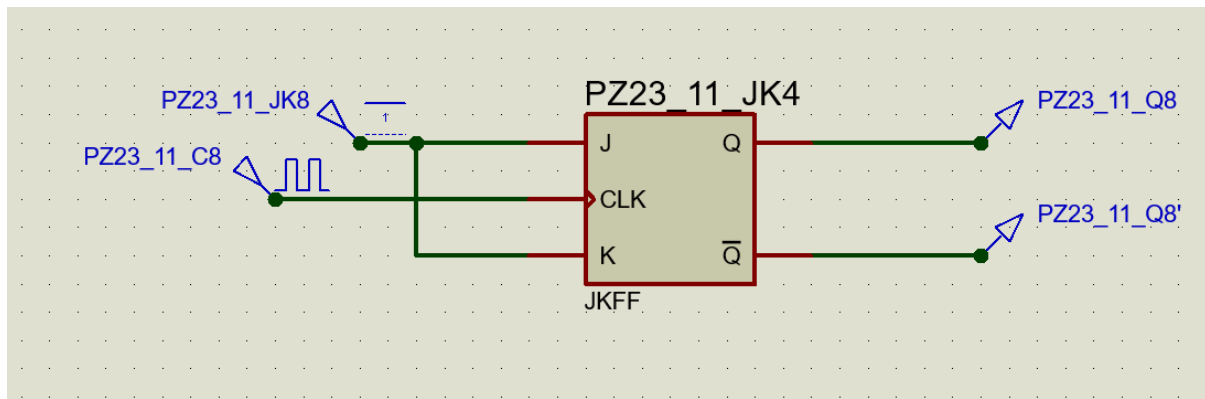


Рис. 15 Схема синхронного Т-тригера на основі тригера JKFF.

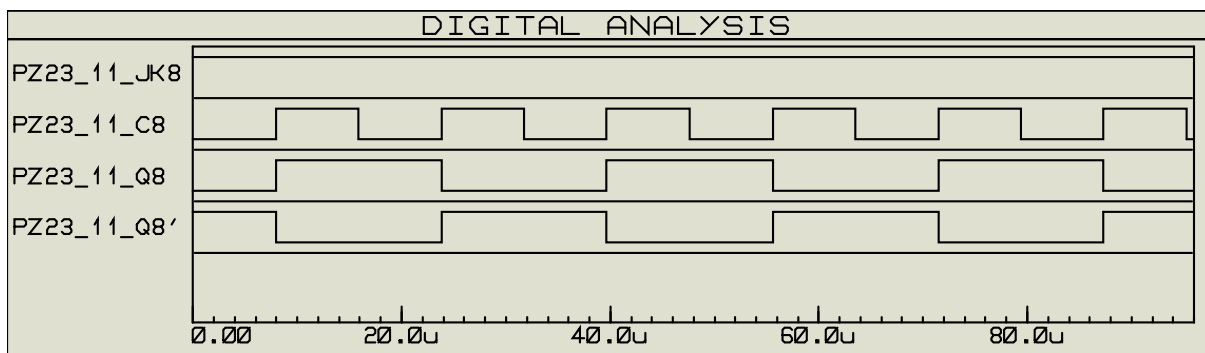


Рис. 16 Графік синхронного Т-тригера на основі тригера JKFF.

Отже, проаналізувавши часові діаграми синхронного Т-тригера на основі тригера JKFF, можна зробити висновки, що стан Т-тригера змінюється на протилежний після кожного надходження лічильного сигналу на Т-вхід, тому схема синтезована правильно.

Період вихідного сигналу: $0.0000286 - 0.0000159 = 0.0000127$ seconds

Висновки

На даній лабораторній роботі я дізналась про основні види тригерів, навчилась їх синтезувати у середовищі Proteus 8.13 Professional, також побудувала до кожного з них цифрові графіки та проаналізувала і порівняла ці графіки із заданими таблицями переходів. Ще вирахувала час затримки D-тригерів та період вихідного сигналу синхронного Т-тригера.