

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»**

**ІКНІ**

**Кафедра ПЗ**

**ЗВІТ**

до лабораторної роботи №2

на тему: «Синтез і моделювання шифраторів і дешифраторів та  
мультиплексорів і демультикомплексорів в системі Proteus»

з дисципліни: «Архітектура комп'ютера»

**Лектор :** доцент каф. ПЗ

Крук О.Г

**Виконала:** ст.гр.ПЗ-23

Кохман О.В.

**Прийняв:** доцент каф. ПЗ

Крук О.Г

« \_\_\_\_ » \_\_\_\_\_ 2022 р.

Σ \_\_\_\_\_ .

Львів – 2022

**Тема.** Синтез і моделювання шифраторів і дешифраторів та мультиплексорів і демультимплексорів в системі Proteus.

**Мета.** Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультимплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

### Індивідуальне завдання

#### Варіант 11:

№	$z_2/a_2$	$z_1/a_1$	$z_0/a_0$							f <sub>0</sub> , КГц	Пріоритет
	0	1	0	1	0	1	0	1			
	0	0	1	1	0	0	1	1			
11	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	0	d <sub>4</sub>	0	0	d <sub>0</sub>	136	F <sub>3</sub> ,F <sub>2</sub> , F <sub>5</sub> , F <sub>7</sub> , F <sub>1</sub> , F <sub>6</sub> ,F <sub>4</sub>	

### Теоретичні відомості

Шифратор (encoder, coder, CD)  $m \times n$  - це цифровий пристрій, призначений для перетворення вхідного  $m$ -розрядного унітарного коду у вихідний  $n$ -розрядний двійковий позиційний код. Двійковий код, що має завжди тільки одну одиницю, а решта - нулі, називається унітарним. При активізації одного з входів (появі на ньому одиниці) на виходах шифратора формується код, що відображає номер активного входу. Повний двійковий шифратор має  $m = 2^n$  входів і  $n$  виходів, в неповного шифратора  $m < 2^n$ .

Дешифратор (decoder, DC)  $n \times m$  - це цифровий пристрій, призначений для перетворення вхідного  $n$ -розрядного двійкового позиційного коду у вихідний  $m$ -розрядний унітарний код. Як бачимо, дешифратор виконує функцію, обернену функції шифратора. Якщо  $m = 2^n$ , то дешифратор є повним, в неповного дешифратора  $m < 2^n$ .

Мультиплексор (multiplexer, MUX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічних сигналів від одного з  $n$  інформаційних X-входів на єдиний D-вихід. Номер конкретного інформаційного входу, який повинен під'єднуватися до виходу в певний

момент часу, вказується за допомогою адресних А-входів. Зв'язок між числом адресних входів  $q$  та числом інформаційних входів  $n$  визначається співвідношенням  $2^q \geq n$ .

Демультиплексор (demultiplexer, DMX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічного сигналу з одного інформаційного D входу на один з  $n$  інформаційних Y виходів. Номер виходу, на який передається значення вхідного логічного сигналу, визначається в певний конкретний момент часу за допомогою адресних А-входів. Зв'язок між числом адресних входів  $q$  та числом інформаційних виходів  $n$  визначається співвідношенням  $2^q \geq n$ .

### Протокол роботи

$$T = 1/f = 1/136000 = 0.00000735 \text{ seconds}$$

$$\tau = T/8 = 0.00000092 \text{ seconds}$$

### Шифратор:

Вирази для проміжних змінних:

$$H_3 = F_3$$

$$H_2 = \overline{F_3} * F_2$$

$$H_5 = \overline{F_3} * \overline{F_2} * F_5$$

$$H_7 = \overline{F_3} * \overline{F_2} * \overline{F_5} * F_7$$

$$H_1 = \overline{F_3} * \overline{F_2} * \overline{F_5} * \overline{F_7} * F_1$$

$$H_6 = \overline{F_3} * \overline{F_2} * \overline{F_5} * \overline{F_7} * \overline{F_1} * F_6$$

$$H_4 = \overline{F_3} * \overline{F_2} * \overline{F_5} * \overline{F_7} * \overline{F_1} * \overline{F_6} * F_4$$

Вихідні сигнали через проміжні змінні:

$$X_0 = H_1 + H_3 + H_5 + H_7$$

$$X_1 = H_2 + H_3 + H_6 + H_7$$

$$X_0 = H_4 + H_5 + H_6 + H_7$$

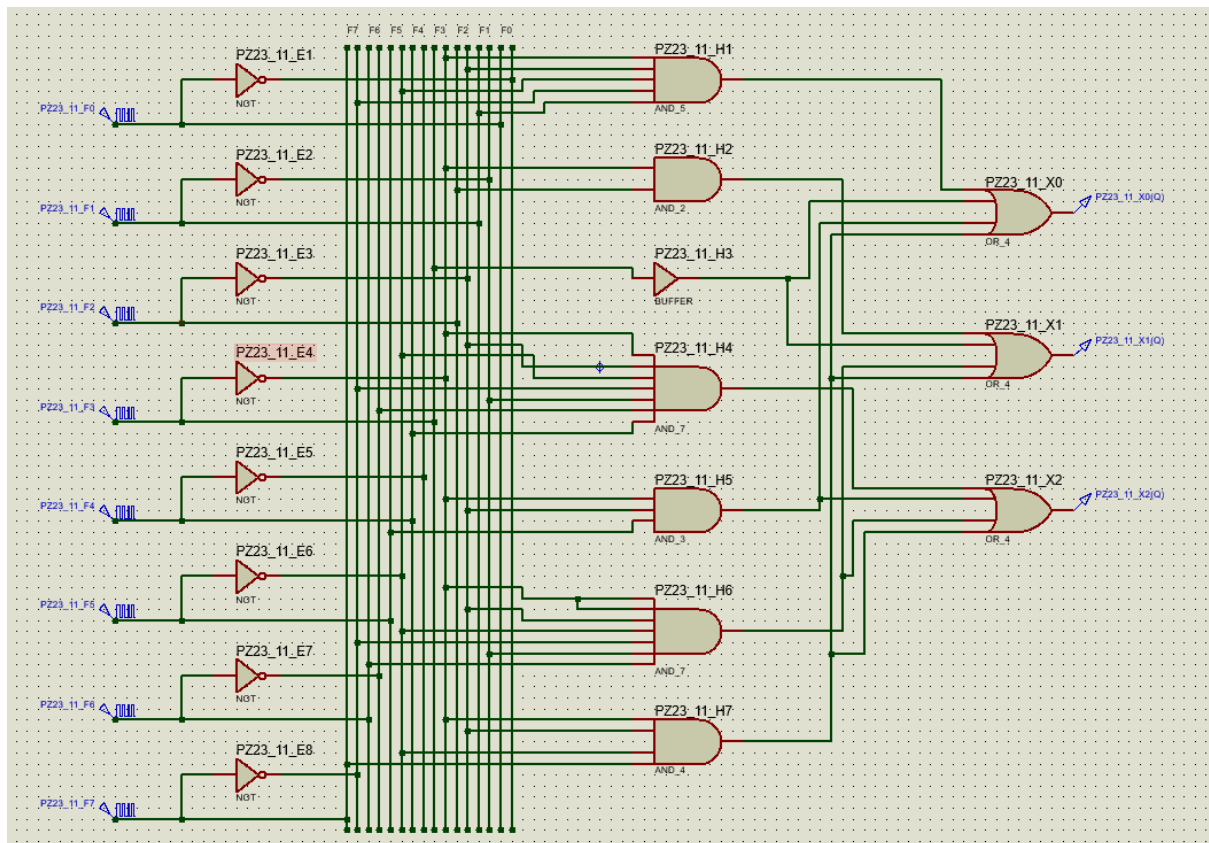


Рис.1 Схема пріоритетного шифратора.

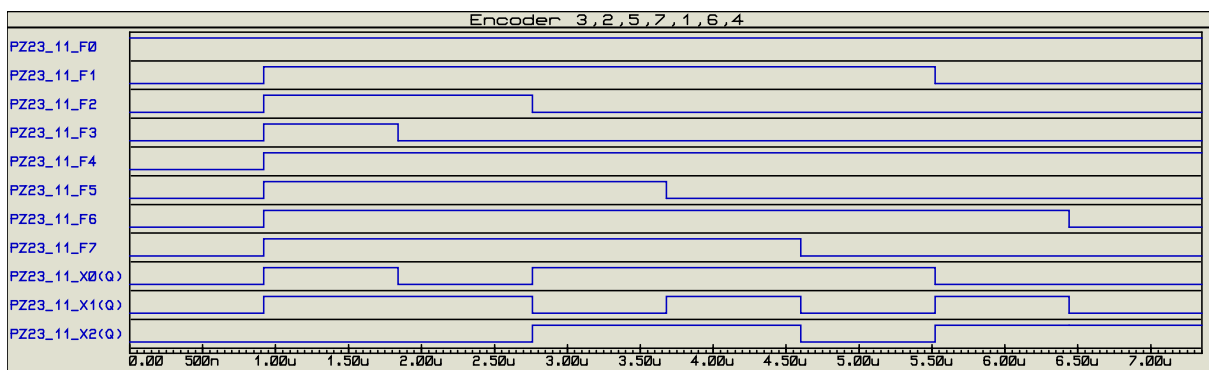


Рис.2 Графік сигналів пріоритетного шифратора.

Вхідний двійковий код (x0,x1,x2):	Вихідний двійковий код(x0,x1,x2):
0 – 000	0 – 000 (0)
1 – 100	1 – 110 (3)
2 – 010	2 – 010 (2)
3 – 110	3 – 101 (5)

4 – 001	4 – 111 (7)
5 – 101	5 – 100 (1)
6 – 011	6 – 011 (6)
7 – 111	7 – 001 (4)

Отримана послідовність вихідного двійкового коду збігається із заданим вхідним двійковим кодом, отже синтезований пріоритетний шифратор працює коректно.

### Дешифратор:

Рівняння для кожного з виходів:

$$V_0 = Z_2 * Z_1 * Z_0 (7)$$

$$V_1 = \overline{Z_2} * \overline{Z_1} * \overline{Z_0} (0)$$

$$V_2 = \overline{Z_2} * \overline{Z_1} * Z_0 (1)$$

$$V_3 = \overline{Z_2} * Z_1 * \overline{Z_0} (2)$$

$$V_4 = Z_2 * \overline{Z_1} * \overline{Z_0} (4)$$

$$V_5 = \overline{Z_2} * Z_1 * Z_0 * 0 (3)$$

$$V_6 = Z_2 * \overline{Z_1} * Z_0 * 0 (5)$$

$$V_7 = Z_2 * Z_1 * \overline{Z_0} * 0 (6)$$

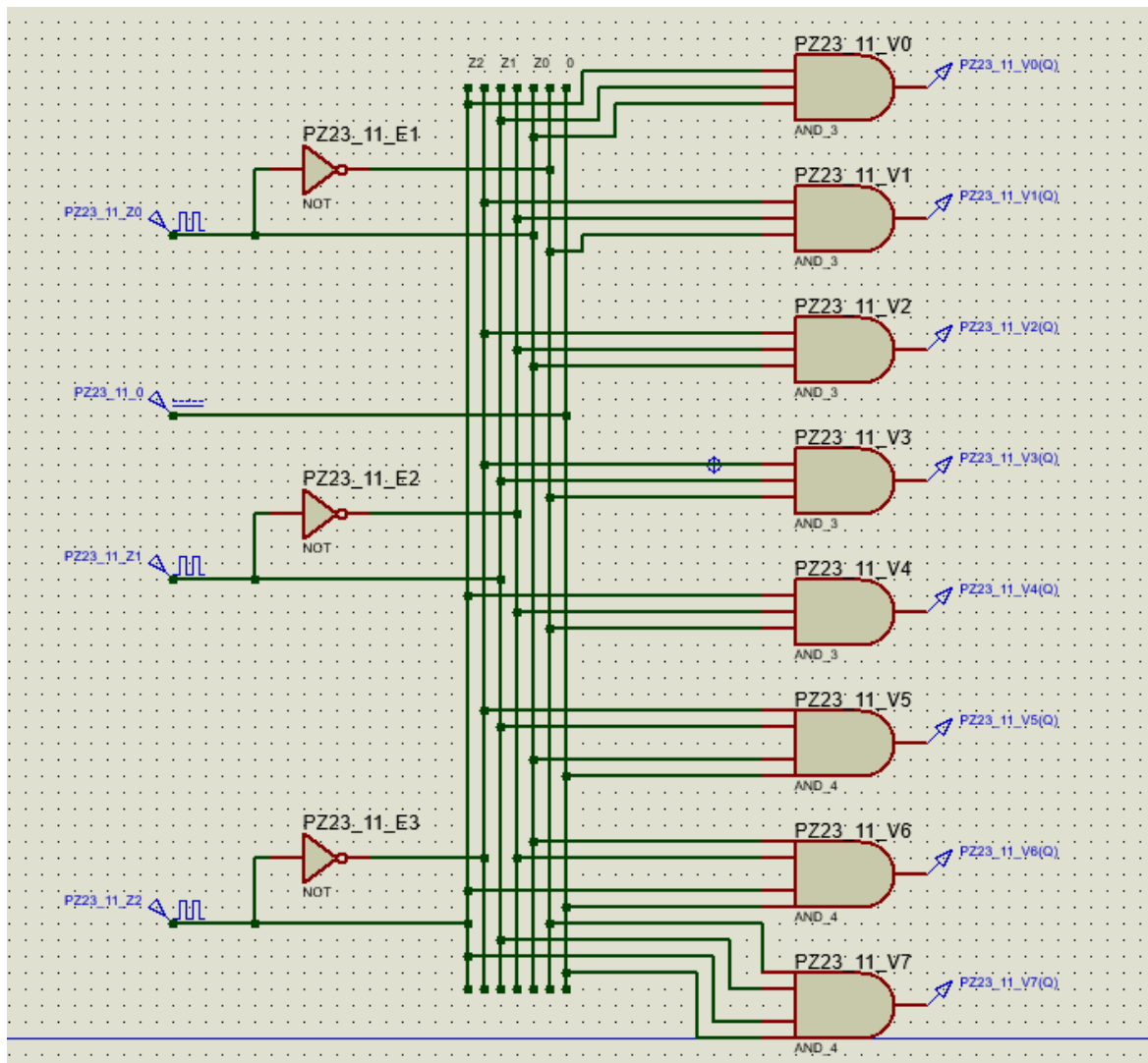


Рис. 3 Схема лінійного дешифратора.

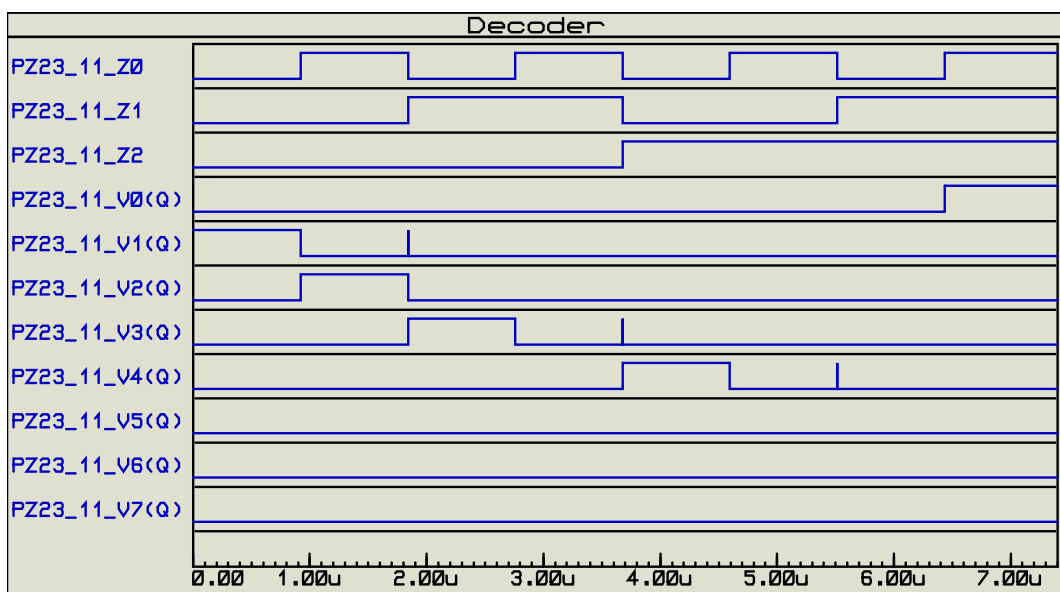


Рис.4 Графік сигналів лінійного дешифратора.

Z2	Z1	Z0	V0	V1	V2	V3	V4	V5	V6	V7	№
0	0	0	0	1	0	0	0	0	0	0	(0)
0	0	1	0	0	1	0	0	0	0	0	(1)
0	1	0	0	0	0	1	0	0	0	0	(2)
0	1	1	0	0	0	0	0	0	0	0	(3)
1	0	0	0	0	0	0	1	0	0	0	(4)
1	0	1	0	0	0	0	0	0	0	0	(5)
1	1	0	0	0	0	0	0	0	0	0	(6)
1	1	1	1	0	0	0	0	0	0	0	(7)

Таблиця істинності вихідного дешифратора ( $v_0 = d_0, v_1 = d_1, v_2 = d_2, v_3 = d_3, v_4 = d_4$ ). Ця таблиця збігається із заданою вхідною таблицею, отже синтезований дешифратор працює коректно.

### Мультиплексор:

$$D = (\overline{A_0} * \overline{A_1} * \overline{A_2} * D_0) + (A_0 * \overline{A_1} * \overline{A_2} * D_1) + (\overline{A_0} * A_1 * \overline{A_2} * D_2) + (\overline{A_0} * \overline{A_1} * A_2 * D_3) + (A_0 * A_1 * A_2 * D_4) - \text{ДДНФ}$$

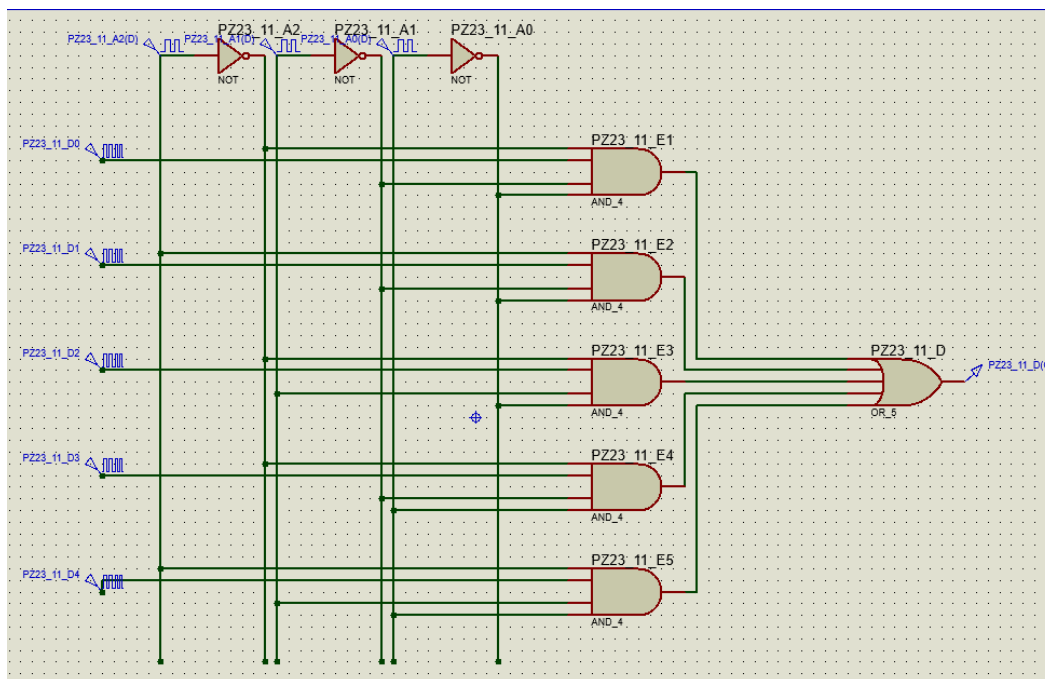


Рис. 5 Схема мультиплексора.

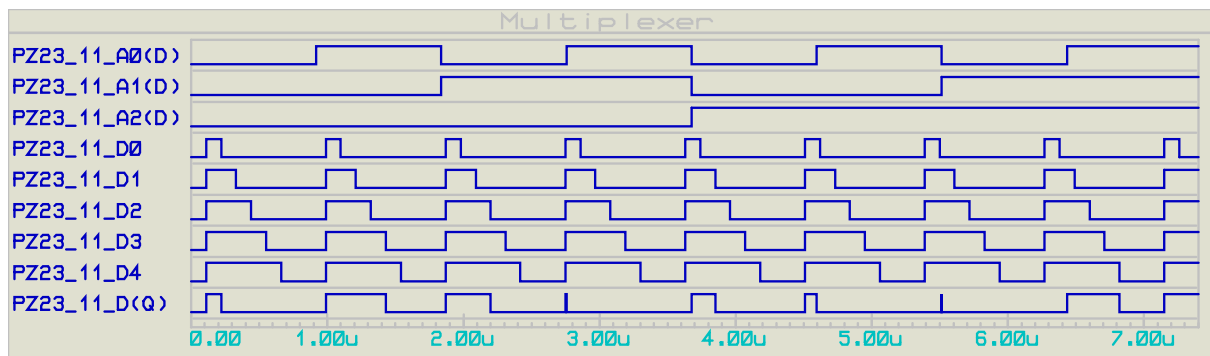


Рис. 6 Графік сигналів мультиплексора.

A2	A1	A0	X4	X3	X2	X1	X0	D
0	0	0	0	0	0	1	0	D1
0	0	1	0	0	1	0	0	D2
0	1	0	0	1	0	0	0	D3
0	1	1	0	0	0	0	0	0
1	0	0	1	0	0	0	0	D4
1	0	1	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
1	1	1	0	0	0	0	1	D0

Таблиця істинності мультиплексора. Збігається із заданою вхідною таблицею, отже мультиплексор працює коректно.

**Демультимплексор:**

$$Y0 = A_2 * A_1 * A_0 * D0$$

$$Y1 = \overline{A_2} * \overline{A_1} * \overline{A_0} * D1$$

$$Y2 = \overline{A_2} * \overline{A_1} * A_0 * D2$$

$$Y3 = \overline{A_2} * A_1 * \overline{A_0} * D3$$

$$Y4 = A_2 * \overline{A_1} * \overline{A_0} * D4$$



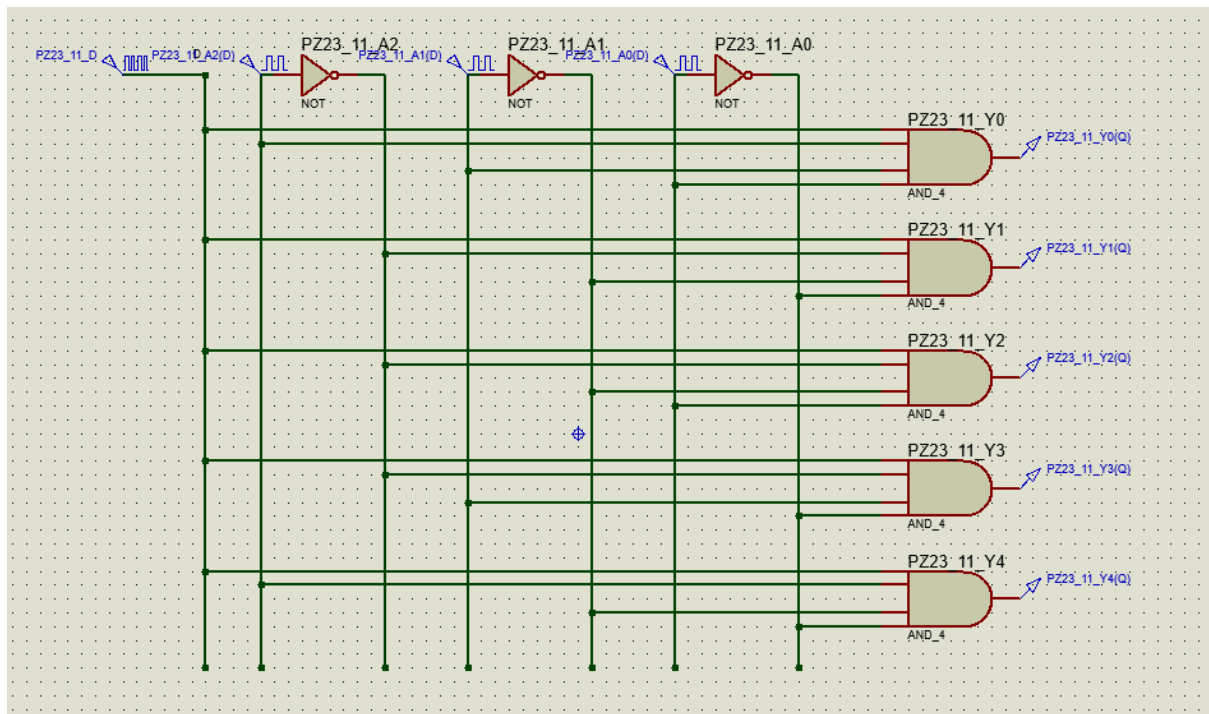


Рис. 7 Схема демультиплексора.

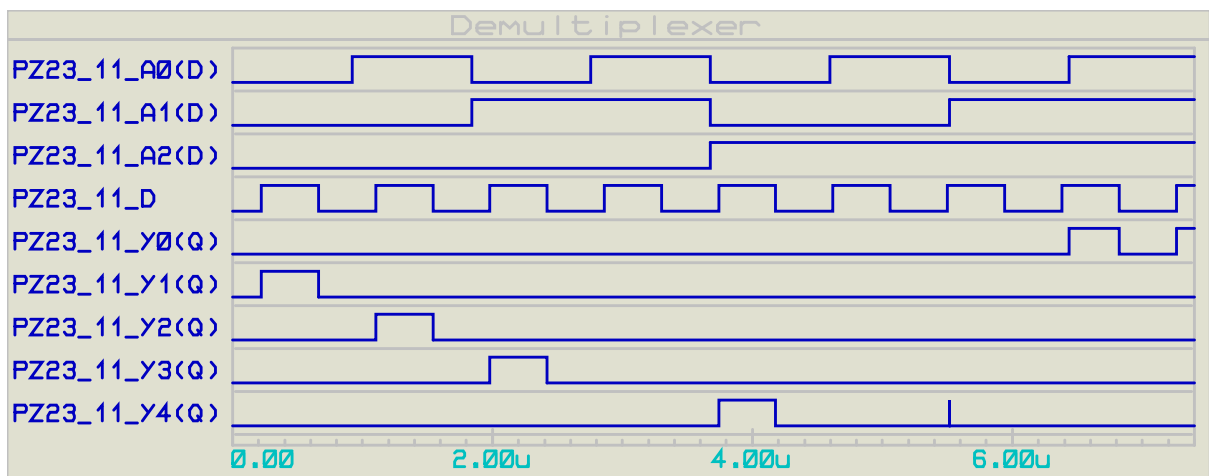


Рис. 8 Графік сигналів демультиплексора.

A2	A1	A0	D	Y4	Y3	Y2	Y1	Y0
0	0	0	Y1	0	0	0	1	0
0	0	1	Y2	0	0	1	0	0
0	1	0	Y3	0	1	0	0	0
0	1	1	0	0	0	0	0	0

1	0	0	Y4	1	0	0	0	0
1	0	1	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
1	1	1	Y0	0	0	0	0	1

Таблиця істинності демультимплексора. Збігається із заданою вхідною таблицею, отже демультимплексор працює коректно.

### **Висновки**

На цій лабораторній роботі я дізналась про основні конфінаційні схеми та синтезувала їх: шифратор, дешифратор, мультиплексор, демультимплексор у програмі Proteus 8.13 Professional , також синтезувала для кожної схеми цифрові графіки, побудувала по цих графіках таблиці істинності та порівняла їх із заданими.